مقاله پژوهشی

طراحی حلقه قفل فاز با توان مصرفی کم و ثبات بالا در فرکانس ۲/۴۵ گیگاهرتز

شادی اکبری و مهرناز مناجاتی

چکیده: در این مقاله، طراحی و شبیه‌سازی حلقه قفل فاز (PLL) با فرکانس مرکزی ۲/٤٥ گیگاهرتز ارائه شده است. این PLL با استفاده از تکنولوژی ۰/۱۸ میکرون CMOS و نرم‌افزار HSPICE شبیه‌سازی شده است. ساختار پیشنهادی شامل بلوک‌های اصلی مانند آشکارساز فاز، پمپ بار، فیلتر پایین‌گذر، نوسان‌ساز کنترل‌شده با ولتاژ و تقسیم‌کننده است. مقادیر دقیق پارامترهای مدار از طریق شبیه‌سازی‌های گسترده به دست آمده و برای دستیابی به عملکرد بهینه تنظیم شده‌اند. نتایج شبیه‌سازی نشان می‌دهند که این PLL با توان مصرفی کمتر از ۱۳/٥٦ میلی‌وات، زمان قفل حدود ١٦ دوره تناوب فرکانس مرکزی، و نویز فاز ۱۱۵ dBc/Hz - در فرکانس ۱ مگاهرتز عملکردی پایدار و دقیق ارائه می‌دهد. این طراحی به دلیل پایداری بالا و مصرف انرژی کم، برای کاربردهایی مانند مودم‌های ADSL، ارتباطات وای‌فای و دستگاه‌های پرتابل مناسب است.

کلیدواژه: **تقسیم‌کننده فرکانس، حلقه قفل فاز، زمان قفل، سنتز کننده فرکانس، مودم ADSL، نوسان ساز کنترل شونده با ولتاژ ، نویز فاز.**

۱- مقدمه

با توجه به پیشرفت‌های چشمگیر در فناوری‌های ارتباطی، طراحی سیستم‌های مخابراتی با کارایی بالا و مصرف توان پایین، به ویژه در تجهیزات قابل حمل نظیر تلفن‌های همراه و مودم‌های بی‌سیم، به یکی از نیازهای اساسی و چالش‌های مهم حوزه مهندسی تبدیل شده است. اهمیت این موضوع به دلیل تقاضای روزافزون برای دستگاه‌های کم‌مصرف و با عملکرد بهینه، بیش از پیش مشهود است.

حلقه قفل فاز[1] (PLL) به عنوان یکی از اجزای کلیدی در سیستم‌های ارتباطی، نقش مهمی در تولید سیگنال‌های پایدار و هماهنگ با فرکانس مرجع ایفا می‌کند. این مدارها به دلیل توانایی در ارائه سیگنال‌های دقیق با نویز فاز پایین و پایداری بالا، به طور گسترده در کاربردهایی مانند شبکه‌های وای‌فای، بلوتوث، ADSL و تجهیزات ارتباطی بی‌سیم مورد استفاده قرار می‌گیرند. علاوه بر این، PLLها در سیستم‌های ابزار دقیق، خطوط ارتباطی رادیویی با عملکرد پیشرفته، و سینتی سایزرهای سوئیچینگ فرکانس فوق سریع در تحلیلگرهای شبکه برداری، نقش مؤثری ایفا می‌کنند [۱] تا [۴].

این مقاله در تاریخ ۱۴ دی ماه ۱۴۰۳ دریافت و در تاریخ ۲۳ فروردین ماه ۱۴۰۴ بازنگری شد.

شادی اکبری، دانشکده مهندسی برق و کامپیوتر، دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته، کرمان، ایران، (email: shadi.akbari2826@gmail.com).

مهرناز مناجاتی (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته، کرمان، ایران، (email: m.monajati@kgut.ac.ir).

کاربرد اصلی مدارهای حلقه قفل فاز شامل تولید و بازیابی سیگنال‌های ساعت در طیف گسترده‌ای از کاربردها، از جمله در حوزه‌هایی مانند ریزپردازنده‌ها و شبکه‌های ارتباطی، است. PLLها نقشی کلیدی در سیستم‌های پیشرفته‌ای ایفا می‌کنند که نیازمند دقت بالا، هماهنگی کامل زمان‌بندی، و تولید سیگنال‌های ساعت دقیق روی تراشه هستند [۵] تا [۹]. در شبکه‌های پیچیده ارتباطی بی‌سیم، PLLها به منظور همگام‌سازی مبدل‌های مبتنی بر الکترونیک قدرت و سیستم‌های مهندسی کنترل استفاده می‌شوند. همچنین تلاش‌های بسیاری در راستای طراحی PLLهای پیشرفته‌تر، به‌ویژه در کاربردهای سه‌فازی، صورت گرفته است [۱۰] تا [۱۳].

با این حال، طراحی مدارهای حلقه قفل فازی که علاوه بر کاهش نویز فاز و زمان قفل‌شدن، توان مصرفی بهینه‌ای نیز داشته باشند، همچنان یکی از چالش‌های اساسی در حوزه مدارهای مجتمع به شمار می‌رود. افزایش روزافزون پیچیدگی سیستم‌ها و نیاز به عملکرد در فرکانس‌های بالاتر، فرآیند طراحی این نوع مدارها را بیش‌ازپیش پیچیده کرده است.

در این مقاله، یک حلقه قفل فاز با توان مصرفی پایین و ثبات فرکانسی بالا در فرکانس ۲/۴۵ گیگاهرتز برای کاربردهای مخابراتی معرفی شده است. طراحی پیشنهادی مبتنی بر فناوری CMOS با اندازه ۰/۱۸ میکرومتر بوده و برای بهبود عملکرد، از روش‌های نوآورانه‌ای استفاده شده است. این روش‌ها شامل بهره‌گیری از مدار شارژ اولیه برای کاهش زمان قفل‌شدن، طراحی بهینه پمپ بار و فیلتر پایین‌گذر است. این اقدامات با هدف کاهش نویز فاز و بهینه‌سازی مصرف توان صورت گرفته‌اند.

هدف اصلی این تحقیق، ارائه معماری بهینه‌ای برای حلقه قفل فاز است که بتواند در مودم‌های ADSL و ارتباطات بی‌سیم مورد استفاده قرار گیرد. این معماری به‌گونه‌ای طراحی شده است که نیازهای سیستم‌های مخابراتی مدرن را با توجه به محدودیت‌های مصرف توان و ابعاد مدار، به طور کامل برآورده کند.

۲- مرور ادبیات و پژوهش‌های مرتبط

حلقه قفل فاز، یکی از اجزای اساسی در سیستم‌های مخابراتی و الکترونیکی است که وظیفه تولید سیگنال‌های پایدار و هماهنگ با فرکانس مرجع را برعهده دارد [۱۴] تا [۱۶]. PLL به‌عنوان یک سیستم کنترل غیرخطی با پسخور منفی[2] تعریف می‌شود که فرکانس و فاز خروجی را با سیگنال ورودی هماهنگ می‌کند [۱۷].

شکل ۱شکل ۱، نمودار بلوکی حلقه قفل فاز را نشان می‌دهد. این

1. Phase Locked Loop

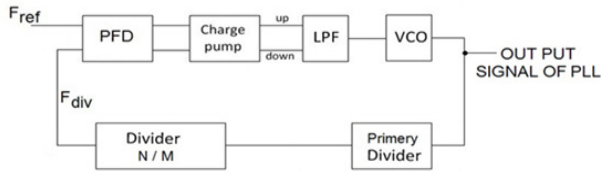
2. Negative Feedback

سیستم شامل اجزای کلیدی مانند آشکارساز فرکانس فاز[۱] (PFD)، پمپ بار[۲]، فیلتر پایین گذر، نوسان ساز کنترل شده با ولتاژ[۳] (VCO)، تقسیم کننده اولیه[۴] و تقسیم کننده کسری[۵] است. آشکارساز فرکانس–فاز وظیفه مقایسه فاز و فرکانس سیگنال مرجع با بازخورد را بر عهده دارد. در صورت وجود اختلاف، سیگنال‌های کنترلی تولید می‌شوند که در پمپ بار به ولتاژ متناسب تبدیل می‌گردند. این ولتاژ پس از عبور از فیلتر پایین‌گذر، که نویز و اجزای اضافی را حذف می‌کند، به نوسان‌ساز کنترل‌شده با ولتاژ اعمال می‌شود تا سیگنالی با فرکانس متغیر تولید کند. برای تأمین یک سیگنال بازخورد دقیق، ابتدا فرکانس خروجی نوسان‌ساز توسط تقسیم‌کننده اولیه کاهش یافته و سپس توسط تقسیم‌کننده کسری به فرکانس دلخواه تنظیم می‌شود. این تعامل منسجم میان اجزا، تضمین‌کننده تولید سیگنال خروجی پایدار و دقیق است.

عملکرد حلقه قفل فاز مبتنی بر یک حلقه پسخور است که به طور پیوسته فرکانس نوسان‌ساز کنترل‌شده با ولتاژ را تنظیم می‌کند تا اختلاف فاز بین سیگنال مرجع و بازخورد به حداقل برسد. این فرآیند همگام‌سازی شامل سه مرحله است: در مرحله اول، که به آن مرحله آزاد[۶] گفته می‌شود، PLL بدون وابستگی به مرجع فرکانسی عمل کرده و در حالتی آزاد قرار دارد. سپس در مرحله دوم که با عنوان مرحله جذب[۷] شناخته می‌شود، PLL با شناسایی فرکانس ورودی اقدام به تنظیم اولیه فرکانس برای نزدیک شدن به هماهنگی می‌کند در نهایت، در مرحله قفل[۸]، PLL هم‌فازی و همگام‌سازی کامل را بین سیگنال مرجع و بازخورد حفظ کرده و پایداری فرکانسی مطلوب را تضمین می‌کند. ین سه مرحله به صورت پیوسته عمل کرده و عملکرد مطلوب و دقیق حلقه قفل فاز را در کاربردهای متنوع الکترونیکی و مخابراتی ممکن می‌سازند.

در تحقیقات گذشته، ساختارهای متنوعی برای بهینه‌سازی عملکرد PLLپیشنهاد شده است. در طراحی حلقه‌های قفل فاز پمپ بار، رفتار غیرخطی اجزایی مانند نوسان‌ساز کنترل‌شونده با ولتاژ (VCO) و پمپ بار نقش بسیار مهمی در عملکرد کلی مدار ایفا می‌کند. پژوهش‌های اخیر تلاش داشته‌اند تا با مدل‌سازی دقیق‌تر این اجزا، بهبود پارامترهای حیاتی نظیر زمان قفل‌شدن، نویز فاز، و مصرف توان را ممکن سازند. مطالعات [۱۸] و [۱۹] به تحلیل اثرات غیرایده‌آل ناشی از پمپ بار و تأثیر مدولاسیون طول کانال در ترانزیستور MOSFET پرداخته‌اند. با استفاده از تحلیل معادلات غیرخطی، روابط تحلیلی دقیقی برای پیش‌بینی زمان نشست و پاسخ گذرا ارائه شده است. در [۲۰]، با ارائه مدلی واقع‌گرایانه برای نوسان‌ساز کنترل‌شونده با ولتاژ، رفتار غیرخطی آن به کمک بسط سری ولترا مورد بررسی قرار گرفته است. این مدل به طور دقیق اثر نویز فاز و جیتر[۹] را بر عملکرد PLL تحلیل کرده و بینش ارزشمندی برای طراحی بهینه ارائه می‌دهد.

استفاده از حلقه قفل فاز برای تولید رمپ‌های فرکانسی با خطی‌بودن بالا در پهنای باند گسترده، موجب افزایش دقت در برآورد فاصله می‌شود.



شکل ۱: نمودار بلوکی حلقه قفل فاز.

این بهبود عملکرد از طریق افزایش پهنای باند و کاهش مدت زمان جاروب فرکانس حاصل می‌شود [۲۱]. در طراحی سیستم‌های PLL کم‌مصرف و کم‌نویز، بهره‌گیری از ویژگی‌های مبتنی بر هیسترزیس نقش مؤثری در کاهش نویز فاز ایفا می‌کند [۲۲]. پژوهش [۲۳] نشان داده است که حذف یک انتگرال‌گیر از حلقه پسخور، منجر به طراحی با سرعت سوئیچینگ بالاتر شده است. علاوه بر این، افزایش مدت زمان ردیابی[۱۰] باعث کاهش چشمگیر نویز فرکانس در حالت پایدار می‌شود [۲۴].

در یک پژوهش، ابزاری به نام تاپس[۱۱] طراحی و توسعه داده شده است که امکان طراحی مدارهای PLL بر اساس پارامترهای مشخص را فراهم می‌سازد و همچنین امکان انجام آزمایش‌های جامع و دقیق بر روی این طراحی‌ها را ارائه می‌دهد [۲۵].

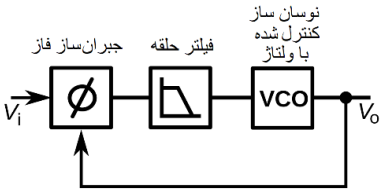
در [۲۶]، معماری PLL تنظیم‌شده با منبع تغذیه معرفی شده است که با استفاده از تنظیم‌کننده مبتنی بر کپی و معماری دوگانه، پهنای باند لازم برای کاهش نویز فاز نوسان‌ساز افزایش یافته و تأثیر نویز تغذیه و مصرف توان به طور قابل توجهی کاهش می‌یابد. علاوه بر این، مقیاس‌بندی ترانزیستورها در سطوح مختلف می‌تواند موجب محدود شدن فرکانس مرکزی و کاهش زمان قفل PLL شود [۲۷]. همچنین، استفاده از VCO از نوع حلقه‌ای قادر است مساحت کلی PLL را به‌طور چشمگیری کاهش دهد [۲۸].

در [۲۹]، یک حلقه قفل فاز (PLL) جدید با فرکانس آفست معرفی شده است که با استفاده از رابطه ریاضی اعداد اول متباین، دقت بالایی در تنظیم فرکانس ارائه می‌دهد. این طراحی با بهره‌گیری از ضرب‌کننده فرکانسی ساده مبتنی بر[۱۲]DLL، در مقایسه با معماری‌های معمول، مزایایی مانند زمان قفل کوتاه‌تر، مساحت تراشه کوچک‌تر، مصرف توان پایین‌تر و کاهش هزینه توسعه را به همراه دارد.

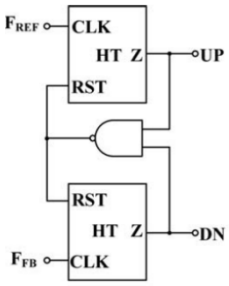
در [۳۰]، یک حلقه قفل فاز با فرکانس بالا و فیلتر پایین‌گذر فشرده معرفی شده که در تکنولوژی CMOS پیاده‌سازی شده است. این طراحی با هدف حفظ پهنای باند مطلوب و کاهش نویز، از معماری کنترل دو مسیره بهره می‌برد. به‌علاوه، استفاده از تکنیک‌های پیشرفته در این طراحی، ظرفیت خازنی فیلتر را کاهش داده و انحراف زمانی را به حداقل رسانده است.

با وجود پیشرفت‌های انجام شده، طراحی PLLهایی که بتوانند به‌طور هم‌زمان مصرف توان را به‌طور مؤثری کاهش داده و نویز فاز پایینی داشته باشند، همچنان چالشی جدی محسوب می‌شود. در این پژوهش، با بهره‌گیری از تکنیک‌های نوآورانه مانند طراحی مدار شارژ اولیه و بهینه‌سازی ساختار پمپ شارژ و فیلتر پایین‌گذر، تلاش شده است تا یک PLL با توان مصرفی کمتر، زمان قفل کوتاه‌تر، و نویز فاز بهینه برای فرکانس ۲٫۴۵ گیگاهرتز ارائه شود. این طراحی که با استفاده از تکنولوژی

1. Phase Frequency Detector
2. Charge Pump
3. Voltage Controlled Oscillator
4. Primery Dividor
5. Fraction Divider
6. Free-Running
7. Capture
8. Lock
9. Jitter
10. Tracking Period
11. TOPS
12. Delay Lock Loops



شکل ۲: ساختار حلقه قفل فاز PLL.



شکل ۳: ساختار آشکار ساز فاز با دو خروجی [۳۴].

۰/۱۸ میکرومتر CMOS پیاده‌سازی شده، برای کاربردهای قابل‌حمل و بی‌سیم نظیر مودم‌های ADSL و ارتباطات وای‌فای مناسب است.

۳- نحوه عملکرد حلقه قفل فاز

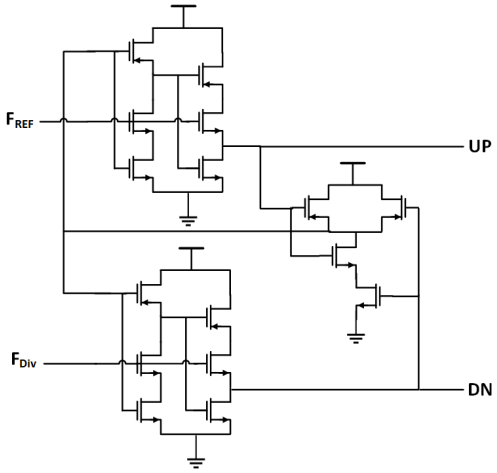
حلقه قفل فاز، یک سیستم کنترلی است که کاربردهای گسترده‌ای در حوزه‌های الکترونیک و مخابرات دارد. این سیستم قادر است سیگنال خروجی را به شکلی تولید کند که فاز آن نسبت به سیگنال مرجع پایدار و ثابت باقی بماند. به عبارت دیگر، PLL با حفظ هماهنگی فاز میان سیگنال ورودی و خروجی، فرکانس سیگنال‌ها را نیز همگام‌سازی می‌کند.

حلقه قفل فاز از انواع مختلفی برخوردار است، اما ساده‌ترین نوع آن از سه بخش اصلی تشکیل شده است: جبران‌ساز فاز[1]، فیلتر حلقه[2]، و نوسان‌ساز کنترل‌شده با ولتاژ . در این سیستم، نوسان‌ساز سیگنالی متناوب با فرکانس متغیر تولید می‌کند. جبران‌ساز فاز وظیفه مقایسه فاز سیگنال خروجی با فاز سیگنال مرجع را بر عهده دارد و در صورت وجود اختلاف فاز، سیگنال کنترلی تولید می‌کند. این سیگنال از طریق فیلتر حلقه عبور کرده و نویزهای ناخواسته آن حذف و سیگنال صاف‌سازی می‌شود. سپس این سیگنال به VCO اعمال می‌شود تا فرکانس و فاز خروجی تنظیم شوند و اختلاف فاز به حداقل برسد.

شکل ۲، ساختار بلوکی PLL را نمایش می‌دهد. در این ساختار، Vi به عنوان سیگنال مرجع با فرکانس ثابت عمل می‌کند که معمولاً توسط نوسان‌ساز کریستالی تولید می‌شود و Vo نیز سیگنال خروجی نوسان‌ساز است. این حلقه شامل یک مسیر پسخورد است که وظیفه کنترل فرکانس و فاز سیگنال خروجی را بر عهده دارد. در حالت قفل، فرکانس و فاز سیگنال‌های Vo و Vi با یکدیگر برابر و هماهنگ می‌شوند.

از دیگر قابلیت‌های PLL می‌توان به توانایی دنبال کردن فرکانس سیگنال ورودی یا تولید مضربی از آن در خروجی اشاره کرد. PLL با مقایسه فرکانس و فاز میان سیگنال مرجع و خروجی VCO، فاز و فرکانس سیگنال‌ها را قفل کرده و هماهنگی مطلوبی ایجاد می‌کند. این ویژگی‌ها کاربردهای گسترده‌ای را برای PLL فراهم ساخته است، از جمله تولید سیگنال‌های پایدار و هماهنگ، همگام‌سازی سیستم‌های مخابراتی، و تصحیح خطای فرکانس در مدارهای الکترونیکی.

1. Phase Comparator
2. Loop Filter



شکل ۴: مدار داخلی آشکار ساز فاز.

در حالت قفل، سیگنال خروجی VCO به‌طور دقیق با سیگنال مرجع هماهنگ می‌شود و تغییرات فرکانس و فاز در سطحی ثابت و قابل قبول باقی می‌مانند.

٤- ساختار حلقه قفل فاز پیشنهادی

در این مقاله، PLL با استفاده از بلوک‌های اصلی شامل بلوک آشکارساز فاز، بلوک پمپ بار و فیلتر پایین‌گذر، بلوک نوسان‌ساز کنترل‌شده با ولتاژ و بلوک تقسیم‌کننده، طراحی شده است. برای تحلیل دقیق عملکرد اجزای بکار رفته در این PLL، از نرم‌افزارHSPICE برای شبیه‌سازی و تحلیل سیگنال‌ها استفاده شده است. در ادامه، جزییات عملکرد هر یک از این بلوک‌ها همراه با نتایج شبیه‌سازی آن‌ها به تفصیل ارائه خواهد شد.

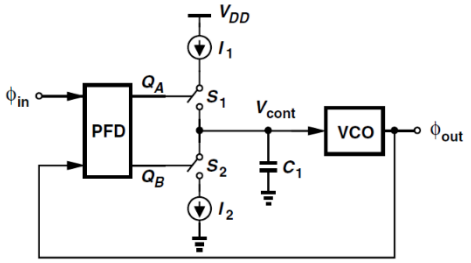
٤-١ آشکارساز فاز

شکل ۳، ساختار آشکارساز فاز مورد استفاده در این مقاله را نمایش می‌دهد. در این ساختار، سیگنال خروجی تقسیم‌کننده (F_{DIV}) همراه با سیگنال مرجع (F_{REF}) وارد آشکارساز فاز می‌شوند. این آشکارساز دارای دو خروجی به نام‌های UP و DN است. زمانی که فرکانس سیگنال مرجع با فرکانس خروجی تقسیم‌کننده متفاوت باشد، یکی از دو خروجی، فعال می‌شود که این وضعیت به بیشتر یا کمتر بودن فرکانس ورودی نسبت به سیگنال مرجع بستگی دارد. در حالتی که فرکانس‌های مرجع و خروجی برابر باشند، هر دو خروجی در حالت غیر فعال باقی می‌مانند. ساختار این آشکارساز فاز به دلیل سرعت بالای آن در اصلاح فرکانس حلقه، بهبودهای قابل‌توجهی را در طراحی حلقه قفل فاز ایجاد می‌کند و برای کاربردهای پیشرفته بسیار مناسب است [۳۱] تا [۳۳]. مدار داخلی این آشکارساز فاز در شکل ۴ آورده شده است [۳۴].

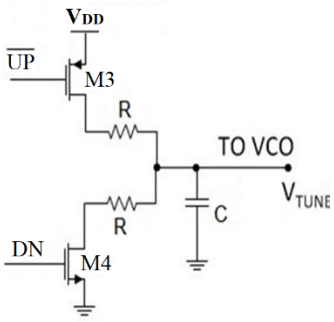
٤-٢ پمپ بار و فیلتر پایین گذر

برای کاهش خطای فاز و افزایش بهره حلقه، از ترکیب پمپ بار و فیلتر پایین‌گذر استفاده شده است. همان‌طور که در شکل ۵ نشان داده شده، در ساختار پمپ بار معمولاً یک مقاومت بین خازن و خط ولتاژ کنترل قرار می‌گیرد [۳۵].

در این طراحی، به منظور بهینه‌سازی عملکرد و کاهش تعداد قطعات مورد نیاز، به جای استفاده از منابع جریان ثابت و سوئیچ‌ها، از منابع ولتاژ، سوئیچ‌ها و یک مقاومت برای مدیریت شارژ خازن بهره گرفته شده است.



شکل ۵: ساختار حلقه قفل فاز با مدار شارژپمپ دارای منابع جریان [۳۵].



شکل ۶: ساختار پمپ بار با منابع ولتاژ، مقاومت و خازن.

این تغییرات نه تنها ساده‌سازی طراحی را به همراه داشته، بلکه به بهبود عملکرد کلی سیستم نیز کمک کرده است.

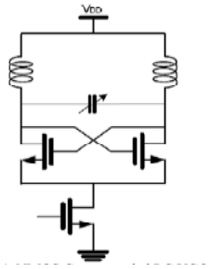
شکل ۶، مدار پمپ بار را همراه با دو ترانزیستور سوئیچ و فیلتر پایین‌گذر نمایش می‌دهد. در این ساختار، ترانزیستورهای M3 و M4 به صورت متناوب فعال می‌شوند و هرگز به‌طور هم‌زمان فعال نیستند. هنگامی که ترانزیستور M3 فعال باشد، ولتاژ خازن از طریق مقاومت افزایش می‌یابد. برعکس، زمانی که ترانزیستور M4 فعال شود، ولتاژ خازن از طریق همان مقاومت کاهش می‌یابد. این طراحی با استفاده از فعال‌سازی دقیق ترانزیستورها، مدیریت مناسبی بر ولتاژ خازن اعمال کرده و عملکرد بهینه حلقه را تضمین می‌کند.

وظیفه اصلی پمپ بار و فیلتر پایین‌گذر، تبدیل سیگنال‌های UP و DN به یک ولتاژ کنترلی یکنواخت برای تنظیم فرکانس نوسان‌ساز کنترل‌شده با ولتاژ (VCO) است. هنگامی که سیگنال UP فعال شود، ولتاژ خروجی پمپ بار افزایش یافته و باعث بالا رفتن فرکانس VCO می‌شود. در مقابل، زمانی که سیگنال DN فعال شود، ولتاژ خروجی پمپ بار کاهش پیدا می‌کند، که این موضوع موجب کاهش فرکانس VCO می‌شود.

در طراحی فیلتر پایین‌گذر، دستیابی به تعادل مناسب میان سرعت قفل شدن و پایداری حلقه از چالش‌های اصلی محسوب می‌شود. پارامترهای کلیدی فیلتر، شامل مقادیر خازن‌ها و مقاومت‌ها، به گونه‌ای انتخاب شده‌اند که حاصل‌ضرب بهره حلقه[1] و پهنای باند حلقه[2] در محدوده بهینه قرار گیرد. این مقادیر از طریق تحلیل‌های دقیق و شبیه‌سازی‌های گسترده تعیین شده‌اند.

افزایش بیش از حد پهنای باند حلقه می‌تواند زمان قفل را کاهش دهد اما ناپایداری‌هایی مانند فراجهش[3] و لرزش نوسانی[4] ایجاد کند، در حالی که کاهش بیش از حد پهنای باند منجر به افزایش زمان قفل و کندی پاسخ حلقه می‌شود. در طراحی حاضر، مقدار بهینه‌ای از پارامترها انتخاب

1. Loop Gain
2. Loop Bandwidth
3. Overshoot
4. Ringing



شکل ۷: مدار نوسان ساز با ترانزیستور های NMOS و کوپل تقاطعی [۳۹].

شده است که زمان قفل حلقه را حدود ۱۶ سیکل فرکانس مرکزی حفظ کرده و پایداری سیستم را تضمین می‌کند.

برای افزایش دقت و ثبات عملکرد، خازن فیلتر با مقدار ۷۵ پیکوفاراد و از نوع off-chip انتخاب شده است تا دقت شارژ/دشارژ و عملکرد پایدار فراهم شود. مقدار مقاومت اولیه برابر با ۸۰ کیلو اهم تعیین شده و پس از شبیه‌سازی حلقه باز و حلقه بسته بهینه‌سازی شده است. این طراحی موجب کاهش نویز فاز و دستیابی به عملکرد پایدار در کاربردهای فرکانس بالا می‌شود.

۳-٤ نوسان ساز کنترل شده با ولتاژ

نوسان‌ساز کنترل‌شده با ولتاژ یکی از اجزای کلیدی در هر حلقه قفل فاز محسوب می‌شود و وظیفه اصلی آن تولید فرکانس است. هدف اصلی طراحی PLL، دستیابی به فرکانسی مشخص و پایدار با پهنای باند محدود است [۳۶] و [۳۷].

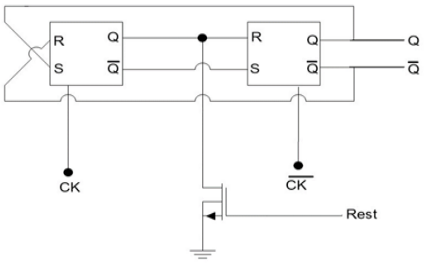
نوسان‌ساز مورد استفاده در این طراحی از ویژگی‌هایی نظیر فرکانس مرکزی ۲٫۴۵ گیگاهرتز و قابلیت تنظیم محدوده فرکانسی در بازه‌ای شامل فرکانس‌های بالاتر و پایین‌تر از فرکانس مرکزی برخوردار است. این نوسان‌ساز دارای رفتار خطی نسبت به ولتاژ کنترل بوده و امکان تنظیم دقیق فرکانس را فراهم می‌کند.

با این وجود، در شرایطی که ولتاژ ورودی ثابت باقی بماند، فرکانس خروجی دچار تغییرات کوچکی می‌شود که به آن نویز فاز اطلاق می‌شود. برای کاهش این نویز و بهبود عملکرد کلی نوسان‌ساز، از یک سلف با کیفیت بالا استفاده شده است که نقشی کلیدی در کاهش نویز فاز ایفا می‌کند.

شکل ۷ مدار نوسان‌ساز مبتنی بر ترانزیستورهای NMOS با کوپل متقاطع را نمایش می‌دهد [۳۸] و [۳۹]. این ساختار به گونه‌ای طراحی شده است که دامنه نوسانات را افزایش دهد، به‌طوری‌که دامنه نوسانات از صفر تا دو برابر ولتاژ تغذیه تغییر می‌کند. در این مدار، خازن در کنار دو سلف قرار گرفته است که نقش حیاتی در تنظیم فرکانس دارد.

با افزایش ولتاژ V_{TUNE}، فرکانس نوسانات افزایش یافته و با کاهش این ولتاژ، فرکانس کاهش می‌یابد. در این طراحی، خازن پس از هر بار شارژ کامل توسط سلف تخلیه شده و سپس در جهت مخالف شارژ می‌شود. به همین دلیل، دامنه قله نوسانات همیشه دو برابر بیشینه ولتاژ خازن است.

در ساختار پیشنهادی حلقه قفل فاز، نوسان‌ساز کنترل‌شونده با ولتاژ به عنوان یکی از اجزای کلیدی، وظیفه تنظیم دقیق فرکانس خروجی حلقه را بر اساس سیگنال خطای فاز بر عهده دارد. مکانیزم کنترل این نوسان‌ساز، از طریق ولتاژ خروجی فیلتر پایین‌گذر به طور مستقیم اعمال می‌شود. این ولتاژ کنترل به ورودی VCO متصل شده و با تغییر آن، ظرفیت خازنی varactor داخلی تنظیم می‌گردد، که نهایتاً منجر به تغییر فرکانس نوسان VCO می‌شود.



شکل ۸: مدار تقسیم‌کننده.

مدار VCO در این طراحی مبتنی بر معماری *CMOS cross-coupled oscillator* بوده و عملکرد خطی آن در بازه ولتاژ ۰/۵ تا ۲/۵ ولت تضمین شده است. محدوده فرکانس کاری VCO بین ۲/۲ تا ۲/۷ گیگاهرتز تعیین شده که این بازه، سازگاری کاملی با نیازمندی‌های فرکانسی سیستم‌های طراحی‌شده فراهم می‌کند.

این ساختار به گونه‌ای بهینه‌سازی شده است که علاوه بر تضمین پایداری فرکانسی، تأثیرپذیری بسیار کمی از نویز ولتاژ تغذیه داشته باشد. همچنین، طراحی مدار قابلیت ارائه کنترل فرکانس با دقت و رزولوشن بالا را داراست که این ویژگی آن را برای کاربردهای حساس و پیچیده، به گزینه‌ای کارآمد تبدیل می‌کند.

مدل نویز فاز استفاده‌شده در این تحقیق، مبتنی بر مدل لیسن[1] است که یکی از مدل‌های مرجع و رایج در تحلیل نویز نوسان‌سازها محسوب می‌شود. این مدل، به‌طور خاص، نویز فلیکر (در فرکانس‌های پایین) و نویز حرارتی سفید[2] (در فرکانس‌های بالا) را ترکیب کرده و رفتار نویز فاز را به‌صورت جامع مدل‌سازی می‌کند. رابطه کلی نویز فاز در این مدل به‌صورت زیر تعریف می‌شود:

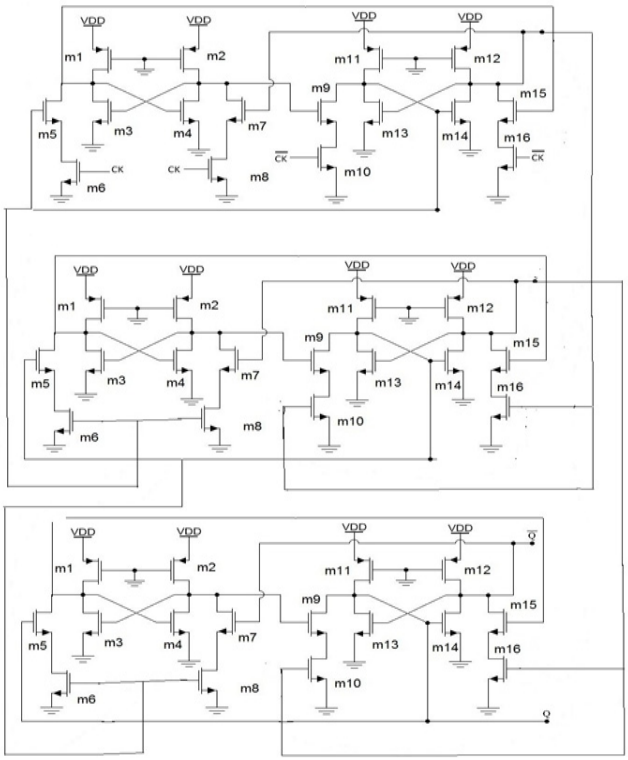
$$L(f_m) = 10\log\left[\frac{FKT}{2P}\left(1+\frac{f_c^2}{f_m^2}\right)\right] \qquad (1)$$

که در آن، $L(f_m)$ نویز فاز در افست فرکانسی f_m، F فاکتور نویز مدار، P توان سیگنال خروجی نوسان‌ساز، f_c فرکانس گوشه‌ی نویز فلیکر، K ثابت بولتزمن و T دمای مطلق (کلوین) است.

افزایش فرکانس نوسان‌ساز کنترل‌شونده با ولتاژ، رفتار نویز فاز تغییرات مهمی را تجربه می‌کند. در فرکانس‌های پایین، نویز غالب از نوع فلیکر است که منشأ آن نویز سطح پایین ترانزیستورها می‌باشد. اما در فرکانس‌های بالاتر، نویز حرارتی بر طیف نویز فاز غلبه می‌کند.بر اساس مدل لیسن، میزان نویز فاز به توان سیگنال خروجی، ضریب کیفیت (Q) مدار تانک و فرکانس نوسان وابسته است و رابطه‌ای معکوس با این پارامترها دارد. با این حال، در فرکانس‌های بالا، به دلیل کاهش بهره مدار و افت کیفیت مؤلفه‌های غیرفعال، میزان نویز فاز معمولاً افزایش می‌یابد.بنابراین، در طراحی نوسان‌سازهای کنترل‌شونده با ولتاژ برای فرکانس‌های بالا، انتخاب ساختارهایی با ضریب کیفیت بالاو اتخاذ تدابیری برای کاهش تأثیر نویز منبع تغذیه از اهمیت ویژه‌ای برخوردار است. این اقدامات می‌توانند تأثیر قابل توجهی در بهبود عملکرد نوسان‌ساز و کاهش نویز فاز در کاربردهای فرکانس بالا داشته باشند.

٤-٤ تقسیم‌کننده

تقسیم‌کننده‌ها برای کاهش فرکانس سیگنال‌ها در مدارهای الکترونیکی



شکل ۹: مدار بلوک تقسیم‌کننده.

و سیستم‌های مخابراتی استفاده می‌شوند و در طراحی مدارهایحلقه قفل فازنقش حیاتی ایفا می‌کنند. این اجزا برای تولید فرکانس‌های موردنظر و هماهنگ‌سازی سیگنال‌ها بسیار مؤثر هستند.

تقسیم‌کننده‌ها معمولاً با بهره‌گیری از فلیپ‌فلاپ‌های نوع T طراحی می‌شوند. برای ساخت یک فلیپ‌فلاپ نوعT، می‌توان از لچ یا فلیپ‌فلاپ‌های نوع SR استفاده کرد. در این طراحی، پالس ساعت خروجی تنها در لبه صعودی یا لبه نزولی تغییر می‌کند، که نتیجه آن کاهش فرکانس پالس ساعت ورودی به نصف است [۴۰] و [۴۱].

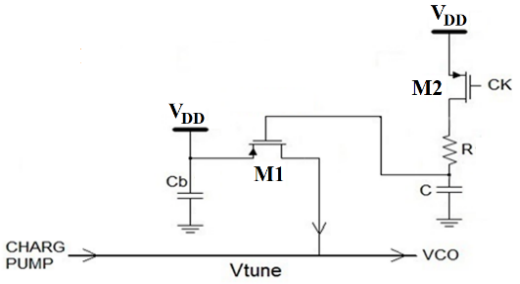
شکل ۸، مدار پایه تقسیم‌کننده را نشان می‌دهد که از دو فلیپ‌فلاپ SRتشکیل شده است. در این ساختار، فرکانس خروجی به نصف فرکانس ورودی CK کاهش می‌یابد.

شکل ۹، مدار تقسیم‌کننده فرکانس مبتنی بر ساختار ضربدری را نشان می‌دهد که شامل سه مرحله اصلی است. هر مرحله به ترتیب فرکانس سیگنال ورودی را بر ۲، ۴ و ۸ تقسیم می‌کند. برای پیاده‌سازی هر مرحله از فلیپ‌فلاپ‌های نوع SR استفاده شده است. این فلیپ‌فلاپ‌ها با استفاده از خطوط پسخور ضربدری متصل شده‌اند که با اتصال ضربدری و خطوط پسخور دقیق، عملکرد تقسیم فرکانس را تضمین می‌کنند.

در حالت CK=۱ (سطح بالای سیگنال ساعت)، خروجی فلیپ‌فلاپ دوم به ورودی فلیپ‌فلاپ اول منتقل شده و داده‌ها به صورت معکوس بازمی‌گردند. در سطح پایین سیگنال ساعت، اطلاعات ذخیره‌شده در فلیپ‌فلاپ دوم برای انتقال به چرخه بعدی آماده می‌شوند. این فرآیند در هر مرحلهبه تولید سیگنال‌هایی با فرکانس نصف مرحله قبل منجر می‌شود.

در این طراحی، ترانزیستورهای NMOS وظیفه تخلیه و انتقال جریان را بر عهده دارند، در حالی که ترانزیستورهای PMOS برای تقویت سیگنال و تأمین جریان مناسب به کار گرفته می‌شوند. اتصال ضربدری خروجی‌های فلیپ‌فلاپ‌ها با خطوط پسخور، هماهنگی دقیق و جلوگیری از ناهماهنگی فاز را در تولید سیگنال‌های تقسیم‌شده تضمین می‌کند.

1. Leeson
2. White Thermal Noise



شکل ۱۰: مدار شارژ اولیه سیگنال VTUNE در راه‌اندازی حلقه قفل فاز.

سیگنال‌های خروجی هر مرحله دارای فرکانس‌هایی برابر با ۱/۲، ۱/۴ و ۱/۸ فرکانس ورودی اولیه هستند، که این ویژگی تقسیم‌کننده را به گزینه‌ای مناسب برای استفاده در سیستم‌های حلقه قفل فاز تبدیل می‌کند. در این کاربردها، سیگنال‌های تقسیم‌شده برای بررسی تطابق فرکانس با سیگنال مرجع به ماژول مقایسه فاز PLL ارسال می‌شوند.

این طراحی، با ساختار ساده و بازخورد دقیق، از پایداری و دقت بالایی برخوردار است. علاوه بر این، بهینه‌سازی در ساختار مدار باعث کاهش مصرف توان شده و عملکرد مناسب آن را برای کاربردهای فرکانسی بالا تضمین می‌کند. با وجود این، تأخیر ناشی از فلیپ‌فلاپ‌ها در فرکانس‌های بسیار بالا ممکن است چالش‌برانگیز باشد، اما استفاده از ترانزیستورهایی با تطبیق دقیق می‌تواند این مشکل را تا حد قابل توجهی کاهش دهد.

٤-٥ مدار شارژ اولیه سیگنال کنترل در PLL

شکل ۱۰، مدار شارژ اولیه سیگنال VTUNE را که در زمان راه‌اندازی حلقه قفل فازعمل می‌کند، نمایش می‌دهد. وظیفه اصلی این مدار، آماده‌سازی سیگنال کنترل اولیه برای نوسان‌ساز کنترل‌شده با ولتاژبه‌منظور جلوگیری از نوسانات نامطلوب و ناپایداری اولیه در سیگنال خروجی VCO است. این آماده‌سازی نقش مهمی در تضمین عملکرد پایدار حلقه قفل فاز ایفا می‌کند.

در این مدار، یک خازن به‌عنوان عنصر ذخیره‌کننده بار، به سیگنال کنترل متصل است. هنگام روشن شدن مدار، شارژ این خازن، مقدار اولیه ولتاژ کنترلی را که به VCO اعمال می‌شود، تعیین می‌کند. خازن به‌آرامی شارژ شده و سیگنال ولتاژ کنترل را به مقدار مطلوب می‌رساند. مقاومت سری با خازن نیز به‌عنوان یک عامل تنظیم‌کننده جریان، به شارژ تدریجی خازن کمک می‌کند و زمان شارژ را کنترل می‌کند.

ترانزیستور NMOS به‌عنوان یک سوئیچ عمل کرده و در زمان فعال بودن سیگنال کنترل، اجازه شارژ خازن را می‌دهد. ترانزیستور PMOS نیز ولتاژ تغذیه را به مدار اعمال و جریان لازم برای عملکرد صحیح مدار را تأمین می‌کند. ترکیب این دو نوع ترانزیستور، تنظیم دقیق سیگنال کنترل را امکان‌پذیر می‌سازد.

در حالت پایدار، خازن ولتاژ موردنیاز برای سیگنال کنترل را ذخیره کرده و این ولتاژ به پایه ورودی VCO اعمال می‌شود. این طراحی تضمین می‌کند که نوسان‌ساز بلافاصله پس از روشن شدن مدار، به شرایط پایدار برسد و عملکرد حلقه قفل فاز را بهینه نماید.

٤-٦ خطاهای محتمل در PLL و راهکارهای کاهش آن

در یک حلقه قفل فاز، پس از قفل شدن مدار روی فرکانس موردنظر، احتمال ایجاد تغییرات ناخواسته در فرکانس خروجی بسیار اندک است، مگر اینکه عوامل خارجی یا داخلی سبب بروز خطا شوند. یکی از این عوامل می‌تواند تغییر در فرکانس مرجع باشد؛ به عنوان مثال، آسیب دیدن یا از کار افتادن کریستال مرجع ممکن است باعث ایجاد خطا شود.

علاوه بر این، نوسانات ناخواسته در ولتاژ خط خروجی فیلتر پایین‌گذر (VTUNE)، خرابی یا تغییر مقادیر خازن‌های فیلتر پایین‌گذر، و آسیب‌دیدگی پمپ بار نیز از جمله عواملی هستند که می‌توانند موجب تغییرات ناخواسته در عملکرد PLL شوند. این نوع خطاها معمولاً ناشی از نقص‌های فیزیکی در قطعات مدار هستند.

یکی دیگر از دلایل مهم تغییر فرکانس در حلقه قفل فاز، نوسانات یا افت در ولتاژ تغذیه مدار است. برای جلوگیری از این مشکل، ولتاژ تغذیه باید پایدار باشد و از تتغییرات ناخواسته محافظت شود. استفاده از خازن‌هایی با ظرفیت مناسب در خطوط تغذیه می‌تواند نوسانات القایی و نویزهای ناخواسته را کاهش دهد و از تأثیرات منفی آن‌ها بر عملکرد PLL جلوگیری کند.

برای کاهش احتمال بروز خطا در حلقه قفل فاز، ضروری است که از قطعات باکیفیت و پایدار برای فیلتر پایین‌گذر و کریستال مرجع استفاده شود، زیرا این انتخاب‌ها موجب افزایش پایداری مدار می‌شوند. همچنین، محافظت از خط تغذیه با خازن‌های مناسب می‌تواند نوسانات و افت ولتاژ را کاهش داده و تأثیر قابل توجهی در عملکرد PLL داشته باشد. طراحی دقیق مدار به‌منظور پیش‌بینی احتمال خرابی قطعات کلیدی نیز راهکاری مؤثر برای بهبود عملکرد و کاهش خطاها به‌شمار می‌رود. در نهایت، کنترل محیطی از طریق محافظت مدار در برابر عوامل خارجی نظیر تغییرات دما و لرزش، برای افزایش طول عمر و حفظ پایداری سیستم ضروری است. اجرای این اقدامات قابلیت اطمینان و پایداری عملکرد حلقه قفل فاز را در شرایط مختلف تضمین می‌کند.

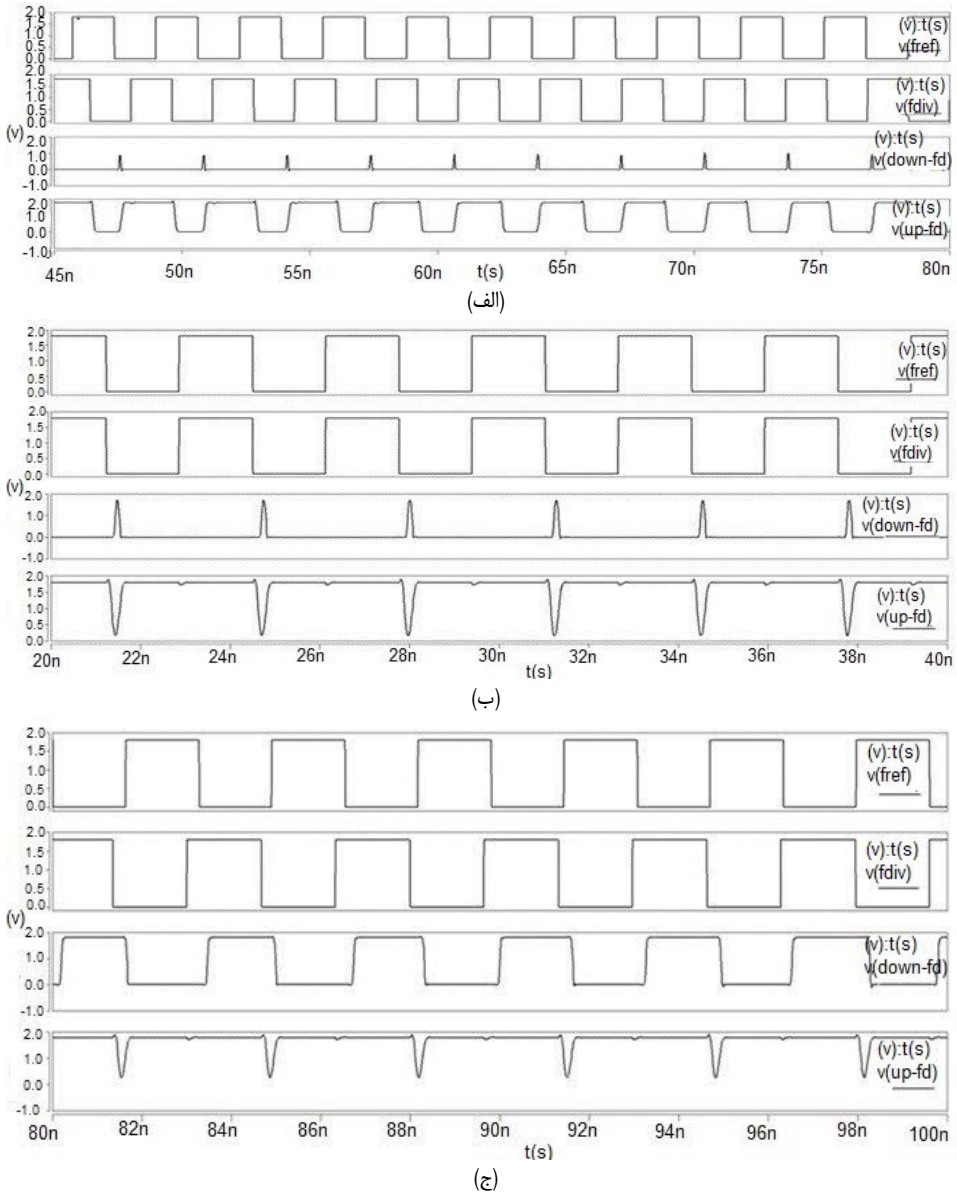
٥- شبیه‌سازی

برای شبیه‌سازی و ارزیابی مدار پیشنهادی PLL، از نرم‌افزا ر HSPICE و فناوری ۰٫۱۸ میکرون CMOS استفاده شده است.در این بخش، مشخصات اجزای حلقه قفل فاز بررسی و نتایج شبیه‌سازی آن‌ها تحلیل می‌شود.

برای ارزیابی عملکرد مدار آشکارساز فاز (شکل ۴)، دو سیگنال مربعی به آن اعمال شده‌اند؛ یکی سیگنال مرجع با فرکانس ثابت (F_{REF}) و سیگنال خروجی تقسیم‌کننده (F_{DIV}). نتایج حاصل از شبیه‌سازی مدار در سه حالت مختلف به‌صورت زیر دسته‌بندی شده‌اند:

در حالت$F_{REF} < F_{DIV}$، پمپ بار باعث کاهش ولتاژ ورودی VCO می‌شود که نتیجه آن افزایش فرکانس خروجی حلقه قفل فاز است (شکل ۱۱- الف). در حالت$F_{REF} > F_{DIV}$، پمپ بار ولتاژ ورودی VCO افزایش داده و فرکانس حلقه قفل فاز کاهش می‌یابد (شکل ۱۱- ب). در حالت$F_{REF} = F_{DIV}$ ، خروجی‌های UP و DN غیرفعال هستند و هیچ تغییری در ولتاژ ورودی VCO ایجاد نمی‌شود (شکل ۱۱- ج). این نتایج نشان‌دهنده عملکرد دقیق مدار آشکارساز فاز در شرایط مختلف بوده و صحت طراحی پیشنهادی را تأیید می‌کند.

نتایج شبیه‌سازی نشان می‌دهند که آشکارساز فاز با دقت بالایی قادر به تشخیص اختلاف فاز و فرکانس بین سیگنال‌های ورودی بوده و تغییرات لازم را در ولتاژ ورودی VCO اعمال می‌کند. این ویژگی موجب می‌شود که حلقه قفل فاز به سرعت به حالت پایدار برسد و فرکانس خروجی با سیگنال مرجع هماهنگ شود. رفتار مطلوب آشکارساز در هر سه حالت شبیه‌سازی ($F_{REF} = F_{DIV}$ و $F_{REF}>F_{DIV}$ ،$F_{REF}< F_{DIV}$)، نشان‌دهنده قابلیت اطمینان بالای آن در طراحی سیستم‌هایPLL پیشرفته است.



شکل ۱۱: سیگنال خروجی PDF در حالت‌های: (الف) $F_{REF} < F_{DIV}$، (ب) $F_{REF} > F_{DIV}$ و (ج) $F_{REF} = F_{DIV}$.

به‌منظور کاهش اثر عدم تطابق[1] بین ترانزیستورهای پمپ بار، طراحی متقارن برای شاخه‌های شارژ و دشارژ به‌کار گرفته شده است که موجب تعادل جریان و بهبود پایداری عملکرد مدار می‌شود. این تقارن، خطاهای ناشی از عدم تطابق جریان و ولتاژ را به حداقل رسانده و عملکرد خروجی فیلتر پایین‌گذر را تثبیت می‌کند. علاوه بر این، استفاده از مقاومت‌های جبران‌کننده در مسیر جریان، نقش مؤثری در کاهش خطای ولتاژ[2] ایفا کرده است. همچنین در مرحله شبیه‌سازی، با بهره‌گیری از تکنیک‌های کالیبراسیون، آثار تغییرات فرآیندی مورد ارزیابی و جبران قرار گرفته‌اند.

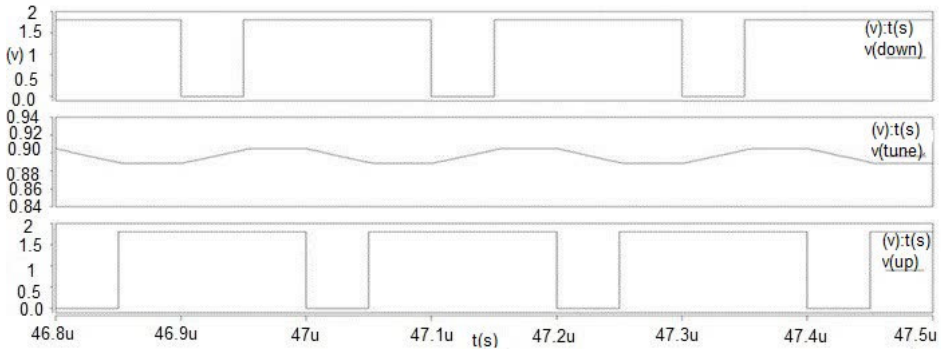
نتایج شبیه‌سازی نشان می‌دهد که این اقدامات، منجر به کاهش قابل توجه جابجایی DC، افزایش دقت فرکانسی و پایداری عملکرد حلقه قفل فاز شده‌اند. همچنین عملکرد بهبود یافته پمپ بار، پایداری مناسبی را در شرایط تغییرات فرآیندی از خود نشان داده است.

شکل ۱۲ سیگنال‌های حاصل از شبیه‌سازی مدار پمپ بار و فیلتر پایین‌گذر (شکل ۶) را نشان می‌دهد. زمانی که مقدار UP صفر می‌شود، ولتاژ TUNE که به VCO متصل است، شروع به کاهش می‌کند. در مقابل، وقتی مقدار DN صفر می‌شود، ولتاژ TUNE افزایش می‌یابد. این نتایج، عملکرد صحیح و قابل اعتماد مدار پیشنهادی را تأیید می‌کنند.

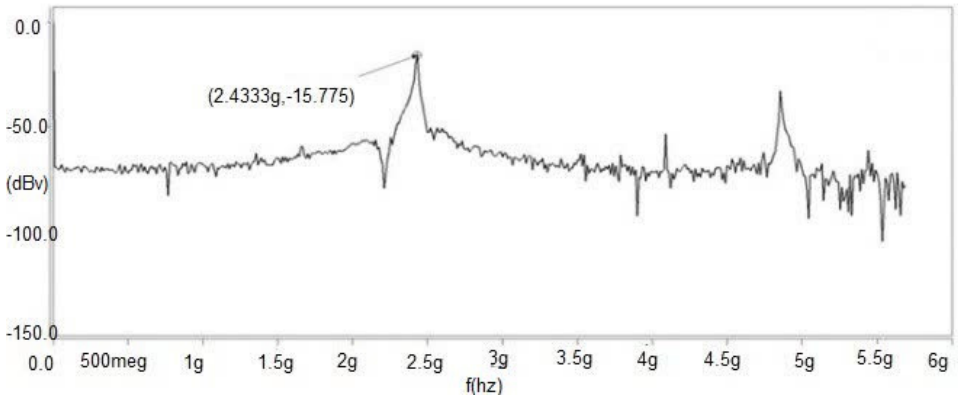
مقادیر دقیق سلف و خازن مدار نوسان‌ساز (شکل ۷)، به‌طور خاص برای دستیابی به فرکانس مرکزی ۲٫۴۵ گیگاهرتز و کاهش نویز فاز تعیین شده‌اند. مقدار سلف L = ۱٫۵ nH و مقدار خازن C = ۰٫۰۵۵ pF است. این مقادیر از طریق شبیه‌سازی‌های گسترده و تحلیل عملکرد مدار به دست آمده و با تنظیم دقیق پارامترهای طراحی، به نیازهای کاربرد موردنظر پاسخ داده‌اند. این تنظیمات منجر به بهینه‌سازی رفتار خطی نوسان‌ساز نسبت به ولتاژ کنترل و ارتقای عملکرد کلی حلقه قفل فاز شده‌اند. نتایج به‌دست‌آمده نشان‌دهنده دقت و کارایی بالای طراحی پیشنهادی در دستیابی به اهداف مشخص‌شده است.

شکل ۱۳ خروجی VCO را برای مقدار کمینه ولتاژ کنترل VTUNEmin=۰٫۰۵ V و شکل ۱۴ خروجی VCO را برای مقدار بیشینه ولتاژ کنترل VTUNEmax=۱٫۸۵ V نمایش می‌دهد. نتایج شبیه‌سازی نشان می‌دهند که ولتاژ خروجی مدار در هر دو مقدار در مقادیر کمینه و بیشینه VTUNE پاسخ مناسبی ارائه می‌دهد. بر همین اساس، مقدار میانه

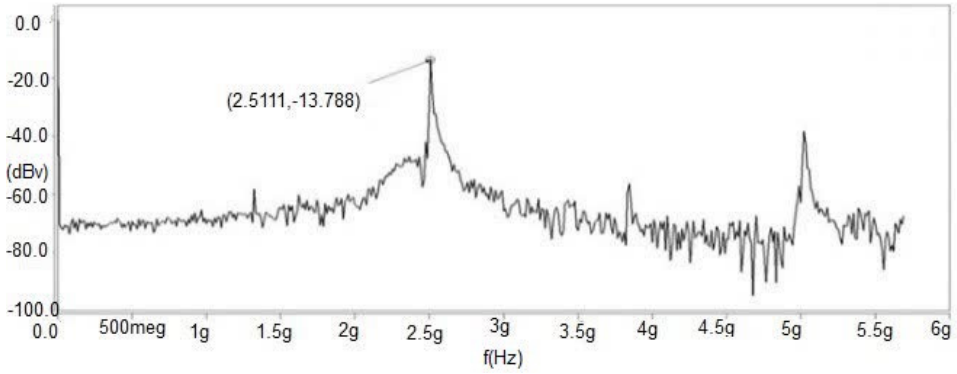
1. Mismatch
2. DC Offset



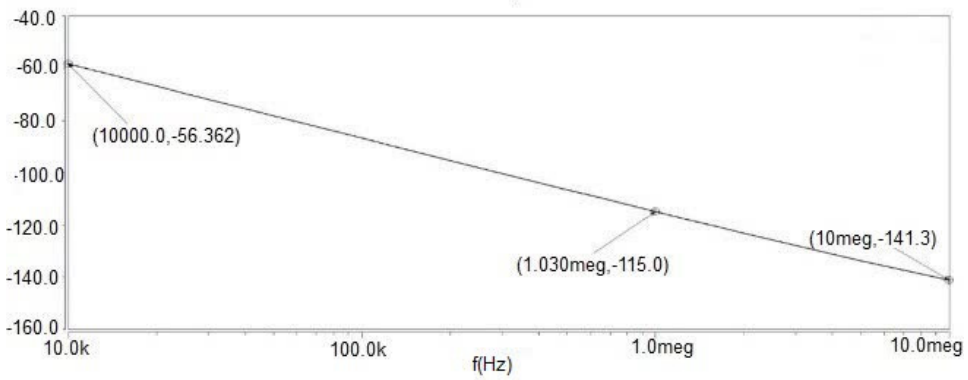
شکل ۱۲: نتایج شبیه سازی مدارپمپ بار و فیلتر پایین‌گذر.



شکل ۱۳: خروجی VCO به ازای V ۰٫۰۵ = VTUNE.



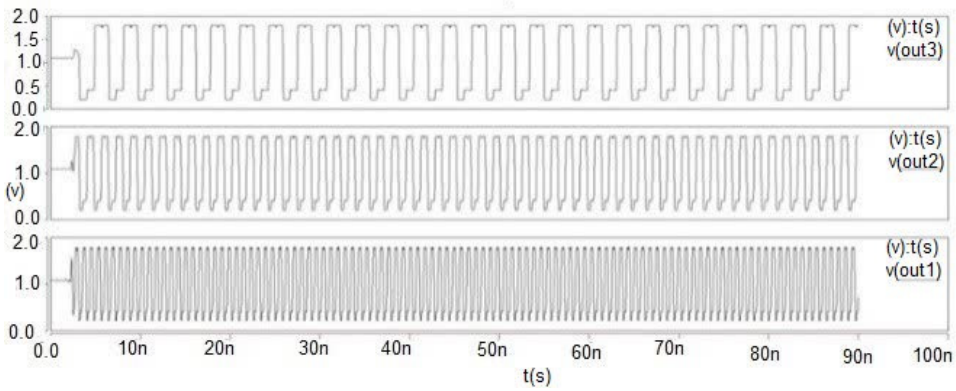
شکل ۱۴: خروجی VCO به ازای V ۱٫۸۵ =VTUNE.



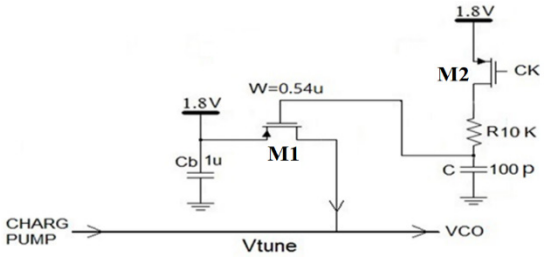
شکل ۱۵: نویز فاز نوسان‌ساز کنترل‌شده با ولتاژ در فرکانس ۲٫۴۵ گیگاهرتز.

این بازه یعنی VTUNE=۰٫۹V به عنوان ولتاژ کنترل بهینه برای دستیابی به فرکانس ۲/۴۵ گیگاهرتز انتخاب شده است.این مقدار امکان تنظیم دقیق عملکرد حلقه قفل فاز و دستیابی به پایداری مطلوب را فراهم می‌آورد.

شکل ۱۵ نویز فاز را در مدار حلقه قفل فاز نشان می‌دهد. بر اساس نتایج شبیه‌سازی، در فرکانس ۱MHz مقدار نویز فاز برابر با ۱۱۵- dBC/Hz است. این مقدار در فرکانس ۱۰ مگاهرتز به ۱۴۱- dBC/ Hz کاهش می‌یابد. این نتایج نشان می‌دهند که با افزایش



شکل ۱۶: سیگنال‌های خروجی مختلف تقسیم فرکانس در مدار تقسیم‌کننده.



شکل ۱۷: مقادیر استفاده شده در طراحی مدار شارژ اولیه VCO.

فرکانس، نویز فاز به طور قابل توجهی کاهش می‌یابد، که این امر بهبود عملکرد کلی مدار را در فرکانس‌های بالاتر تضمین می‌کند.

شکل ۱۶ سیگنال‌های حاصل از شبیه‌سازی مدار تقسیم‌کننده (شکل ۹) را نمایش می‌دهد. نتایج شبیه‌سازی نشان می‌دهند که سیگنال‌های خروجی هر مرحله به ترتیب فرکانس‌هایی معادل با نصف، یک‌چهارم و یک‌هشتم فرکانس ورودی اولیه تولید می‌کنند. این تقسیم فرکانس دقیق، هماهنگی موردنیاز برای عملکرد صحیح حلقه قفل فاز را فراهم کرده و کاربرد مؤثر مدار تقسیم‌کننده را در طراحی سیستم‌های PLL پیشرفته تأیید می‌نماید.

شکل ۱۷ مقادیر مورد استفاده در طراحی مدار شارژ اولیه VCO را نشان می‌دهد. با توجه به پهنای انتخاب شده برای ترانزیستورهای M۱ و M۲ (W=۰/۵۴ µ)، این ترانزیستورها به‌عنوان کلیدهای مقاومتی عمل می‌کنند و جریان عبوری از آنها بسیار کم است. به همین دلیل، تنها مقدار ناچیزی از جریان را ایجاد می‌کنند که در نقطه میانی تغذیه، یعنی ۰/۹ V، ولتاژی تولید شده و در خازن ذخیره می‌شود. مقدار خازن برابر با C =۱۰۰ pF تعیین شده است.

برای تزریق جریان به خط تنظیم، ترانزیستور M۱ باید در مدت زمان کوتاهی روشن شود تا ولتاژی در حد چند دهم ولت روی خط تنظیم قرار گیرد. این فرآیند، ولتاژ کنترلی موردنیاز را فراهم کرده و عملکرد صحیح مدار شارژ اولیه را تضمین می‌کند.

پارامترهای اصلی حلقه قفل فاز پیشنهادی با تحقیقات مشابه مقایسه شده‌اند. در تمامی طراحی‌های بررسی‌شده از فناوری ۰/۱۸ میکرومتر CMOS و ولتاژ ۱/۸ ولت استفاده شده است. یکی از معیارهای مهم ارزیابی در این مقایسه، مقادیر نویز فاز در فرکانس ۱ مگاهرتز است که نشان‌دهنده دقت و پایداری حلقه قفل فاز محسوب می‌شود. نتایج این مقایسه نقش بسزایی در تأیید عملکرد بهینه مدار پیشنهادی و مزایای آن نسبت به دیگر طراحی‌ها دارند.

حلقه قفل فاز پیشنهادی دارای نویز فاز dBC/Hz ۱۱۵- و توان مصرفی mW ۱۳/۵۶ است که در مقایسه با تحقیقات مشابه عملکردی متعادل و مناسب ارائه می‌دهد. مرجع [۳۴] با نویز فاز dBC/Hz ۱۲۶- و توان مصرفی ۳/۱ میلی‌وات از نظر نویز فاز و مصرف انرژی عملکرد بهتری دارد، با این حال، طرح پیشنهادی به دلیل ایجاد تعادل بهتر میان پارامترها قابل‌توجه است. در مقابل، مرجع [۳۰] با نویز فاز dBC/Hz ۱۳۳- بهترین عملکرد نویز فاز را دارد، اما مصرف توان بسیار بالای آن (۱۱۳ میلی‌وات) استفاده از این طراحی را برای کاربردهای کم‌مصرف محدود می‌کند .این مقایسه نشان‌دهنده موقعیت تعادلی طراحی پیشنهادی بین عملکرد مطلوب و مصرف انرژی است که آن را برای کاربردهای عملی و کم‌مصرف مناسب می‌سازد.

از نظر فرکانس خروجی، طراحی پیشنهادی و مقاله [۳۴] هر دو در فرکانس مرکزی ۲/۴۵ گیگاهرتز عمل می‌کنند، که که این فرکانس برای کاربردهای متداولی مانند وای‌فای و مودم‌های ADSL بسیار مناسب است. در مقابل، مرجع [۲۹] به دلیل فرکانس خروجی بسیار پایین و مرجع [۴۲] با محدوده فرکانسی تا ۲/۳ گیگاهرتز برای کاربردهای خاص طراحی شده‌اند. به همین دلیل، مقایسه مستقیم این طراحی‌ها با مدار پیشنهادی امکان‌پذیر نیست، چرا که اهداف و کاربردهای متفاوتی را دنبال می‌کنند.

به طور کلی، حلقه قفل فاز پیشنهادی با توان مصرفی پایین، نویز فاز قابل‌قبول و فرکانس خروجی ۲/۴۵ گیگاهرتز، به‌عنوان گزینه‌ای مطلوب برای کاربردهای کم‌مصرف و دقیق شناخته می‌شود. این طراحی با ارائه تعادل بهینه میان دقت عملکرد، کاهش مصرف انرژی و تضمین پایداری، نیازهای کاربردهای حساس و مدرن را به‌خوبی پاسخ می‌دهد.

جدول ۱، مقایسه‌ای از پارامترهای اصلی حلقه قفل فاز پیشنهادی با تحقیقات مشابه ارائه می‌دهد. تمامی طراحی‌های مقایسه‌شده از فناوری ۰/۱۸ میکرومتر CMOS و ولتاژ ۱/۸ ولت استفاده کرده‌اند. یکی از معیارهای کلیدی در این مقایسه، مقادیر نویز فاز در فرکانس ۱ MHz است، زیرا این معیار نقش مهمی در ارزیابی دقت و پایداری حلقه قفل فاز ایفا می‌کند. نتایج نشان‌دهنده موقعیت متعادل طراحی پیشنهادی در دستیابی به کارایی مطلوب و پایداری مناسب در مقایسه با دیگر طراحی‌ها است.

حلقه قفل فاز پیشنهادی با نویز فاز dBc/Hz ۱۱۵- و توان مصرفی mW ۱۳/۵۶، عملکردی متعادل و قابل‌قبول ارائه می‌دهد. در مقایسه، هرچند مرجع [۳۴] با نویز فاز dBc/Hz ۱۲۶- و توان مصرفی ۳/۱ میلی‌وات، از نظر نویز فاز و مصرف انرژی، عملکرد بهتری دارد، اما طرح پیشنهادی با ارائه تعادلی مناسب میان نویز فاز و توان مصرفی برتری خود را در کارایی کلی نشان می‌دهد. همچنین، مرجع [۳۰] با نویز فاز dBc/Hz ۱۳۳- بهترین عملکرد از نظر کاهش نویز فاز را دارد، اما مصرف توان بسیار بالای آن (۱۱۳ میلی‌وات) کاربرد این طراحی را برای

جدول ۱: پارامترهای اصلی حلقه قفل فاز با تحقیقات مشابه.

نویز فاز	توان مصرفی (mW)	فرکانس خروجی (GHz)	مرجع
−۱۲۶	۳٫۱	۲٫۴۵	[۳۴]
−۱۲۵	۲۵	۳٫۶	[۳۷]
−۱۱۲/۱	۰٫۰۰۱	۱۵٫۷	[۲۹]
−۱۳۳	۱۱۳	۱۰٫۳	[۳۰]
−۱۱۹/۳	۵۴	۲/۳	[۴۲]
−۱۱۵	۱۳/۵۶	۲/۴۵	پیشنهادی

سیستم‌های کم‌مصرف محدود می‌کند. این مقایسه نشان می‌دهد که طراحی پیشنهادی با حفظ تعادل میان پارامترهای کلیدی، برای کاربردهایی که به دقت بالا و مصرف توان پایین نیاز دارند، گزینه‌ای مناسب است.

از نظر فرکانس خروجی، طراحی پیشنهادی و مرجع [۳۴] هر دو در فرکانس مرکزی ۲٫۴۵ گیگاهرتز عمل می‌کنند، که این ویژگی آن‌ها را برای کاربردهایی مانند وای‌فای و مودم‌های ADSL مناسب است می‌سازد. در مقابل، مرجع [۲۹] با فرکانس خروجی بسیار پایین و مرجع [۴۲] با محدوده فرکانسی تا ۲٫۳ گیگاهرتز، برای کاربردهای خاص و اهداف متفاوت طراحی شده‌اند. به همین دلیل، مقایسه مستقیم این دو طراحی با مدار پیشنهادی امکان‌پذیر نیست، چرا که اهداف و کاربردهای آن‌ها به‌طور قابل توجهی متفاوت است.

به طور کلی، حلقه قفل فاز پیشنهادی با توان مصرفی پایین، نویز فاز مطلوب و فرکانس خروجی ۲٫۴۵ گیگاهرتز، گزینه‌ای مناسب برای کاربردهای کم‌مصرف و دقیق است. این طراحی تعادلی بهینه میان دقت، مصرف انرژی و پایداری ارائه می‌دهد که آن را برای انواع کاربردهای عملی مناسب می‌سازد.

جدول ۲، مشخصات حلقه قفل فاز پیشنهادی را نمایش می‌دهد. این حلقه قفل فاز با ویژگی‌هایی مانند فرکانس ۲٫۴۵ گیگاهرتز و توان مصرفی کمتر از ۱۳٫۵۶ mW، با استفاده از فناوری ۰٫۱۸ میکرون CMOS، گزینه‌ای مناسب برای استفاده در مودم‌هایADSL ، شبکه‌های وای‌فای و دستگاه‌های پرتابل نظیر تلفن‌های همراه محسوب می‌شود. زمان قفل این طراحی حدود ۱۶ سیکل فرکانس مرکزی است که نشان‌دهنده عملکرد سریع آن در همگام‌سازی فرکانس است.

۶- نتیجه‌گیری

در این مقاله، یک حلقه قفل فاز با ساختار بهینه و عملکرد قابل اعتماد برای کاربردهای حساس معرفی شده است. طراحی ارائه‌شده با بهره‌گیری از فناوری ۰٫۱۸ میکرومتر CMOS و انجام شبیه‌سازی‌های دقیق، توانسته است به فرکانس مرکزی ۲٫۴۵ گیگاهرتز دست یابد. درحالی‌که مصرف توان پایین و نویز فاز مناسب و زمان قفل کوتاهی را نیز فراهم کرده است. این ویژگی‌ها، طراحی را به گزینه‌ای مطلوب برای کاربردهای متنوعی مانند ارتباطات وای‌فای، مودم‌های ADSL و دستگاه‌های پرتابل مانند تلفن‌های همراه تبدیل کرده‌اند.

نوآوری‌های اصلی این پژوهش شامل کاهش اثرات نویز فاز، بهینه‌سازی مصرف توان، استفاده از معماری مدرن فیلتر پایین‌گذر، و طراحی یک نوسان‌ساز کنترل‌شده با ولتاژ کارآمد هستند که موجب ارتقای دقت و پایداری در فرکانس‌های بالا شده‌اند. مقایسه نتایج این طراحی با تحقیقات پیشین نشان می‌دهد که که حلقه قفل فاز پیشنهادی تعادلی برجسته میان مصرف انرژی پایین و دقت عملکرد بالا ارائه می‌کند. این

جدول ۲: مشخصات حلقه قفل فاز پیشنهادی.

معماری	حلقه قفل فاز با فرکانس ۲٫۴۵ GHz
کاربرد	مودم‌های ADSL، ارتباطات وای‌فای، وسایل پرتابل
زمان قفل	۱۶ reference cycles = ۶٫۵ ns
ولتاژ تغذیه	۱٫۸ V
توان مصرفی	> ۱۳٫۵۶ mW
نویز فاز	−۱۱۵ dBc/Hz @1MHz
تکنولوژی	۰/۱۸ µm – CMOS

پژوهش به عنوان گامی مؤثر در راستای بهبود طراحی حلقه‌های قفل فاز با کارایی بالا و مصرف انرژی بهینه، جایگاه ویژه‌ای در توسعه سیستم‌های حساس به فرکانس دارد.

مراجع

[1] B. Razavi, *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level,* Cambridge University Press, 2020.

[2] N. Sivaraaj and K. A. Majeed, "A comparative study of ring VCO and LC-VCO: Design, performance analysis, and future trends," *IEEE Access,* vol. 11, pp. 127987-128017, 2023.

[3] T. Thacker, D. Boroyevich, R. Burgos, and F. Wang, "Phase-locked loop noise reduction via phase detector implementation for single-phase systems," *IEEE Trans. on Industrial Electronics*, vol. 58, no. 6, pp. 2482-2490, Jun. 2010.

[4] R. Yadav and U. Kumari, "Design an optimal digital phase lock loop with current-starved ring VCO using CMOS technology," *International Journal of Information Technology,* vol. 13, no. 4, pp. 1625-1631, 2021.

[5] S. Shah, P. Koralewicz, V. Gevorgian, and L. Parsa, "Small-signal modeling and design of phase-locked loops using harmonic signal-flow graphs," *IEEE Trans. on Energy Conversion*, vol. 35, no. 2, pp. 600-610, Jun. 2019.

[6] P. Rajalingam, B. Srinivasan, S. Jayakumar, and S. Routray, "Low power 10T phase and frequency detector for high frequency phase locked loop," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 37, no. 1, Article ID: e3131, Jan./Feb. 2024.

[7] J.-M. Lin and C.-Y. Yang, "A fast-locking all-digital phase-locked loop with dynamic loop bandwidth adjustment," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 62, no. 10, pp. 2411-2422, Oct. 2015.

[8] L. Wetzel, *et al.*, "Self-organized synchronization of digital phase-locked loops with delayed coupling in theory and experiment," *PloS one*, vol. 12, no. 2, Article ID: e0171590, 2017.

[9] O. Elhadidy, S. Shakib, K. Krenek, S. Palermo, and K. Entesari, "A wide-band fully-integrated CMOS ring-oscillator PLL-based complex dielectric spectroscopy system," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 62, no. 8, pp. 1940-1949, Aug. 2015.

[10] Z.-X. Zou and M. Liserre, "Modeling phase-locked loop-based synchronization in grid-interfaced converters," *IEEE Trans on Energy Conversion*, vol. 35, no. 1, pp. 394-404, Mar. 2019.

[11] Z. Ali, *et al.*, "Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review," Renewable and Sustainable Energy Reviews, vol. 90, pp. 434-452, Jul. 2018.

[12] S. Golestan, J. M. Guerrero, M. J. Rawa, A. M. Abusorrah, and Y. Al-Turki, "Frequency-locked loops in electrical power and energy systems: Equivalent or different to phase-locked loops?" *IEEE Industrial Electronics Mag.*, vol. 15, no. 4, pp. 54-64, Dec. 2021.

[13] J. C. Hertel, *et al.*, "Synchronous rectifier for high-frequency switch-mode power supplies using phase-locked loops," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2227-2237, Sept. 2019.

[14] A. M. KK and B. J. Kailath, "PLL architecture with a composite PFD and variable loop filter," *IET Circuits, Devices & Systems*, vol. 12, no. 3, pp. 256-262, May 2018.

[15] K. Abdul Majeed and B. J. Kailath, "Low power PLL with reduced reference spur realized with glitch-free linear PFD and current

splitting CP," *Analog Integrated Circuits and Signal Processing*, vol. 93, pp. 29-39, Oct. 2017.
[16] D. R. Stephens, Phase-Locked Loops for Wireless Communications: Digital and Analog Implementation. Springer Science & Business Media, 2012.
[17] W. Tranter, T. Bose, and R. Thamvichai, "Basic PLL Theory," *in Basic Simulation Models of Phase Tracking Devices Using MATLAB*: Springer, 2010, pp. 7-32.
[۱۸] ه. د. بوید، ح. ا. آدرنگ و ح. ربیعی, "تحلیل زمان قفل حلقه قفل فاز پمپ بار با در نظر گرفتن اثر غیر ایده‌آل"، *نشریه مهندسی برق و مهندسی کامپیوتر ایران، الف- مهندسی برق*، سال ۲۰، شماره ۲، صص. ۱۵۲-۱۴۶، تابستان ۱۴۰۱.
[۱۹] ه. د. بوید، ح. ا. آدرنگ و م. توکلی، "تحلیل غیر خطی جیتر انتقالی در حلقه قفل فاز پمپ بار با استفاده از بسط سری ولترا"، *نشریه مهندسی برق و مهندسی کامپیوتر ایران، الف- مهندسی برق*، سال ۱۶، شماره ۲، صص. ۱۲۲-۱۱۵، تابستان ۱۳۹۷.
[20] K. B. Tawfiq, M. N. Ibrahim, E. E. El-Kholy, and P. Sergeant, "Performance analysis of a rewound multiphase synchronous reluctance machine," *IEEE J. of Emerging and Selected Topics in Power Electronics*, vol. 10, no. 1, pp. 297-309, Feb. 2022.
[21] Y. Bao, *et al.*, "A novel concept of ribless synchronous reluctance motor for enhanced torque capability," *IEEE Trans. on Industrial Electronics*, vol. 67, no. 4, pp. 2553-2563, Apr. 2020.
[22] Q. Chen, Y. Yan, G. Xu, M. Xu, and G. Liu, "Principle of torque ripple reduction in synchronous reluctance motors with shifted asymmetrical poles," *IEEE J. of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2611-2622, Sept. 2020.
[23] W. Chen, S. Dong, X. Li, Y. Cao, and G. Zhang, "Initial rotor position detection for brushless DC motors based on coupling injection of high-frequency signal," *IEEE Access*, vol. 7, pp. 133433-133441, 2019.
[24] G. Bi, G. Wang, G. Zhang, N. Zhao, and D. Xu, "Low-noise initial position detection method for sensorless permanent magnet synchronous motor drives," *IEEE Trans. on Power Electronics*, vol. 35, no. 12, pp. 13333-13344, Dec. 2020.
[25] D. Pasqualotto, S. Rigon, and M. Zigliotto, "Sensorless speed control of synchronous reluctance motor drives based on extended kalman filter and neural magnetic model," *IEEE Trans. on Industrial Electronics*, vol. 70, no. 2, pp. 1321-1330, Feb. 2023.
[26] X. Huang, J. Liang, Z. Qian, and J. Li, "An iterative estimation algorithm of prepositioning focusing on the detent force in the permanent magnet linear synchronous motor system," *IEEE Trans. on Industrial Electronics*, vol. 67, no. 10, pp. 8252-8261, Oct. 2020.
[27] T. Wu, *et al.*, "A fast estimation of initial rotor position for low-speed free-running IPMSM," *IEEE Trans. on Power Electronics*, vol. 35, no. 7, pp. 7664-7673, Jul. 2020.
[28] Z. Wang, Z. Cao, and Z. He, "Improved fast method of initial rotor position estimation for interior permanent magnet synchronous motor by symmetric pulse voltage injection," *IEEE Access*, vol. 8, pp. 59998-60007, 2020.
[29] D. Kim, J. Kim, H. Lim, J. Park, J. Han, and G. Lee, "A study on accurate initial rotor position offset detection for a permanent magnet synchronous motor under a no-load condition," *IEEE Access*, vol. 9, pp. 73662-73670, 2021.
[30] X. Zhang, H. Li, S. Yang, and M. Ma, "Improved initial rotor position estimation for PMSM drives based on HF pulsating voltage signal injection," *IEEE Trans. on Industrial Electronics*, vol. 65, no. 6, pp. 4702-4713, Jun. 2018.
[31] X. Fu, Y. Xu, H. He, and X. Fu, "Initial rotor position estimation by detecting vibration of permanent magnet synchronous machine," *IEEE Trans. on Industrial Electronics*, vol. 68, no. 8, pp. 6595-6606, Aug. 2021.
[32] J. Wei, H. Xu, B. Zhou, Z. Zhang, and C. Gerada, "An integrated method for three-phase AC excitation and high-frequency voltage signal injection for sensorless starting of aircraft starter/generator," *IEEE Trans. on Industrial Electronics*, vol. 66, no. 7, pp. 5611-5622, Jul. 2019.
[33] H. Li, X. Zhang, S. Yang, F. Li, and M. Ma, "Improved initial rotor position estimation of IPMSM using amplitude demodulation method based on HF carrier signal injection," in *Proc. 43rd Annual Conf. of the IEEE Industrial Electronics Society, IECON'017*, pp. 1996-2001, Beijing, China, 29 Oct-1 Nov. 2017.
[34] T. Wu, *et al.*, "A fast estimation of initial rotor position for low-speed free-running IPMSM," *IEEE Trans. on Power Electronics*, vol. 35, no. 7, pp. 7664-7673, Jul. 2020.
[35] S. C. Yang, S. M. Yang, and J. H. Hu, "Robust initial position estimation of permanent magnet machine with low saliency ratio," *IEEE Access*, vol. 5, pp. 2685-2695, 2017.
[36] X. Wu, *et al.*, "Initial rotor position detection for sensorless interior PMSM with square-wave voltage injection," *IEEE Trans. on Magnetics*, vol. 53, no. 11, pp. 1-4, Nov. 2017.
[37] H. Pairo and B. Nikmaram, "Initial rotor position estimation of SynRM based on pulsating voltage injection combined with finite position set algorithm," *IEEE J. of Emerging and Selected Topics in Power Electronics*, vol. 11, no. 4, pp. 4321-4331, Aug. 2023.
[38] H. Pairo, B. Nikmaram, and S. Mohamadian, "Adaptive-based accurate rotor initial position estimation in synchronous reluctance motors," *IEEE Trans. on Industrial Electronics*, vol. 71, no. 11, pp. 13812-13821, Nov. 2024.
[39] B. Xia, *et al.*, "An improved high-frequency voltage signal injection-based sensorless control of IPMSM drives with current observer," *IEEE Trans. on Transportation Electrification*, vol. 10, no. 3, pp. 5155-5167, Sept. 2024.
[40] X. Wu, Z. Q. Zhu, and Z. Wu, "A novel rotor initial position detection method utilizing DC-link voltage sensor," *IEEE Trans. on Industry Applications*, vol. 56, no. 6, pp. 6486-6495, Nov./Dec. 2020.
[41] Y. Wang, *et al.*, "Initial rotor position and magnetic polarity identification of PM synchronous machine based on nonlinear machine model and finite element analysis," *IEEE Trans. on Magnetics*, vol. 46, no. 6, pp. 2016-2019, Jun. 2010.

شادی اکبری تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی برق به ترتیب در سال‌های ۱۳۹۷و ۱۴۰۱ از دانشگاه های پیام نور کرج و دانشگاه تحصیلات تکمیلی پیشرفته و صنعتی کرمان به پایان رسانده است و هم‌اکنون مدرس دانشکده برق دانشگاه پیام نور کرج می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان الکترونیک، سیستم‌های هوشمند و طراحی سیستم‌های هوشمند با استفاده از الگوریتم‌های هوش مصنوعی می باشد.

مهرناز مناجاتی تحصیلات خود را در مقطع کارشناسی مهندسی برق، الکترونیک در سال ۱۳۸۲ در دانشگاه شهید باهنر کرمان و در مقاطع کارشناسی ارشد و دکتری مهندسی برق، الکترونیک به ترتیب در سال‌های ۱۳۸۵ و ۱۳۹۴ در دانشگاه تربیت مدرس به پایان رسانده است. او اکنون استادیار دانشکده مهندسی برق و کامپیوتر دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته است. زمینه‌های تحقیقاتی مورد علاقه ایشان طراحی مدارهای مجتمع دیجیتال و آنالوگ است.