مقاله پژوهشی

LSBB مبدل سطح ولتاژ مبتنی بر اریب‌سازی بدنه

رضا درویش خلیل‌آبادی و امیر باوفای طوسی

چکیده: امروزه، طراحان سیستم‌های مدرن دیجیتال و آنالوگ به‌منظور افزایش کارایی سیستم از چندین سطح ولتاژ در یک مدار استفاده می‌کنند. برای تبدیل سطوح ولتاژ در مدارهای با کارایی بالا، استفاده از مدارهای مبدل سطح ولتاژ با سرعت بالا و مصرف کم ضروری است. در این مقاله، یک مدار مبدل سطح ولتاژ با کارایی بالا با نام LSBB ارائه می‌گردد که از سه بخش اریب‌سازی بدنه، مدار آینه جریان و مدار بالاکشنده و پایین‌کشنده تشکیل شده است. ایده اصلی این طراحی، استفاده از مدار اریب‌ساز برای وابسته‌کردن پایه بدنه ترانزیستورهای طبقات ورودی به ولتاژ V_{DDL} است. این وابستگی منجر به تغییرات ولتاژ آستانه و در نتیجه تغییر تأخیر و توان مصرفی در راستای افزایش کارایی مدار می‌گردد. پیاده‌سازی در فناوری ۱۸۰ نانومتر TSMC و شبیه‌سازی با مقدار V_{DDL} برابر با ۰٫٤ ولت، V_{DDH} معادل ۱٫۸ ولت و فرکانس ورودی ۱ مگاهرتز حاکی از عملکرد صحیح و با کارایی بالای مدار پیشنهادی دارد. مقادیر تأخیر ۲۱٫۹ نانوثانیه، توان مصرفی ۱۲۹ نانووات و حاصل‌ضرب توان- تأخیر برابر با ۲۸۲۵ نانووات در نانوثانیه، مؤید کارایی بالای مدار پیشنهادی است.

کلیدواژه: **مبدل سطح ولتاژ، کارایی بالا، توان مصرفی پایین، اریب‌سازی بدنه و آینه جریان.**

۱- مقدمه

در دو دهه اخیر، مدارهای الکترونیکی پیشرفت چشم‌گیری داشته‌اند و به موازات این پیشرفت، تعداد المان‌ها و بلوک‌های به‌کاررفته در آنها نیز بسیار افزایش یافته است. با توجه به این افزایش، هر کدام از این بلوک‌ها دارای شرایط خاص کاری منحصربه‌فرد خود از جمله سطح ولتاژ هستند و از این رو استفاده از سطوح مختلف ولتاژ در یک مدار ساده تبدیل به امری مهم و اجتناب‌ناپذیر گردیده است [۱]. در یک مدار، یکی از راه‌حل‌های پیاده‌سازی این سطوح مختلف ولتاژ، استفاده از مبدل‌های سطح ولتاژ (VLS)[1] می‌باشد. تا کنون آرایش‌های گوناگونی برای مبدل‌های سطح ولتاژ، طراحی و ارائه گردیده که هر کدام نقاط ضعف و قوت خود را دارند. در بررسی و انتخاب یک مبدل سطح ولتاژ، پارامترهایی نظیر تأخیر، توان، حاصل‌ضرب توان- تأخیر (PDP)[2] و ... حائز اهمیت هستند؛ اما مهم‌ترین پارامتر در طراحی یک مبدل سطح ولتاژ، پارامتر تأخیر است؛ زیرا اگر تأخیر در یک مدار توسط مبدل‌های سطح ولتاژ افزایش یابد و با توجه به استفاده متعدد از مبدل‌های سطح ولتاژ در یک مدار و همچنین با درنظرگرفتن آنکه این گونه مدارها نقشی در جریان پردازش سیگنال‌های ورودی ندارند، این افزایش تأخیر ممکن است باعث ایجاد اختلال در فعالیت اصلی مدار گردد و حتی در مواقعی، خروجی اشتباه تولید نماید. امروزه در اکثر مدارهای الکترونیکی از مبدل‌های ولتاژ استفاده می‌گردد و از این رو تحقیق و بررسی در خصوص ارائه طرح‌های نوین و بهبود مبدل‌های سطح ولتاژ، تبدیل به امری مهم شده است [۲] تا [۷].

یکی از اصلی‌ترین مشکلات در طراحی مبدل‌های سطح ولتاژ مربوط به ایجاد نزاع[3] بین قسمت بالاکشنده و پایین‌کشنده[4] در زمان تبدیل ولتاژ از سطح بالا به سطح پایین است. در این زمینه، تحقیقات بسیاری صورت گرفته که منجر به ارائه مدارها و طرح‌های نوینی در این خصوص شده است. پژوهش [۸] از آرایش اتصال دیودی[5] برای کاهش نزاع در زمان مذکور بهره می‌برد. مرجع [۹] از مدار آینه جریان[6] استفاده می‌کند؛ علاوه بر این از یک نوع مدار کمکی جهت افزایش سطح ولتاژ ورودی در زمان تبدیل سطح ولتاژ از بالا به پایین بهره می‌گیرد. تحقیق [۱۰] از یک ترانزیستور نوع P در مسیر آینه جریان برای جلوگیری از اتلاف توان استفاده می‌کند. در [۱۱] برای بهبود تأخیر از ترانزیستورهای HVT[7] و LVT[8] استفاده شده که این روش اگرچه نتایج مثبتی نیز دارد ولی قدرت انتخاب طراح را در انتخاب ترانزیستورها محدود می‌کند. مرجع [۱۲] برای کاهش توان، فعالیت مدار را به لحاظ سخت‌افزاری به دو قسمت تقسیم می‌نماید؛ به این صورت که صرفاً بخشی از مدار که در حال پردازش است، روشن و سایر قسمت‌ها خاموش می‌گردد. پژوهش [۱۳] برگرفته از طراحی مدار آینه جریان ویلسون[9] است که با استفاده از آبشاری‌کردن[10] دو آینه جریان و همچنین یک گیت NOR، یک مبدل سطح ولتاژ در آن طراحی شده است. برخی محققین علاوه بر استفاده از آرایش اتصال دیودی از آبشاری‌کردن مدار آینه جریان با آرایش زوج‌متقاطع[11] جهت کاهش نشتی جریان و کمترکردن افت V_{DS} نیز استفاده می‌کنند [۱۴].

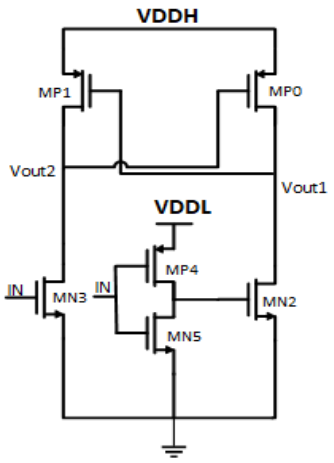
در این مقاله یک مدار مبدل سطح ولتاژ مبتنی بر اریب‌سازی بدنه[12] با نام LSBB[13] ارائه می‌گردد. از ویژگی‌های این مدار، بهبود تأخیر و توان مصرفی[14] با استفاده از متغیرنمودن پایه بدنه ورودی و همسان‌سازی مدار با تغییرات V_{DDL} است.

این مقاله در تاریخ ۲۷ دی ماه ۱۴۰۱ دریافت و در تاریخ ۵ اردیبهشت ماه ۱۴۰۲ بازنگری شد.

رضا درویش خلیل‌آبادی، دانشکده مهندسی کامپیوتر ، دانشگاه سجاد، مشهد، ایران، (email: rezadarvish660@gmail.com).

امیر باوفای طوسی (نویسنده مسئول)، دانشکده مهندسی کامپیوتر، دانشگاه سجاد، مشهد، ایران، (email: abavafat@sadjad.ac.ir).

1. Voltage Level Shifter
2. Power-Delay Product
3. Contention
4. Pull-up and Pull-down
5. Diode-Connected
6. Current Mirror
7. High Voltage Threshold
8. Low Voltage Threshold
9. Wilson
10. Cascade
11. Cross-Coupled
12. Body Biasing
13. Level Shifter Based on Body Biasing
14. Total Power Consumption



شکل ۱: مبدل سطح ولتاژ مرسوم [۷].

در مدار پیشنهادی، پایه بدنه ترانزیستور نوع P وارونگر[1] واقع در طبقه اول به مدار اریب‌سازی بدنه متصل می‌گردد. متغیرنمودن این پایه به‌وسیله مدار اریب‌سازی بدنه، تأثیر مستقیمی بر روی ولتاژ آستانه ترانزیستور و در نتیجه سرعت و تأخیر مدار خواهد گذاشت. مدار LSBB با استفاده از بازخورد[2] خروجی و همچنین به‌کارگیری مدار آینه جریان مناسب، موجب بهبود تأخیر و توان مصرفی می‌گردد. از طرفی استفاده از آرایش‌های اتصال دیودی در طبقات خروجی باعث بهبود توان مصرفی و کاهش نزاع بین قسمت بالاکشنده و پایین‌کشنده می‌شود.

در بخش دوم مقاله با مروری اجمالی بر روی تحقیقات انجام‌شده در این زمینه، پیش‌زمینه‌ای در خصوص فعالیت‌ها و اقدامات صورت‌گرفته ارائه خواهد شد. در بخش سوم روند طراحی مدار پیشنهادی به‌طور کامل بررسی می‌شود. در بخش چهارم نتایج شبیه‌سازی‌های صورت‌گرفته بر روی این مدار و همچنین مقایسه‌ای دقیق با سایر مراجع مرتبط در این زمینه ارائه می‌گردد. نهایتاً در بخش انتهایی جمع‌بندی و نتیجه‌گیری انجام خواهد شد.

۲- مروری بر کارهای گذشته

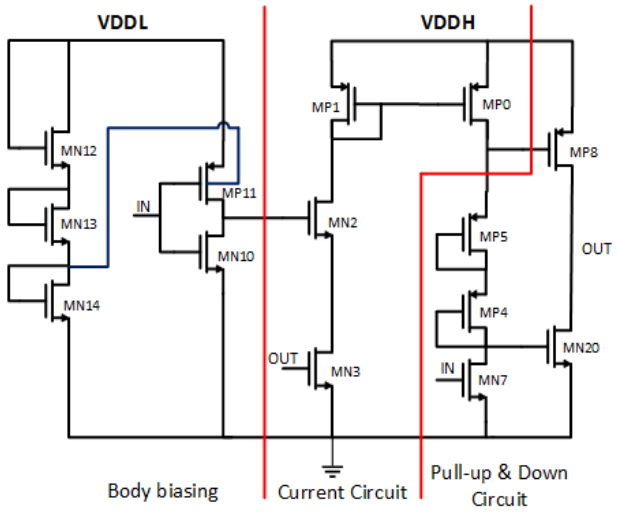
در حوزه مبدل‌های سطح ولتاژ، پژوهش‌های گوناگونی صورت پذیرفته که یکی از قدیمی‌ترین مدارهای مبدل ولتاژ در شکل ۱ نشان داده شده است [۷]. در طراحی این مدار از شش عدد ترانزیستور استفاده گردیده که دو ترانزیستور $M_{P.}$ و M_{P1} با آرایش زوج‌متقاطع به‌عنوان قسمت بالاکشنده و ترانزیستورهای M_{N2} و M_{N1} به‌عنوان قسمت پایین‌کشنده هستند. همان طور که در بخش مقدمه مقاله نیز عنوان گردید یکی از اصلی‌ترین مشکلات مبدل‌های سطح ولتاژ، وجود نزاع بین قسمت پایین‌کشنده و بالاکشنده است. این مدار نیز همانند دیگر مبدل‌های سطح ولتاژ، این مشکل را در زمان تغییر سطح ولتاژ از سطح بالا به پایین دارد که این امر موجب گردیده تا در برخی از زمان‌ها مدار، عملکرد صحیحی از خود نشان ندهد. به‌عنوان مثال در زمان تغییر وضعیت مدار از سطح ولتاژ بالا به پایین، در ابتدا ترانزیستور M_{N2} روشن گردیده که باعث می‌شود گره خروجی V_{out1} به سمت ولتاژ صفر هدایت شود که این امر متعاقباً منجر به روشن‌شدن ترانزیستور M_{P1} نیز می‌گردد. با روشن‌شدن ترانزیستور بالاکشنده M_{P1}، گره V_{out2} نیز به سمت V_{DDH} سوق پیدا خواهد کرد که نتیجه آن باعث خاموش‌شدن $M_{P.}$ می‌گردد. در این حالت به دلیل کامل خاموش‌نشدن ترانزیستور $M_{P.}$، ایجاد جریان نشتی از V_{DDH} تا گره خروجی منجر به ایجاد نزاع بین قسمت بالاکشنده و پایین‌کشنده می‌گردد.

هدف در [۸]، افزایش بازه ولتاژ اعمالی ورودی به همراه کاهش توان مصرفی است. در این تحقیق، استفاده از یک مدار آینه جریان و جایگذاری آرایش اتصال دیودی در میان قسمت بالاکشنده و پایین‌کشنده باعث گردیده تا نزاع بین مدارهای مذکور کاهش یابد. از طرفی دیگر با کاهش سطح ولتاژ اعمالی به قسمت پایین‌کشنده، توان مصرفی نیز تا حد زیادی بهبود یافته است. آرایش دیگر که در این مدار مورد استفاده قرار گرفته، استفاده از بازخورد خروجی در طراحی آن می‌باشد که این روش نیز تأثیر بسزایی در تصحیح شکل به‌دست‌آمده در خروجی گذاشته است. شبیه‌سازی این تحقیق در فناوری ۱۸۰ نانومتر، حداقل ولتاژ کاری را به ۸۰ میلی‌ولت کاهش داده است.

در [۹] یک مبدل سطح ولتاژ برای تبدیل ولتاژ ۰/۴ به ۱/۸ ولت با استفاده از فناوری ۱۸۰ نانومتر ارائه گردیده است که هدف اصلی این پژوهش، همانند اکثر مبدل‌های سطح ولتاژ، کاهش نزاع بین قسمت‌های پایین‌کشنده و بالاکشنده می‌باشد. طرح ارائه‌شده شامل یک مدار اصلی و یک مدار کمکی بوده که مدار اصلی، وظیفه تبدیل ولتاژ از سطح پایین به بالا و یا بالعکس را بر عهده خواهد داشت. مدار کمکی نیز فقط در زمان تبدیل ولتاژ از سطح بالا به پایین، وظیفه افزایش قدرت مدار بالاکشنده و پایین‌کشنده را بر عهده دارد؛ اما در قسمت میانی این مدار از یک مدار آینه جریان ساده برای تزریق جریان به طبقه خروجی استفاده شده که مدار آینه جریان در زمان تبدیل ولتاژ از سطح بالا به پایین منجر به ایجاد جریان نشتی می‌گردد. این جریان به ترانزیستور بالاکشنده تزریق شده و بر روی خروجی تأثیر می‌گذارد و منجر به ایجاد نزاع می‌گردد. از این رو و در راستای کاهش این جریان نشتی، این پژوهش اقدام به تقویت قسمت بالاکشنده و پایین‌کشنده از طریق اعمال سطح ولتاژ بالاتر به گیت ترانزیستورهای قسمت‌های مذکور با استفاده از مدار کمکی طراحی‌شده نموده است. بدین طریق مدار بالاکشنده به سمت خاموشی بیشتر و مدار پایین‌کشنده به سمت روشنی بیشتر سوق پیدا خواهد کرد. این طراحی به لحاظ بهبود پارامتر تأخیر در جایگاه مناسبی در میان مدارهای ارائه‌شده در این زمینه قرار دارد و طبق شبیه‌سازی‌ها و نتایج این پژوهش، مقدار تأخیر حاصل برابر با ۳۰ نانوثانیه گزارش گردیده است.

در [۱۰] نیز که یکی دیگر از مدارهای پایه ارائه‌شده در این زمینه می‌باشد، مبدل سطح ولتاژی با استفاده از فناوری ۹۰ نانومتر جهت محدوده ولتاژ کاری در بازه ولتاژ آستانه یا بالاتر ارائه شده است. این مدار دارای آرایشی بسیار ساده و به لحاظ تعداد ترانزیستور استفاده‌شده تنها با ۵ عدد طراحی گردیده که جزء کم‌هزینه‌ترین مدل‌های مبدل سطح ولتاژ است. همچنین در این طراحی برای کاهش اثر بار در خروجی از دو عدد وارونگر به‌عنوان بافر استفاده شده است. هدف اصلی این مدار، کاهش توان بوده که برای تحقق این امر با جایگذاری یک ترانزیستور نوع P در مسیر مدار آینه جریان و متصل‌کردن گیت آن به گره خروجی، هم‌زمان با شارژ کامل گره خروجی، ترانزیستور نوع P خاموش و مسیر ترانزیستور آینه جریان قطع خواهد شد. نهایتاً این عمل منجر به توقف شارژ گره خروجی می‌شود و به‌طور مشابه نیز با دشارژ گره خروجی، ترانزیستور نوع P موجود در مسیر مدار آینه جریان روشن شده و مسیر مدار آینه جریان تا زمین متصل خواهد شد. اگرچه این مدار با طراحی ساده و تعداد ترانزیستور اندک صورت گرفته است، ولی همچنان نتوانسته نزاع موجود بین قسمت بالاکشنده و پایین‌کشنده را برطرف سازد.

1. Inverter
2. Feedback



شکل ۲: مبدل سطح ولتاژ LSBB.

در [۱۱] یک مبدل سطح ولتاژ با استفاده از ترانزیستورهای با ولتاژ آستانه متفاوت ارائه شده که در آن برای جبران کندی از ترانزیستورهای HVT و در برخی موارد برای افزایش قدرت از ترانزیستورهای LVT استفاده شده است؛ اما آرایش دیگری که در این مدار به چشم می‌خورد، استفاده از ترانزیستورهایی با آرایش اتصال دیودی در قسمت بالاکشنده می‌باشد که منجر به کاهش قدرت مدار بالاکشنده می‌گردد؛ اما نکته قابل توجه دیگر که این مبدل را از سایر مبدل‌های سطح ولتاژ متمایز می‌کند، عدم استفاده از بازخورد منفی خروجی در طراحی خود است. اگرچه این مدار تا حدودی میزان نزاع بین قسمت بالاکشنده و پایین‌کشنده را برطرف می‌کند، اما ایراد اصلی آن استفاده از ترانزیستورهایی با پارامترهای خاص بوده که تا حدودی پیاده‌سازی مدار را دشوار می‌سازد.

در [۱۲] مدار ارائه‌شده به لحاظ عملکرد مدار، دسته‌بندی و تفکیک شده است؛ به‌طوری که صرفاً در زمان لازم، ترانزیستورهایی که باید فعال شوند، روشن و سایر ترانزیستورها خاموش می‌گردد. با این روش میزان توان مصرفی تا حدود زیادی بهبود یافته است. این مدار به لحاظ عملکرد به سه قسمت LLECC[1]، HLECC[2] و Level conversion circuit تقسیم می‌شود. قسمت LLECC در زمان تغییر وضعیت ورودی از سطح ولتاژ بالا به پایین و قسمت HLECC نیز در زمان تغییر ولتاژ از سطح پایین به بالا فعال می‌گردد و نهایتاً قسمت Level conversion circuit شامل قسمت‌های بالاکشنده و پایین‌کشنده است. مزیت دیگر این مدار، عدم نیاز به استفاده از ترانزیستور با ابعاد بزرگ در مدار پایین‌کشنده می‌باشد. نکته دیگر، استفاده از بازخورد در طراحی بوده که منجر به افزایش میزان مقاومت در مقابل نویزهای ناخواسته می‌شود.

در [۱۳] یک مبدل سطح ولتاژ با استفاده از روش DVS[3] برای کاهش توان مصرفی ارائه شده است. زمانی که در طراحی مبدل‌های سطح ولتاژ از روش DVS استفاده می‌کنند، در هنگام عملکرد تبدیل ولتاژ به دلیل نزدیکی سطوح سیگنال ورودی و خروجی و همچنین تأثیر دما یا عملیات پردازش خود مدار، در پاسخ نهایی تشکیل‌شده خود در خروجی دارای خطا خواهند بود؛ لذا برای رفع این مشکلات معمولاً از مبدل‌های سطح ولتاژ دوجهته استفاده می‌کنند. این مبدل‌ها معمولاً توان کمتری مصرف کرده و نیاز به پایه اضافی نیز ندارند و هم‌زمان می‌توان از آنها به‌عنوان ورودی و خروجی استفاده کرد. در این پژوهش برای مدار ارائه‌شده از آینه جریان ویلسون استفاده گردیده که بر مبنای آن اصلاحاتی نیز انجام شده است. به‌طور کلی این طراحی برگرفته از طراحی مدار آینه جریان ویلسون و گیت‌های منطقی CMOS بوده که شامل بلوک‌های مقایسه‌کننده، مدار آینه جریان، انتخاب‌کننده و مدار بالانس‌کننده تأخیر است.

در [۱۴] یک مدار با استفاده از فناوری ۱۸۰ نانومتری و در ولتاژ V_{DDL} برابر ۰/۴ ولت و V_{DDH} برابر ۱/۸ ولت ارائه شده است. از مزایای این مدار می‌توان سرعت بالا و توان مصرفی مناسب آن را نام برد. در این مدار با استفاده از آبشاری‌کردن آرایش زوج‌متقاطع با مدار آینه جریان، میزان افت ولتاژ درین– سورس مدار آینه جریان کاهش یافته که این افت ولتاژ نهایتاً منجر به کاهش جریان نشتی ترانزیستور خواهد گردید؛ اما به دلیل عدم قدرت خروجی کافی جهت درایو طبقه بعد توسط آرایش مذکور، از یک وارونگر خروجی نیز برای افزایش قدرت درایو در طراحی استفاده شده است. در قسمت دیگری از مدار با استفاده از یک ترانزیستور نوع N با آرایش اتصال دیودی در مسیر مدار آینه جریان، میزان جریان نشتی و همچنین توان کاهش می‌یابد.

۳- طراحی مبدل سطح ولتاژ LSBB

شکل ۲ مدار مبدل سطح ولتاژ LSBB است. در ورودی این مدار از یک آرایش ترانزیستوری تقسیم‌کننده ولتاژ متشکل از سه ترانزیستور نوع N با آرایش اتصال دیودی استفاده شده است. به‌وسیله این آرایش، ولتاژ پایه بدنه ترانزیستور نوع P وارونگر ورودی را به ولتاژ V_{DDL} متصل می‌نماییم که منجر به همسان‌سازی مدار با تغییرات V_{DDL} می‌گردد. در میانه مدار و در طبقه دوم از یک مدار آینه جریان استفاده شده که از دو ترانزیستور نوع P تشکیل گردیده است.

نقطه قوت این طبقه، بهبود توان مصرفی با استفاده از زمان‌بندی مناسب جهت اعمال سیگنال ورودی در زمان مناسب بوده تا صرفاً در مواقع لزوم، مدار آینه جریان فعال گردد. همچنین استفاده از بازخورد خروجی در مدار آینه جریان، منجر به زمان‌بندی مناسب برای فعال‌کردن این بخش می‌گردد. نهایتاً در طبقه خروجی مدار از یک ترانزیستور نوع P جهت قسمت بالاکشنده و همچنین یک ترانزیستور نوع N جهت قسمت پایین‌کشنده استفاده شده است. در کنار این دو ترانزیستور، استفاده از دو ترانزیستور کمکی با آرایش اتصال دیودی منجر گردیده تا میزان نزاع و همچنین توان مصرفی کاهش یابد؛ اما به دلیل تأثیر زیاد تعداد و اندازه این نوع ترانزیستور در پارامترهای اصلی مدار لازم است تا تمام حالت‌های ممکن برای پیداکردن مقدار مناسب این مشخصات بررسی گردد.

۳-۱ بررسی اندازه ابعاد ترانزیستورهای استفاده‌شده

استفاده از ابعاد مناسب در یک طراحی، تأثیر زیادی در کاهش تأخیر و یا بهبود توان مصرفی دارد. در این مدار با به‌کارگیری یک ترانزیستور کمکی با نام $M_{N۷}$، میزان قدرت قسمت بالاکشنده افزایش یافته و از این رو برای افزایش سرعت و کاهش تأخیر، اندازه آن را برابر ۶ میکرومتر در نظر گرفته‌ایم. برای ترانزیستورهای استفاده‌شده در مدار تقسیم‌کننده ولتاژ، اندازه آنها را ۲ میکرومتر قرار دادیم؛ اما قسمت مهم دیگر، وارونگر واقع در ورودی مدار است که نقش اصلی وابسته‌کردن تغییرات V_{DDL} به مدار را ایفا می‌کند. از این رو برای جلوگیری از افزایش تأخیر در ورودی، اندازه ترانزیستور پایین‌کشنده در وارونگر ورودی را ۳ برابر ترانزیستور بالاکشنده انتخاب می‌نماییم. در جدول ۱ به‌اختصار اندازه ابعاد ترانزیستورهای مورد استفاده در طراحی نشان داده شده است.

1. Low Logic Error Correction Circuit
2. High Logic Error Correction Circuit
3. Dynamic Voltage Scaling

جدول ۱: اندازه ابعاد ترانزیستورها.

ترانزیستور	W:L (µm)
M_{N7}	۶:۰/۱۸
M_{P11}	۱:۰/۱۸
M_{N10}	۳:۰/۱۸
سایر ترانزیستورها	۲:۰/۱۸

اگر در کنار M_{P4} به‌جای M_{P5} از دو ترانزیستور M_{P5} و M_{P6} با آرایش اتصال دیودی استفاده کنیم با اضافه‌نمودن این دو ترانزیستور، میزان سطح ولتاژ قرارگرفته روی گیت ترانزیستور M_{N2} کاهش می‌یابد. از سویی دیگر قرارگرفتن سه ترانزیستور مذکور به‌صورت سری منجر به کسر سه مرتبه ولتاژ آستانه از میزان سطح ولتاژ گره گیت M_{P8} شده که این امر باعث عدم کارکرد رفتاری صحیح ترانزیستور M_{N2} به‌دلیل سطح ولتاژ پایین اعمال‌شده به گیت آن می‌گردد.

استفاده از مدار آینه جریان با انتخاب اندازه مناسب به همراه اضافه‌کردن ترانزیستورهای M_{N1} و M_{N3} به آن بلوک، باعث شده تا توان مصرفی مدار بهبود یابد؛ بدین صورت که مدار آینه جریان در این مدار با استفاده از ترانزیستورهای مذکور صرفاً در زمان تغییر وضعیت مدار از سطح ولتاژ بالا به پایین فعال و باعث تزریق جریان به طبقه خروجی می‌گردد. در سایر حالات، مدار آینه جریان به‌دلیل کاهش توان مصرفی در وضعیت خاموش قرار خواهد گرفت. اما عامل مهم تأثیرگذار بر روی انتخاب اندازه و تعداد مناسب ترانزیستورهای با آرایش اتصال دیودی، میزان ولتاژ DC اعمال‌شده بر روی ورودی گیت ترانزیستور M_{N2} است؛ به‌طوری که با کاهش اندازه ترانزیستورهای با آرایش اتصال دیودی، مقدار سطح ولتاژ قرارگرفته روی گیت ترانزیستور M_{N2} کاهش می‌یابد و این کاهش منجر به کاهش توان مصرفی می‌گردد. برای توضیح بیشتر و با درنظرگرفتن رابطه جریان (۱) به‌صورت زیر خواهیم داشت [۱۵]

$$I_d = -\frac{1}{2}\mu_p C_{ox}\frac{W}{L}(V_{gs}-V_t)^2 \qquad (1)$$

با توجه به (۱) و ثابت فرض‌کردن جریان می‌توان نتیجه گرفت که کاهش عرض ترانزیستور M_{P4} منجر به افزایش ولتاژ V_{GS} آن می‌گردد. پس مقدار ولتاژ قرارگرفته بر روی گیت ترانزیستور M_{N2} با توجه به افزایش ولتاژ V_{GS} ترانزیستور با آرایش اتصال دیودی M_{P4} کاهش می‌یابد. با افزایش تعداد ترانزیستورهای اتصال دیودی از یک به دو، میزان ولتاژ قرارگرفته بر روی گیت ترانزیستور M_{N2} کمتر خواهد شد؛ اما از آنجایی که برای روشن‌شدن ترانزیستور M_{N2} تنها به یک ولتاژ آستانه نیازمند هستیم، کاهش ولتاژ قرارگرفته بر روی گیت ترانزیستور M_{N2} موجب کمتر روشن‌شدن این ترانزیستور و در نتیجه کاهش نزاع بین مدارهای بالاکشنده و پایین‌کشنده و نهایتاً منجر به کاهش مصرف توان می‌گردد.

در ادامه به بررسی دقیق بخش‌های مختلف LSBB می‌پردازیم. LSBB از سه بخش مدار بالاکشنده و پایین‌کشنده، مدار آینه جریان و نهایتاً مهم‌ترین بخش آن یعنی مدار اریب‌سازی بدنه به همراه وارونگر ورودی تشکیل می‌گردد که به تفکیک مورد تحلیل قرار می‌گیرند.

۳-۲ مدار بالاکشنده و پایین‌کشنده

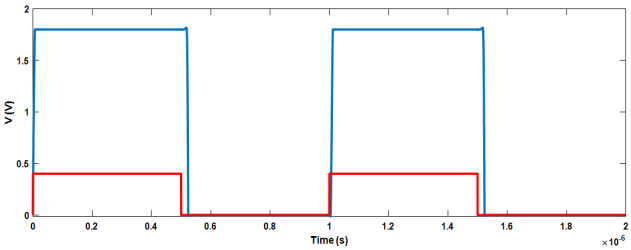
در مدار LSBB قسمت پایین‌کشنده متشکل از یک ترانزیستور نوع N با نام M_{N2} و قسمت بالاکشنده متشکل از یک ترانزیستور نوع P با نام M_{P8} است. از مشکلات همیشگی اکثر مبدل‌های سطح ولتاژ، داشتن نزاع بین مدار بالاکشنده و پایین‌کشنده می‌باشد. برای حل این موضوع در این قسمت از مدار، از ترانزیستورهایی با آرایش اتصال دیودی استفاده شده که با استفاده از آنها، اختلاف ولتاژی بین قسمت‌های مذکور ایجاد گردیده که منجر به کاهش نزاع بین آنها می‌شود. نکته‌ای که باید در این قسمت مورد توجه قرار داد، حداکثر تعداد ترانزیستورها به‌صورت سری است که با توجه به V_{GS} ترانزیستورهای استفاده‌شده، این تعداد نهایتاً از سه عدد بیشتر نمی‌تواند تجاوز کند. استفاده بیشتر از این تعداد ترانزیستور باعث روشن‌نشدن ترانزیستور M_{N2} و در برخی موارد، ندادن پاسخ خروجی مناسب است؛ زیرا ولتاژ اعمال‌شده به گیت ترانزیستور پایین‌کشنده کمتر از ولتاژ آستانه آن خواهد بود و در نتیجه، این ترانزیستور روشن نخواهد شد. این مشکلات حتی با انتخاب سه عدد ترانزیستور ممکن است ایجاد شود و از این رو در LSBB، تعداد ترانزیستور مناسب قابل استفاده با این آرایش، دو عدد است که با نام‌های M_{P4} و M_{P5} نمایش داده شده‌اند. افزایش تعداد ترانزیستورهای با آرایش اتصال دیودی تا دو عدد باعث کاهش توان مصرفی نیز خواهد شد. علت را می‌توان چنین عنوان کرد که با افزایش تعداد این ترانزیستورها ولتاژ اعمالی به ترانزیستور M_{N2} کاهش یافته که منجر به کاهش توان مصرفی خواهد گردید. اما ترانزیستور دیگری که در طراحی این قسمت مورد استفاده قرار گرفته، ترانزیستور M_{N7} است. به گیت ورودی این ترانزیستور، سیگنال ورودی اصلی مدار اعمال شده که با قرارگرفتن سطح سیگنال ورودی در سطح بالای ولتاژ، این ترانزیستور فعال خواهد شد؛ اما نقش ترانزیستور M_{N7} در این مدار مربوط به زمان تغییر وضعیت مدار از سطح ولتاژ پایین به بالا است که در این وضعیت با روشن‌شدن این ترانزیستور، سطح ولتاژ گیت ترانزیستور M_{N2} به زمین متصل شده و این ترانزیستور به‌طور کامل خاموش می‌گردد. با خاموش‌شدن ترانزیستور M_{N2}، مدار بالاکشنده بدون هیچ مقاومتی از سوی مدار پایین‌کشنده شروع به بالابردن سطح ولتاژ خروجی خواهد نمود.

۳-۳ مدار آینه جریان

وظیفه اصلی این قسمت، تزریق جریان لازم به قسمت بالاکشنده و پایین‌کشنده در زمان مناسب است. مدار آینه جریان از دو ترانزیستور M_{P1} و M_{P3} به‌عنوان مدار اصلی و همچنین از دو ترانزیستور M_{N1} و M_{N3} در مسیر جریان مدار آینه جریان به‌عنوان نقش فعال‌کننده مدار آینه جریان تشکیل می‌گردد. نوع و اتصال سیگنال‌های متصل‌شده به ترانزیستورهای M_{N1} و M_{N3} باعث مشخص‌کردن عملکرد آنها می‌گردد. با اتصال گره خروجی به گیت ترانزیستور M_{N3}، از این ترانزیستور به‌عنوان بازخورد جهت تطابق عملکرد مدار با خروجی استفاده می‌گردد و مدار آینه جریان را در زمان تغییر وضعیت مدار از سطح ولتاژ پایین به بالا فعال می‌سازد؛ اما با اتصال معکوس سیگنال ورودی به گیت ترانزیستور M_{N1}، مدار آینه جریان در زمانی که ورودی در سطح ولتاژ صفر قرار گیرد، به‌وسیله ترانزیستور مذکور فعال خواهد نمود. کاهش توان علاوه بر موارد ذکرشده، علت دیگری برای به‌کارگیری ترانزیستورهای M_{N1} و M_{N3} در طراحی بوده است؛ به‌طوری که هر گاه مدار نیاز به شارژ ولتاژ گیت ترانزیستور M_{P8} نداشته باشد با خاموش‌کردن این ترانزیستورها مسیر جریان، قطع شده و میزان توان کاهش خواهد یافت.

۳-۴ مدار اریب‌سازی بدنه به همراه وارونگر ورودی

بخش اریب‌سازی بدنه، مهم‌ترین قسمت مدار LSBB و وظیفه اصلی آن، همسان‌سازی عملکرد مدار با تغییرات V_{DDL} است. پیاده‌سازی این قسمت به‌وسیله یک آرایش تقسیم‌کننده ولتاژ با استفاده از سه ترانزیستور



شکل ۳: پاسخ خروجی در حالت گذرا در فرکانس ۱ MHz.

نوع N صورت گرفته و محل آن در طبقه ورودی مدار است. چنان که در شکل ۲ دیده می‌شود، آرایش ترانزیستوری مذکور با سه عدد ترانزیستور $M_{N۱۲}$، $M_{N۱۳}$ و $M_{N۱۴}$ با حالت اتصال دیودی پیاده‌سازی گردیده که در آن گیت ترانزیستور $M_{N۱۲}$ به V_{DDL} متصل شده است. سپس در ادامه، دو ترانزیستور مشابه $M_{N۱۳}$ و $M_{N۱۴}$ به‌صورت سری به سورس ترانزیستور $M_{N۱۲}$ متصل و از ترانزیستور $M_{N۱۴}$ به‌عنوان بار برای تقسیم‌کننده ولتاژ استفاده شده است. در (۲) که از طریق اعمال KVL در مسیر V_{DDL} به پایه بدنه ترانزیستور $M_{P۱۱}$ به‌دست آمده است داریم

$$V_B = V_{DDL} - V_{GS,MN۱۲} - V_{GS,MN۱۳} \qquad (۲)$$

همان طور که در رابطه بالا مشاهده می‌کنیم ولتاژ پایه بدنه با این روش کاملاً به تغییرات V_{DDL} وابسته شده است. از آنجا که دو ترانزیستور $M_{N۱۲}$ و $M_{N۱۳}$ مشابه یکدیگر هستند، (۲) به‌صورت (۳) خلاصه می‌شود

$$V_B = V_{DDL} - ۲V_{GS} \qquad (۳)$$

از (۳) می‌توان این گونه نتیجه گرفت که به‌وسیله این آرایش می‌توان به ازای هر ترانزیستور معادل یک ولتاژ V_{GS} از بالاترین سطح ولتاژ بدنه که همان V_{DDL} است، کاست و همچنین تغییرات V_{DDL} بر روی پایه بدنه ترانزیستور، تأثیر مستقیم خواهد گذاشت؛ اما با توجه به سطح حداقلی ولتاژ مورد نیاز، خروجی مدار تقسیم‌کننده ولتاژ را از سورس ترانزیستور $M_{N۱۳}$ در نظر گرفته و آن را به پایه بدنه ترانزیستور $M_{P۱۱}$ مدار وارونگر ورودی متصل می‌نماییم. حال در خصوص ارتباط ولتاژ آستانه با ولتاژ پایه بدنه، رابطه ولتاژ آستانه را در (۴) بررسی می‌کنیم [۱۶]

$$V_T = V_{FB} + ۲\Phi_F + \gamma\sqrt{۲\Phi_F + V_{BS}} \qquad (۴)$$

در ترانزیستور نوع P و با توجه به (۴)، V_T با مجذور V_B رابطه مستقیم دارد؛ بنابراین با کاهش ولتاژ پایه بدنه، سطح ولتاژ آستانه ترانزیستور کاهش یافته که این کاهش، علاوه بر کاهش توان مصرفی منجر به افزایش سرعت مدار یا به بیان دیگر کاهش تأخیر نیز می‌شود. به بیان دیگر در ترانزیستور $M_{P۱۱}$ از طرفی، ولتاژ بدنه با V_{DDL} رابطه مستقیم دارد و با آرایش تقسیم‌کننده ولتاژ می‌توان به‌ازای هر ترانزیستور به اندازه V_{GS} از V_{DDL} و لذا از ولتاژ بدنه کاست. از طرف دیگر ولتاژ بدنه با ولتاژ آستانه رابطه مستقیم دارد و در نتیجه می‌توان گفت ولتاژ آستانه با تغییرات V_{DDL} رابطه مستقیم دارد؛ یعنی با کاهش V_{DDL}، ولتاژ آستانه و در نتیجه تأخیر و توان مصرفی را کاهش داد و به عبارت دیگر عملکرد مدار با تغییرات V_{DDL} همسان است.

۳-۵ عملکرد LSBB در وضعیت خروجی از سطح بالا به پایین

با اعمال سطح ولتاژ صفر به ورودی مدار و با درنظرگرفتن وضعیت خروجی قبلی مدار که در سطح ولتاژ بالا قرار داشته، ترانزیستورهای $M_{N۲}$ و $M_{N۳}$ فعال شده و جریان از طریق ترانزیستورهای مدار آینه جریان در مدار جاری می‌گردد که این امر موجب افزایش میزان سطح ولتاژ گیت ترانزیستور $M_{P۸}$ شده و گیت این ترانزیستور تا میزان سطح ولتاژ $V_{DDH} - V_{DSsat}$ شارژ می‌گردد. ترانزیستور $M_{N۷}$ نیز با اعمال سطح ورودی صفر، غیرفعال گردیده و جریان از مسیر ترانزیستورهای $M_{P۴}$ و $M_{P۵}$ نیز عبور کرده و گیت ترانزیستور $M_{N۲۰}$ را شارژ می‌نماید. با عبور جریان از مسیر ترانزیستورهای با آرایش اتصال دیودی، میزان ولتاژ پس از عبور از هر کدام به میزان یک V_{GS} از سطح ولتاژ گره متصل به گیت $M_{P۸}$ کاسته می‌شود و نهایتاً منجر به فعال‌شدن ترانزیستور $M_{N۲۰}$ شده و سطح ولتاژ گره خروجی را به زمین یا همان سطح پایین تبدیل می‌نماید.

۳-۶ عملکرد LSBB در وضعیت خروجی از سطح پایین به بالا

با اعمال ورودی V_{DDH} به مدار و درنظرگرفتن مقدار قبلی گره خروجی که در سطح ولتاژ پایین قرار داشته، ترانزیستورهای $M_{N۲}$ و $M_{N۳}$ غیرفعال می‌شوند که این امر موجب قطع مسیر جریان در مدار آینه جریان می‌گردد. با درنظرگرفتن مقدار ورودی، ترانزیستور $M_{N۷}$ نیز فعال و باعث می‌شود تا گیت $M_{N۲۰}$ به زمین متصل و خاموش گردد. با اتصال گیت ترانزیستور پایین‌کشنده به زمین و ایجاد مسیری بین گیت ترانزیستور $M_{P۸}$ تا زمین، سطح ولتاژ گیت ترانزیستور مذکور شروع به دشارژ کرده و باعث روشن‌شدن آن ترانزیستور می‌شود. نهایتاً با روشن‌شدن ترانزیستور بالاکشنده، گره خروجی توسط آن تا سطح V_{DDH} شارژ می‌شود.

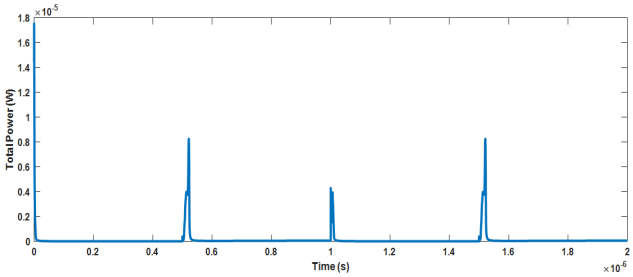
۴- پیاده‌سازی و شبیه‌سازی

مدار LSBB در فناوری ۱۸۰ نانومتر و با استفاده از کتابخانه TSMC طراحی شده است. فرکانس ورودی ۱ مگاهرتز، ولتاژ V_{DDL} آن ۰/۴ ولت و V_{DDH} برابر ۱/۸ ولت در نظر گرفته شده است. تمامی شبیه‌سازی‌ها در نرم‌افزار Cadence و در محیط Virtuoso صورت پذیرفته است. در ادامه این بخش، ابتدا با شبیه‌سازی‌های متعدد، انواع پاسخ خروجی مدار و سپس مدار ارائه‌شده را در زمینه تأخیر، توان در گوشه‌های کاری ترانزیستور و تأثیر دما بر روی آنها و همچنین تحلیل مونت‌کارلو در زمینه تأخیر مورد بررسی قرار خواهیم داد و نهایتاً یک مقایسه کلی بین نتایج شبیه‌سازی به‌دست‌آمده از LSBB با سایر مراجع معتبر در این زمینه ارائه می‌گردد.

۴-۱ بررسی پاسخ گذرا

برای بررسی پاسخ گذرا، ابتدا در نرم‌افزار Cadence و در حالت گذرا و در بازه ۲ میکروثانیه برای ورودی با فرکانس ۱ مگاهرتز و V_{DDL} معادل ۰/۴ ولت، V_{DDH} برابر با ۱/۸ ولت در گوشه TT، ورودی سیگنال مربعی به مدار اعمال می‌کنیم که نتایج در شکل ۳ گزارش شده است.

یکی از عوامل مهم در معیارسنجی مبدل‌های سطح ولتاژ، کیفیت شکل خروجی آن است. چنانچه در شکل ۳ که پاسخ گذرا در خروجی مدار را نشان می‌دهد مشاهده می‌کنید، شکل خروجی حاصل از این شبیه‌سازی در مدار LSBB تقریباً به‌صورت مربعی کامل بوده و از کیفیت مناسبی برخوردار است (به زیربخش ۳-۴ مراجعه شود)؛ اما پارامتر مهم دیگر که در ادامه آن را مورد بررسی قرار خواهیم داد، تأخیر است. یک مبدل سطح ولتاژ لازم است که تا حد امکان از اعمال تأخیر اضافی به مدار اصلی خودداری نماید. میزان تأخیر برابر ۲۱/۹ نانوثانیه می‌باشد. لازم به ذکر است که تأخیر انتشار در این مدار، مبین اختلاف زمانی بین ورودی و خروجی می‌باشد در زمانی که ورودی و خروجی هر دو به ۵۰٪ از مقدار نهایی خود خواهند رسید.



شکل ۴: توان مصرفی.

٤-٢ بررسی توان

یکی از پارامترهای مهم در طراحی یک مدار از جمله مبدل‌های سطح ولتاژ، میزان توان مصرفی کل آن مدار است که در این تحقیق به‌اختصار آن را توان مصرفی می‌نامیم. در این راستا شبیه‌سازی در خصوص میزان توان مصرفی مدار LSBB انجام گرفته که در شکل ۴، نتایج خروجی حاصل از این شبیه‌سازی را مشاهده می‌کنید. از بررسی این شکل می‌توان نتیجه گرفت که بیشترین میزان توان مصرفی مربوط به زمان‌های سوئیچ‌زدن مدار بوده و در سایر زمان‌ها تقریباً میزان توان مصرفی برابر با صفر می‌باشد و این به معنی آن است که میزان توان با توجه به طراحی صورت‌گرفته تقریباً برابر صفر بوده است. مهم‌ترین عامل در به‌دست‌آمدن این نتیجه، اعمال سیگنال‌های مناسب در زمان‌بندی مطلوب با استفاده از ترانزیستورهایی در مسیر مدار آینه جریان جهت غیرفعال‌نمودن مدار آینه جریان و همچنین استفاده از مدار اریب‌سازی بدنه بوده است. طی شبیه‌سازی صورت‌گرفته، میزان توان مصرفی در یک بازه زمانی ۱۲۹ نانووات به‌دست آمد.

٤-٣ بررسی نسبت حضور پالس

یکی از پارامترهای مهم در به‌دست‌آوردن شکل خروجی مربعی، پارامتر نسبت حضور پالس[1] است. نسبت حضور پالس به نسبت بازه زمانی پالس با مقدار یک به کل زمان دوره تناوب اطلاق می‌گردد. هرچه این عدد به ۵۰٪ نزدیک‌تر باشد شکل خروجی، مربعی‌تر می‌گردد. در این شبیه‌سازی از این پارامتر به‌عنوان معیاری برای سنجش کیفیت شکل خروجی سیگنال خود استفاده نمودیم.

در شکل ۳ نتایج مربوط به پاسخ خروجی شکل موج در حالت گذرا به نمایش درآمده است. با توجه به شبیه‌سازی صورت‌گرفته، نسبت حضور پالس ۵۱٫۶٪ بوده و بیانگر آن است که شکل خروجی LSBB تقریباً مربعی بوده و فاصله اندکی تا نتیجه ایده‌آل یعنی ۵۰٪ دارد.

٤-٤ بررسی تأثیر دما و V_{DDL} بر روی تأخیر

برای نشان‌دادن تأثیر دما و همچنین به‌طور هم‌زمان تغییرات V_{DDL} بر روی تأخیر، سه شبیه‌سازی صورت گرفته که در شکل ۵ نتایج حاصل از این شبیه‌سازی‌های مدار برای سه دمای ۲۰-، ۲۷ و ۱۰۰ درجه سانتی‌گراد و برای چهار گوشه FF، FS، TT و SS نشان داده شده است. از بررسی نتایج به‌دست‌آمده در شکل ۵ می‌توان نتیجه گرفت که در هر سه دما، کمترین تأخیر مربوط به گوشه FF می‌باشد. از سویی دیگر در این شکل مشاهده می‌شود که با افزایش میزان V_{DDL}، مقدار تأخیر نیز در هر سه دما کاهش یافته که علت این موضوع را می‌توان افزایش ولتاژ V_{DDL} به مدار عنوان نمود؛ بدین صورت که با افزایش این میزان ولتاژ، میزان جریان‌دهی به مدار نیز افزایش یافته که با توجه به رابطه معکوس جریان با تأخیر، این امر منجر به کاهش تأخیر می‌گردد.

میزان تأخیر در حالت TT و در دمای ۲۷ درجه سانتی‌گراد و با V_{DDL} معادل ۰٫۴ ولت، برابر ۲۱٫۹ نانوثانیه است. عامل دیگری که در شکل ۵ مشاهده می‌شود تأثیر مثبت افزایش دما بر روی تأخیر است؛ بدین صورت که با افزایش دما میزان تأخیر نیز کاهش می‌یابد.

٤-٥ بررسی تأثیر دما و V_{DDL} بر روی توان مصرفی

در این قسمت، تأثیر تغییرات دما و V_{DDL} را این بار بر روی توان مصرفی مورد بررسی قرار خواهیم داد که برای این منظور V_{DDL} را در بازه ۰٫۴ تا ۰٫۷ ولت تغییر داده و این تغییرات را در سه دمای ۲۰-، ۲۷ و ۱۰۰ درجه سانتی‌گراد شبیه‌سازی می‌نماییم. نتایج این شبیه‌سازی در شکل ۶ آمده است. چنانکه مشاهده می‌کنید توان مصرفی مدار در بازه قابل قبولی می‌باشد؛ به‌طوری که در دمای ۲۷ درجه سانتی‌گراد و گوشه TT مقدار توان حاصل برابر ۱۲۹ نانووات است. می‌توان نتیجه گرفت که با افزایش V_{DDL}، توان مصرفی مدار افزایش یافته و از طرفی، افزایش دما نیز منجر به افزایش توان تلفاتی و در نتیجه باعث افزایش توان کل مدار گردیده است.

هدف از بررسی میزان تأثیر تغییرات دما و V_{DDL} بر روی تأخیر و میزان توان مصرفی، مشاهده میزان تخریب‌پذیری مدار LSBB در مقابل عوامل طبیعی به‌وجودآمده نظیر دما و یا در مقابل نوسانات مدار و همچنین عملکرد مدار با درنظرگرفتن این تغییرات در گوشه‌های کاری ترانزیستور است. در جمع‌بندی این دو قسمت می‌توان چنین نتیجه گرفت که به‌طور کلی با افزایش دما، میزان توان تلفاتی مدار افزایش یافته و همین عامل باعث افزایش میزان توان مصرفی مدار خواهد شد. از طرفی دیگر با افزایش میزان V_{DDL}، میزان جریان تزریقی به مدار افزایش یافته و این عامل، علاوه بر اینکه منجر به افزایش سرعت مدار می‌گردد منجر به کاهش تأخیر نیز شده و به موازات آن، میزان توان مصرفی مدار را نیز افزایش خواهد داد.

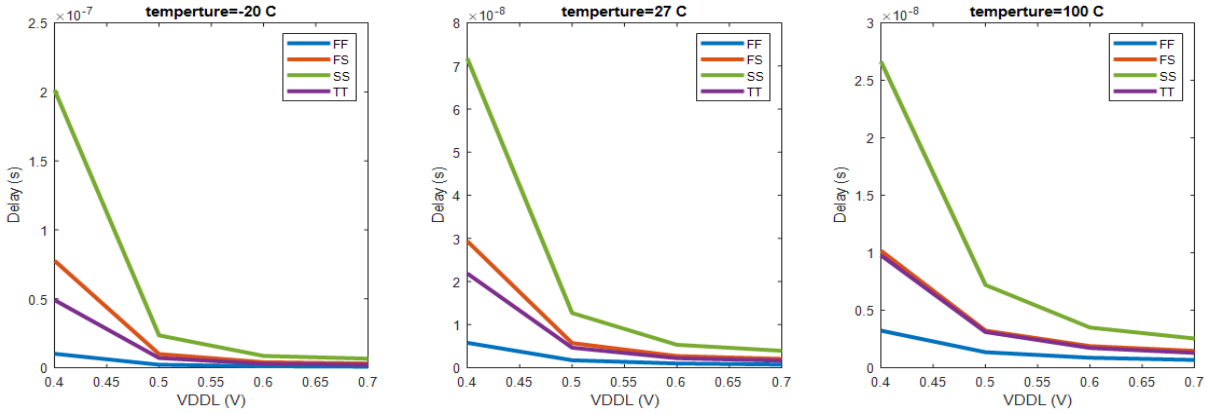
٤-٦ تحلیل مونت‌کارلو

برای بررسی میزان آسیب‌پذیری مدار در پروسه ساخت و همچنین برای صحه‌گذاشتن بر شبیه‌سازی‌های صورت‌گرفته از تحلیل مونت‌کارلو استفاده می‌کنیم. نتایج شبیه‌سازی این تحلیل در شکل ۷ گزارش شده که برای تأخیر و با تعداد تکرار ۵۰۰ بار شبیه‌سازی انجام شد. متوسط زمان تأخیر این شبیه‌سازی برای V_{DDL} معادل ۰٫۴ ولت، V_{DDH} برابر ۱٫۸ ولت در دمای ۲۷ درجه سانتی‌گراد و گوشه TT برابر با ۲۴ نانوثانیه است. بالاترین نرخ نمونه حاصل در مقدار تأخیر ۲۱٫۹ نانوثانیه به‌دست آمده که نتیجه شبیه‌سازی هم برابر با همین مقدار حاصل شده است. انحراف معیار به‌دست‌آمده از این تحلیل برابر ۷٫۸ نانوثانیه می‌باشد که این میزان، قابل قبول است و حاکی از مقاومت این طراحی در مقابل آسیب‌های پروسه ساخت دارد.

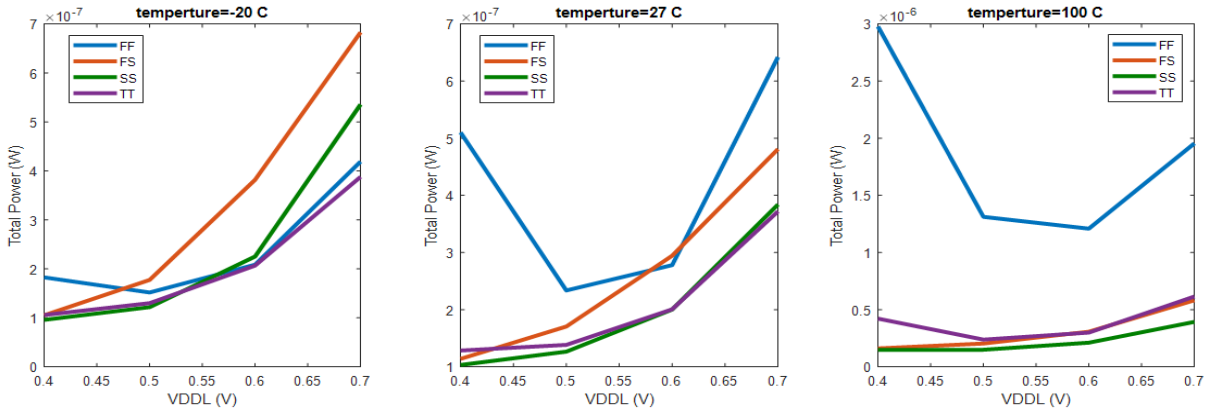
٤-٧ مقایسه و تحلیل نتایج

در این قسمت، مدار LSBB را با سایر پژوهش‌های انجام‌شده از جنبه‌های تعداد ترانزیستور، تأخیر، توان مصرفی، حاصل‌ضرب توان- تأخیر، انرژی، نسبت حضور پالس و مساحت اشغالی مقایسه نموده که نتایج آن به‌اختصار در جدول ۲ آمده است. پیاده‌سازی و شبیه‌سازی تمام پژوهش‌ها در فناوری ۱۸۰ نانومتر TSMC و در فرکانس ۱ مگاهرتز با V_{DDL} برابر

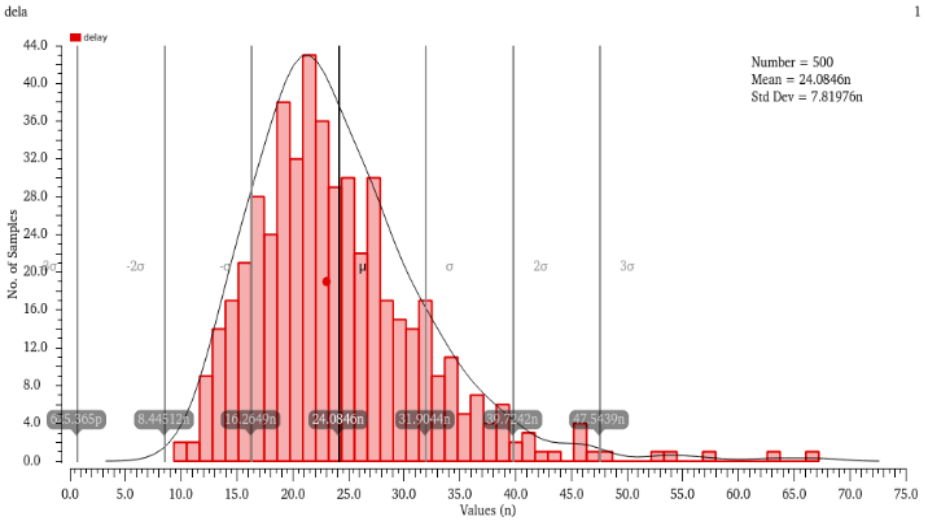
1. Duty Cycle



شکل ۵: تأثیر تغییرات V_{DDL} بر روی تأخیر در دمای ۲۰-، ۲۷ و ۱۰۰ درجه سانتی‌گراد.



شکل ۶: تأثیر تغییرات V_{DDL} بر روی توان مصرفی در دمای ۲۰-، ۲۷ و ۱۰۰ درجه سانتی‌گراد.



شکل ۷: تحلیل تأخیر مبتنی بر مونت‌کارلو.

جدول ۲: نتایج مقایسه LSBB با سایر پژوهش‌ها.

???	LSBB	[۱۴]	[۸]	[۹]	[۱۱]	[۱۳]	[۱۲]	[۱۰]
Transistor Count	۱۴	۱۴	۱۲	۱۶	۱۵	۱۶	۱۶	۷
Delay (nS)	۲۱٫۹	۲۲٫۸	۷۴٫۶	۳۶٫۲۵	۶۶٫۹	۷۵٫۱	۴۶	۶۶٫۵
Total Power (nW)	۱۲۹	۲۲۰۸	۲۴۸	۸۷٫۷۶	۳۲۵	۱۰۲۳	۲۰۲	۵۷۷٫۶
PDP (nW×nS)	۲۸۲۵	۳۱۵۶۰	۱۸۵۰۰	۳۱۸۱	۲۱۷۴۳	۷۶۸۲۷	۹۲۹۲	۳۸۴۱۰
Energy (fJ/Transition)	۱۲۷	۲۲۰۰	۲۴۵	۸۴٫۳۲	۳۱۴	۱۰۱۰	۱۹۳	۵۷۳
Duty Cycle	۵۱٫۶	۵۰٫۴۴	۵۷٫۱۲	۵۲٫۸	۵۵٫۳۸	۵۶٫۲۶	۵۲٫۶۹	–
Area (μm^2)	۱۰۲	۱۰۰	۱۳۵	۱۰۳	–	–	–	–

فناوری ۱۸۰ nm، $V_{DDL}=۰٫۴\,V$، $V_{DDH}=۱٫۸\,V$ و $Fin=۱MHz$!!

با ۰/۴ ولت و V_{DDH} معادل ۱/۸ ولت انجام شده است. مهم‌ترین پارامتر در مقایسه مبدل‌های ولتاژ پارامتر تأخیر است. در خصوص نتایج گزارش‌شده در خصوص این پارامتر، این نکته لازم به ذکر است که با توجه به غالب‌بودن مقدار تأخیر در لبه پایین‌رونده بر لبه بالارونده، صرفاً نتایج مربوط به تأخیر در لبه پایین‌رونده گزارش گردیده است. با توجه به نتایج ارائه‌شده به لحاظ تأخیر، مدار LSBB با توجه به مقادیر شبیه‌سازی‌شده با تأخیر ۲۱/۹ نانوثانیه نسبت به سایر مراجع نتیجه بهتری دارد. پس از آن، [۱۴] با تأخیر ۲۲/۸ نانوثانیه و [۱۲] با تأخیر ۴۶ نانوثانیه جزء طراحی‌های مناسب به لحاظ تأخیر هستند. پارامتر مهم دیگری که در این مقایسه بررسی شده، حاصل‌ضرب توان- تأخیر است. LSBB با حاصل‌ضرب توان- تأخیر ۲۸۲۵ نانووات در نانوثانیه، بهترین عملکرد را در مقایسه با سایر مراجع دارد. پس از LSBB، [۱۲] با ۹۲۹۲ نانووات در نانوثانیه در رتبه بعدی است. با بررسی نتایج شبیه‌سازی در خصوص توان مصرفی مشاهده می‌گردد که [۹] با توان مصرفی ۸۷/۷۶ نانووات در رتبه اول و پس از آن، مدار LSBB با ۱۲۹ نانووات در جایگاه دوم قرار دارد (توجه شود که تعداد ترانزیستورهای استفاده‌شده در [۹] بیش از ترانزیستورهای LSBB است). پارامتر بعدی که در این مقایسه مورد بررسی قرار گرفته، نسبت حضور پالس می‌باشد که در این خصوص مدار LSBB پس از [۱۴] (نسبت حضور پالس ۵۰/۴۴٪) با نسبت ۵۱/۶٪ در رده دوم قرار گرفته است. LSBB با مقدار مصرف انرژی ۱۲۷ فمتوفاراد در هر تراکنش، بهترین عملکرد را پس از [۹] با میزان مصرف انرژی ۸۴/۳۲ فمتوفاراد در هر تراکنش دارد. در مدار LSBB و [۱۴] از ۱۴ عدد ترانزیستور استفاده شده که بعد از [۸] و [۱۰] از سایر پژوهش‌ها بهتر است. با توجه به نتایج گزارش‌شده در پژوهش‌های گذشته، [۱۴] کمترین مساحت اشغالی و پس از آن LSBB، [۹] و [۸] کمترین سطح اشغال را دارند.

در بررسی پژوهش‌های گذشته و با توجه به آنکه مهم‌ترین پارامترها در مقایسه مبدل‌های ولتاژ سه پارامتر حاصل‌ضرب توان- تأخیر، تأخیر و توان مصرفی است می‌توان نتیجه گرفت که LSBB بهترین عملکرد را دارد؛ به‌گونه‌ای که با معیارهای تأخیر و حاصل‌ضرب توان- تأخیر در رتبه اول و با معیار مصرف توان مصرفی در جایگاه دوم در بین سایر طراحی‌ها قرار گرفته است.

۵- نتیجه‌گیری

در این تحقیق، یک مدار مبدل ولتاژ با کارایی بالا با نام LSBB ارائه شد. این مدار با اعمال تغییراتی در طبقه اول مدار که نقش اصلی در سرعت مدار را ایفا می‌کند، باعث افزایش سرعت مدار می‌گردد. علاوه بر این، استفاده از مدار اریب‌ساز بدنه منجر به وابسته‌کردن پایه بدنه ترانزیستورهای طبقات ورودی به ولتاژ V_{DDL} و در نتیجه کاهش ولتاژ آستانه و تأخیر می‌گردد. از سویی دیگر، استفاده از آرایش‌های اتصال دیودی و انتخاب اندازه مناسب در این مدار، منجر به کاهش نزاع و توان مصرفی شده است. این مدار با آرایش ساده ترانزیستوری جزء یکی از مدارهای با هزینه کم و کارایی بالا مابین انواع مبدل‌های سطح ولتاژ می‌باشد. LSBB در مقایسه با سایر طراحی‌هایی که به لحاظ تعداد ترانزیستور، دارای تعداد بیشتر یا مساوی هستند با بهبود پارامترهای تأخیر، PDP و توان مصرفی نسبت به آنها برتری دارد.

مراجع

[1] M. Jhamb and R. Mohan, "Ultra low power design of multi-valued logic circuit for binary interfaces," *J. of King Saud University Computer and Information Sciences*, vol. 34, no. 8, pt. A, pp. 5578-5586, Sept. 2021.

[2] D. B. Fayaz and P. S. Rao, "Power-efficient voltage up level shifter with low power delay product," *International J. of Circuit Theory and Applications*, vol. 49, no. 7, pp. 2158-2169, Jul. 2021.

[3] N. Minakhi and P. Kati, "Voltage level shifter using modified Wilson current mirror," *International J. of Scientific & Eng. Research*, vol. 8, no. 6, pp. 1564-1570, Jun. 2017.

[4] A. Chavan and E. MacDonald, "Ultra low voltage level shifters to interface sub and super threshold reconfigurable logic cells," in *Proc. IEEE Aerosp. Conf.*, 6 pp., Big Sky, MT, USA, 1-8 Mar. 2008.

[5] D. Zhao, *et al.*, "A voltage level shifter with fast level translation speed," in *Proc. IEEE 5th International Electrical and Energy Conf., CIEEC'22*, pp. 1333-1336, Nangjing, China, 27-29 May 2022.

[6] L. Qeye, *et al.*, "A novel floating high-voltage level shifter with pre-storage technique," *Sensors*, vol. 22, no. 5, Article ID: 1774, 2022.

[7] D. Dwivedi, S. Dwivedi, and E. Potladhurthi, "Voltage up level shifter with improved performance and reduced power," in *Proc. 25th IEEE Canadian Conf. on Electrical and Computer Engineering, CCECE*'12, 4 pp., Montreal, QC, Canada, 29 Apr.-2 May 2012.

[8] R. Lotfi, M. Saberi, S. R. Hosseini, A. R. Ahmadi-Mehr, and R. B. Staszewski, "Energy-efficient wide-range voltage level shifters reaching 4.2 fJ/transition," *IEEE Solid-State Circuits Lett.*, vol. 1, no. 2, pp. 34-37, Feb. 2018.

[9] S. R. Hosseini, M. Saberi, and R. Lotfi, "A high-speed and power-efficient voltage level shifter for dual-supply applications," *IEEE Trans. Very Large Scale Integrated VLSI Syst.*, vol. 25, no. 3, pp. 1154-1158, Mar. 2017.

[10] S. Lutkemeier and U. Riue, "A subthreshold to above-threshold level shifter comprising a Wilson current mirror," *IEEE Trans. Circuits Syst. II Exp. Briefs*, vol. 57, no. 9, pp. 721-724, Sept. 2010.

[11] M. Liu, *et al.*, "Fast and wide range voltage conversion in multisupply voltage designs," *IEEE Trans. on VLSI Systems*, vol. 23, no. 2, pp. 388-391, Feb. 2015.

[12] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," *IEEE J. Solid-State Circuits*, vol. 47, no. 7, pp. 1776-1783, Jul. 2012.

[13] S. Luo, *et al.*, "A wide-range level shifter using a modified Wilson current mirror hybrid buffer," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 61, no. 6, pp. 1656-1665, May 2014.

[14] N. Rezaei and M. Mirhassani, "An efficient high speed and low power voltage-level shifter," *International J. Electron. Commun*, vol. 138, Article ID: 153857, Aug 2021.

[15] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd Ed., New York, NY, USA: McGraw-Hill, 2015.

[16] V. Misra, *et al.*, "Field effect transistors," W. K. Chen, Ed. *The Electrical Engineering Handbook*, San Diego, CA: Elsevier, Ch. 3, pp. 109-126, 2005.

رضا درویش خلیل آبادی در سال ۱۳۹۱ و سال ۱۴۰۰ مدرک کارشناسی و کارشناسی ارشد خود را از دانشگاه سجاد دریافت نمود. نام‌برده هم‌اکنون کارشناس شهرداری م ی‌باشد. زمینه‌های علمی مورد علاقه ایشان تحلیل و طراحی مدارهای مجتمع دیجیتال و ریزپردازنده‌های پیشرفته می‌باشد.

امیر باوفای طوسی با هدف شکستن مرز دانش‌های عملی و تجربی در مهندسی کامپیوتر به منظور حل مشکلات صنعتی کشور و پرورش دانشجویان با مهارت از سال ۱۳۷۹ همکاری خود را با دانشکده کامپیوتر دانشگاه سجاد آغاز نمود. وی از سال ۱۴۰۱ مدیر گروه دانشکده کامپیوتر دانشگاه سجاد و فارغ التحصیل دکتری مهندسی کامپیوتر از دانشگاه صنعتی امیرکبیر درسال ۱۳۹۹ می‌باشد. نام‌برده با تدریس دروس آزمون المپیاد کامپیوتر همچون معماری کامپیوتر، مدارهای منطقی و سیستم‌عامل با همکاری سایر اساتید سجاد دانشجویانی پرورش داده است که هر سال در آزمون نهایی المپیاد دانشجویی رتبه‌های تک رقمی و کمتر از ۵۰ کشور را کسب می‌کنند. وی دارای USPatent و مقام دوم پژوهش‌های توسعه‌ای در بیستمین جشنواره بین‌المللی خوارزمی را دارد. ایشان با عقد قرارداد صنعتی در سال ۱۳۹۰ آزمایشگاه پژوهشی ESRL را تاسیس نمود. زمینه‌های تحقیقاتی ایشان عبارتند از: سیستم‌های توزیع‌شده و محاسبات ابری، پردازش‌های سریع و برنامه‌نویسی موازی، اینترنت اشیاء، سیستم‌های هوشمند، هوش مصنوعی، SDN، FPGA و سنتز دیجیتال.