پژوهشی

طراحی فلیپ‌فلاپ‌های جدید سه‌سطحی در نانوالکترونیک با استفاده از CNFET

کتایون رهبری و سیدعلی حسینی

چکیده: استفاده از مدارات چندسطحی می‌تواند باعث کاهش اتصالات داخل تراشه شود. کاهش اتصالات داخل تراشه‌ها باعث کاهش حجم تراشه و اتلاف توان در اتصالات می‌گردد. در سال‌های اخیر با توجه به توانایی نانوالکترونیک در طراحی مدارات چندسطحی، تحقیقاتی در این زمینه رونق گرفته است. مدارات ترتیبی، فلیپ‌فلاپ‌ها از اجزای مهم پردازنده‌ها و مدارات VLSI هستند. در این مقاله برای اولین بار، فلیپ‌فلاپ سه‌سطحی با پالس ژنراتور پیشنهاد گردیده و همین طور فلیپ‌فلاپ دیکد باینری به سه‌سطحی و نیز اولین فلیپ‌فلاپ با استفاده از بافر معرفی شده و سپس این فلیپ‌فلاپ‌ها با خودشان و مدارات قبلی مقایسه شده‌اند. همچنین از این فلیپ‌فلاپ‌ها در طراحی شمارنده سه‌سطحی استفاده شده است. نتایج شبیه‌سازی با نرم‌افزار HSPICE بیانگر عملکرد صحیح مدارات پیشنهادی می‌باشد. در مدل فلیپ‌فلاپ پالس ژنراتور STI ۲۰٪، در فلیپ‌فلاپ SP ۳۰٪ و در فلیپ‌فلاپ با بافر ۳۰٪ بهبود در تأخیر و کاهش در تعداد ترانزیستور وجود دارد. همین طور در جدول مقایسه، مزایا و معایب هر کدام مورد بررسی قرار گرفته است.

***کلیدواژه:* فلیپ‌فلاپ، مدارات سه‌سطحی، ترانزیستور نانوکربنی.**

۱- مقدمه

یکی از مشکلات مدارات باینری، تعداد بالای اتصالات مدار است که باعث افزایش حجم تراشه و اتلاف توان در اتصالات می‌شود. یکی از راه‌حل‌ها برای کاهش اتصالات، استفاده از مدارات چندسطحی است. در مدارات چندسطحی به‌دلیل اینکه از هر خط، تعداد اطلاعات بیشتری عبور می‌کند می‌توان خطوط انتقال اطلاعات و اتصالات تراشه را کاهش داد. ظهور و کشف فناوری‌های جدید طی دهه‌های گذشته، فرصت‌هایی جدید را برای بلوغ منطق سه‌سطحی در صنعت نیمه‌هادی ایجاد کرده است [۱]. از اهداف مهم مدارات چندسطحی می‌توان به کاهش تعداد اتصالات در تراشه‌ها اشاره کرد که در نتیجه منجر به کاهش اتلاف توان مصرفی در اتصالات و نیز کاهش حجم تراشه می‌گردد [۲]. همچنین در سال‌های اخیر، کاهش ابعاد ترانزیستورها با مشکلاتی از قبیل تأثیرات کوانتومی، تونل‌زنی گیت، هزینه‌های بالای لیتوگرافی و افزایش جریان نشتی همراه بوده که از این رو محققان را به جایگزینی ترانزیستورهای MOS با فناوری‌های جدید نانو تشویق کرده است.

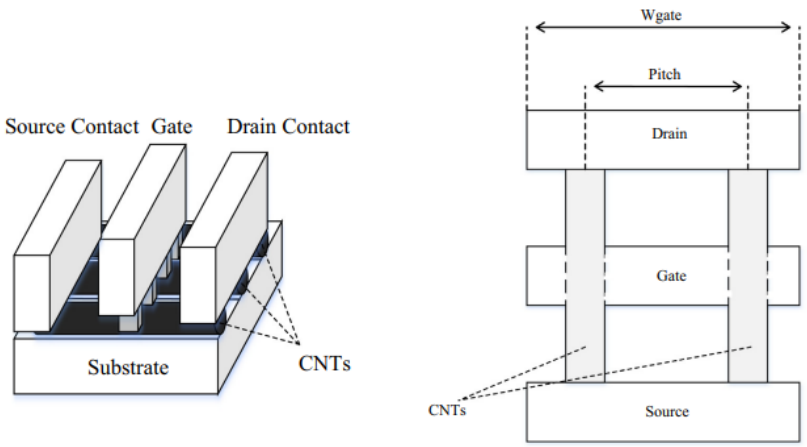
این مقاله در تاریخ ۱۰ دی ماه ۱۴۰۱ دریافت و در تاریخ ۲۹ اردیبهشت ماه ۱۴۰۲ بازنگری شد.

کتایون رهبری، دانشکده مهندسی کامپیوتر و برق، دانشگاه آزاد اسلامی واحد یادگار امام خمینی، تهران، ایران، (email: katirahbari@yahoo.com).

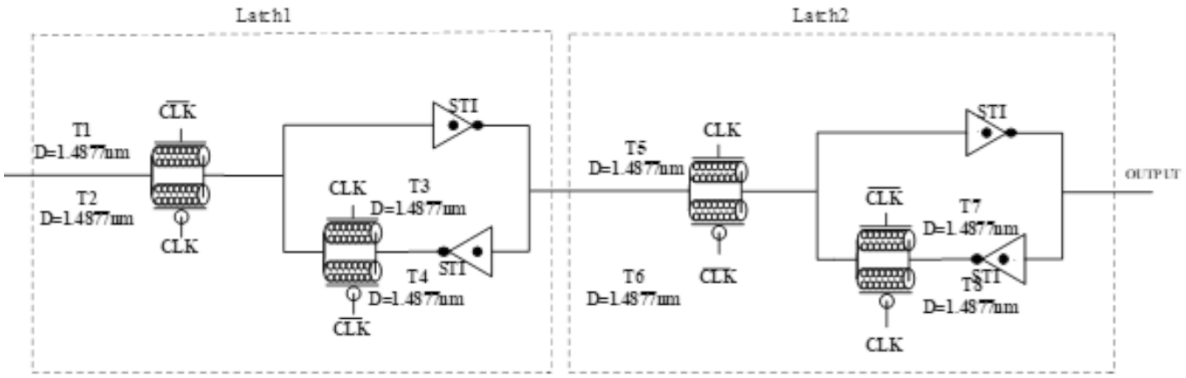
سیدعلی حسینی (نویسنده مسئول)، دانشکده مهندسی کامپیوتر و برق، دانشگاه آزاد اسلامی واحد یادگار امام خمینی، تهران، ایران، (email: sal_hosseiny@yahoo.com).

ترانزیستورهای کربن نانوتیوب CNFET با توجه به عملکرد بالا و همچنین توان مصرفی کم، گزینه مناسبی برای جایگزینی ترانزیستورهای MOS هستند [۳]. از ویژگی خوب این ترانزیستورها می‌توان به تغییر ولتاژ آستانه با توجه به تغییر قطر نانوتیوب‌ها اشاره کرد که می‌توان از آنها در طراحی مدارات چندسطحی با پیچیدگی کمتر و ساده‌تر استفاده نمود [۴]. از جمله کارهایی که در این زمینه انجام گرفته می‌توان به شمارنده سه‌سطحی [۵]، سلول حافظه [۶]، تمام جمع‌کننده [۷] تا [۱۰]، گیت‌های چهارسطحی [۱۱] و مقایسه‌کننده [۱۲] اشاره کرد. از مهم‌ترین مسائل برای رسیدن به اهداف مدارات چندسطحی، طراحی با پیچیدگی کم و نزدیک به مدارات باینری است؛ اما از طرفی مدارات چندسطحی دارای حاشیه نویز کمتری با توجه به افزایش سطوح منطق‌ها هستند و طراحی با داشتن حاشیه نویز بیشتر، حائز اهمیت است. از طرف دیگر حاصل‌ضرب توان در تأخیر کمتر (PDP) از مهم‌ترین مسایل در طراحی مدارات VLSI می‌باشد.

مدارات فلیپ‌فلاپ، شمارنده ارکان بسیار مهمی در مدارات ترتیبی در طراحی پردازنده‌ها می‌باشند. فلیپ‌فلاپ‌ها عناصر اصلی ذخیره‌سازی هستند که به‌طور گسترده‌ای در انواع طرح‌های دیجیتال مورد استفاده قرار می‌گیرند. به‌ویژه، امروز طرح‌های دیجیتالی، اغلب تکنیک‌های خط لوله را اتخاذ می‌کنند و بسیاری از ماژول‌های غنی از فلیپ‌فلاپ مانند رجیسترها، شیفت رجیسترها را به‌کار می‌گیرند [۱۳]. بنابراین فلیپ‌فلاپ‌ها بخش قابل توجهی از ناحیه تراشه و مصرف انرژی را در طراحی کلی سیستم به خود اختصاص می‌دهند. در مقایسه با کارهای گذشته، فلیپ‌فلاپ‌های ناشی از پالس ژنراتور به‌دلیل ساختار تک لچ، محبوبیت بیشتری نسبت به FFهای مستراسلیو در برنامه‌های پرسرعت دارند و علاوه بر مزیت سرعت، سادگی مدار آنها باعث کاهش مصرف انرژی سیستم کلاک می‌شود. از طرفی کاهش تعداد ترانزیستور باعث کاهش اتصالات می‌گردد. P-FF متشکل از یک مولد پالس برای سیگنال و یک لچ قفل‌کننده برای ذخیره داده‌هاست. اگر پالس‌های محرک کاملاً باریک باشند، قفل مانند یک FF حساس به لبه عمل می‌کند و از آنجا که تنها یک لچ قفل‌کننده مورد نیاز است، در مقایسه با فلیپ‌فلاپ مستراسلیو از پیچیدگی کمتری برخوردار می‌باشد. P-FF همچنین امکان استقرار زمان در مرزهای چرخه کلاک را دارد [۱۴]. با وجود این مزایا، مدار تولید پالس برای مقابله با تغییرات احتمالی در فناوری فرایند و شبکه توزیع سیگنال، نیاز به کنترل عرض پالس دارد. در این مقاله برای اولین بار فلیپ‌فلاپ سه‌سطحی با پالس ژنراتور، پیشنهاد و همین طور فلیپ‌فلاپ دیکدکردن باینری به سه‌سطحی و نیز اولین فلیپ‌فلاپ با استفاده از بافر معرفی شده است. تمامی فلیپ‌فلاپ‌ها در طراحی‌های قبلی دارای تعداد ترانزیستور بیشتر به‌دلیل ساختار مستراسلیو هستند که در ساختار تک لچ، تعداد ترانزیستور



شکل ۱: شماتیک یک ترانزیستور نانوتیوب کربنی [۱۸].



شکل ۲: فلیپ‌فلاپ سنتی.

جدول ۱: معکوس‌کننده‌های سه‌سطحی.

Input X	STI	PTI	NTI
۱	۲	۲	۲
۱	۱	۲	۰
۲	۰	۰	۰

کاهش یافته است. همچنین این فلیپ‌فلاپ‌ها با خودشان و مدارات قبلی مقایسه گردیده‌اند و از آنها برای اولین بار در طراحی شمارنده سه‌سطحی استفاده شده است. نتایج شبیه‌سازی با نرم‌افزار HSPICE بیانگر عملکرد صحیح مدارات پیشنهادی می‌باشد. همچنین روش پیشنهادی و روش‌های گذشته با هم مقایسه و ارزیابی شده و مزایا و معایب هر کدام نیز مورد بررسی قرار گرفته است.

۲- تئوری ترانزیستور نانولوله کربنی

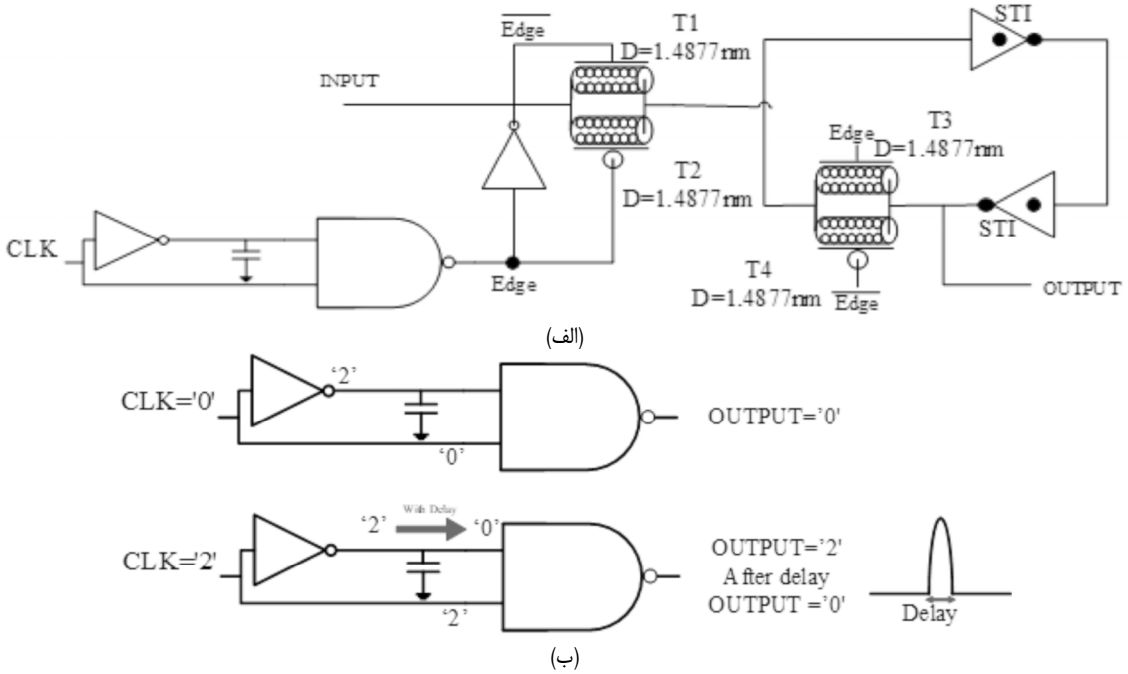
ساختار CNFET شبیه MOS است با این تفاوت که دیواره تک‌جداره نانوتیوب کربنی بین درین و سورس شبیه کانال هدایت عمل می‌کند [۱۵]. یک نانولوله کربنی تک‌جداره بسته به زاویه کایرال می‌تواند به‌عنوان یک هادی یا نیمه‌هادی عمل کند که با جفت عدد صحیح (m,n) نشان داده می‌شود. با درنظرگرفتن شاخص (m,n) مشخص می‌گردد که نانولوله کربن، فلزی یا نیمه‌هادی است. در صورتی که $m=n$ یا $n-m\neq 3i$ باشد، نانولوله یک رسانا و در غیر این صورت نیمه‌هادی است [۱۶]. شکل ۱ ساختار مداری CNFET را نشان می‌دهد [۱۷] و [۱۸]. همچنین عملکرد ترانزیستورهای نانولوله کربنی، وقتی ولتاژ گیت $VDD/2$ است می‌تواند به‌صورت یک سوئیچ عمل کند. با قطر ۱٫۴۸۷ نانومتر کلید وصل و با قطر ۰٫۷۸۳ کلید باز است [۱۹].

۳- مدارات پیشنهادی

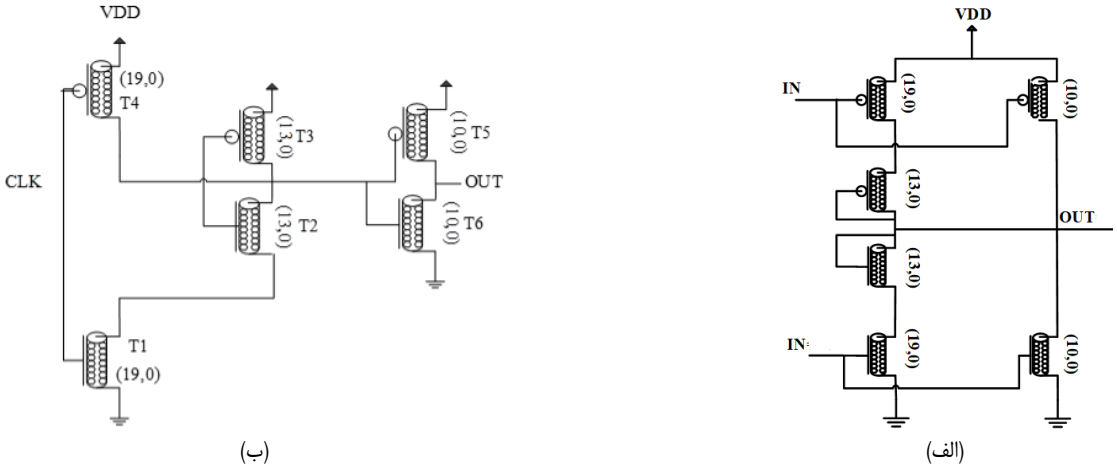
۳-۱ فلیپ‌فلاپ پیشنهادی با ساختار STI

ابتدا در شکل ۲ ساختار فلیپ‌فلاپ سنتی آمده که از دو لچ مستراسلیو ساخته شده است. گیت انتقالی اول برای اعمال ورودی و گیت انتقالی دوم برای قطع و وصل حلقه لچ می‌باشد. وقتی سیگنال کلاک "۰" است، در لچ مستر اولین گیت انتقالی، ورودی را انتقال می‌دهد. دومین گیت قطع است و در نتیجه خروجی، همان حالت قبل را حفظ می‌کند و لچ اسلیو همان حالت قبل را نشان می‌دهد. وقتی سیگنال کلاک "۲" است، لچ مستر قطع شده و گیت انتقالی لچ اسلیو، ورودی را انتقال می‌دهد و در نتیجه خروجی برابر با ورودی می‌شود.

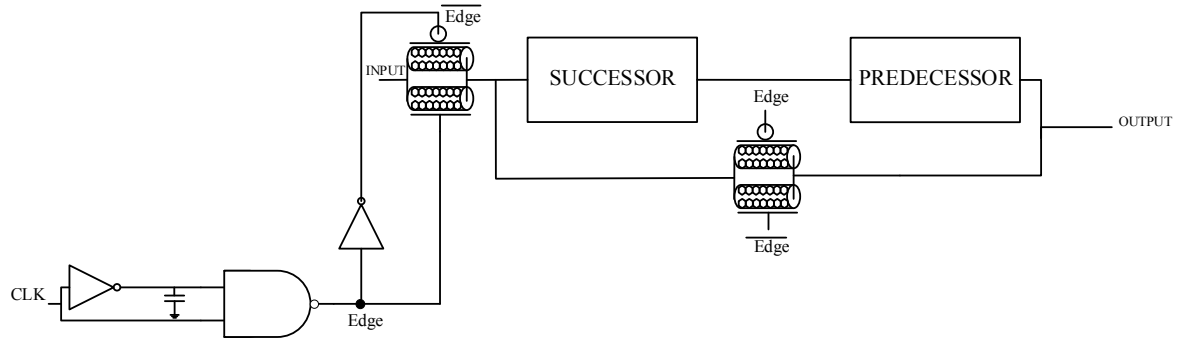
در اینجا برای اولین بار به‌جای استفاده از ساختار مستراسلیو در فلیپ‌فلاپ‌های سه‌سطحی از ساختار پالس ژنراتور استفاده گردیده و فلیپ‌فلاپ‌های سه‌سطحی بر پایه ساختار پالس ژنراتور طراحی شده‌اند (شکل ۳). فلیپ‌فلاپ ناشی از پالس ژنراتور به‌دلیل ساختار تک لچ، محبوبیت بیشتری نسبت به فلیپ‌فلاپ‌های مستراسلیو در مدارات باینری پرسرعت دارد. علاوه بر مزیت سرعت، سادگی مدار آن باعث کاهش مصرف انرژی سیستم کلاک می‌شود. فلیپ‌فلاپ‌هایی که بر پایه پالس ژنراتور PG-FFF هستند، متشکل از یک مولد پالس برای سیگنال و یک لچ قفل‌کننده برای ذخیره داده‌ها هستند. اگر پالس‌های محرک کاملاً باریک باشند، قفل مانند یک فلیپ‌فلاپ حساس به لبه عمل می‌کند. از آنجا که تنها یک لچ قفل‌کننده نیاز است، فلیپ‌فلاپ تک لچ در مقایسه با فلیپ‌فلاپ مستراسلیو از پیچیدگی کمتری برخوردار است. در شکل ۳ لچ فلیپ‌فلاپ با استفاده از STI و مدار پالس ژنراتور آورده شده است.



شکل ۳: فلیپ‌فلاپ با استفاده از (الف) STI و (ب) پالس ژنراتور.



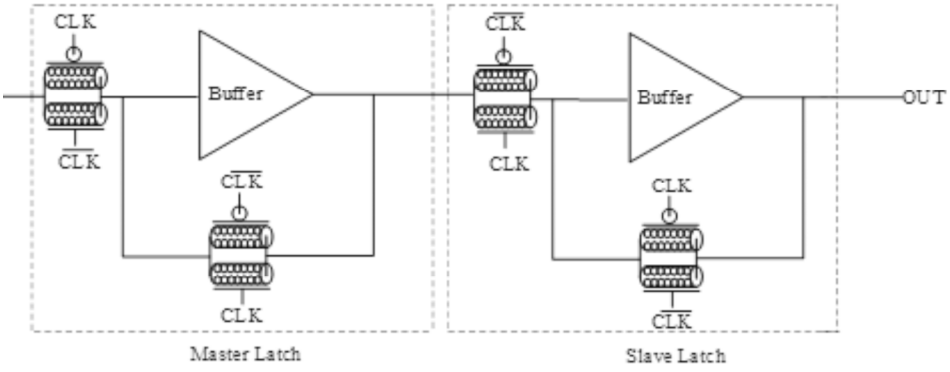
شکل ۴: عملکرد پالس ژنراتور، (الف) مدار NAND و (ب) مدار STI.



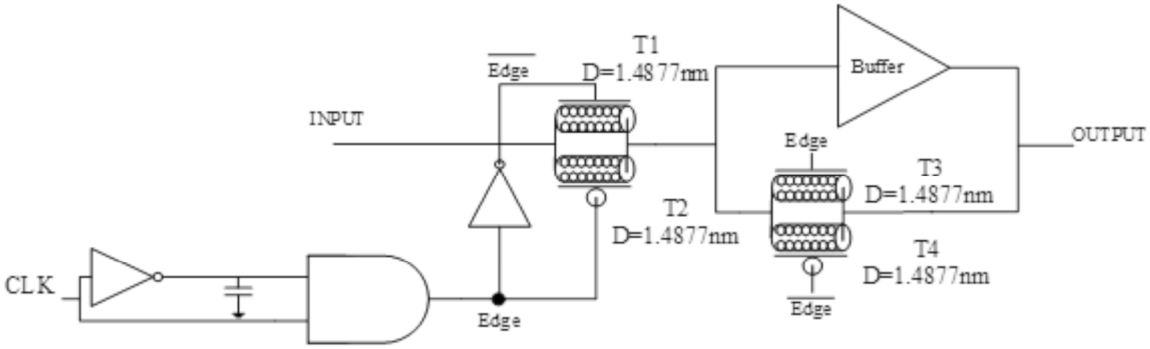
شکل ۵: لچ SP-D با ساختار پالس ژنراتور.

عملکرد این مدار شکل ۴ می‌باشد و به این صورت است که کلاک زمانی که "۰" است، خروجی پالس ژنراتور صفر می‌شود؛ اما زمانی که کلاک "۲" می‌شود به‌دلیل وجود خازن با تأخیر ناچیزی، خروجی NOT صفر می‌شود و در این مدت تأخیر، خروجی پالس ژنراتور "۲" می‌شود که مقدار عرض پالس مورد نیاز برای تغییرات در ساختار را تولید می‌کند. انتخاب مقدار خازن و همچنین قطر و تعداد نانوتیوب‌ها برای تنظیم عرض پالس مورد نیاز بسیار حائز اهمیت است؛ زیرا باعث می‌شود که ساختار همانند فلیپ‌فلاپ مستراسلیو عمل کند. همچنین تعداد ترانزیستور از ۳۴ در نوع مستراسلیو به ۲۴ عدد کاهش یافته است.

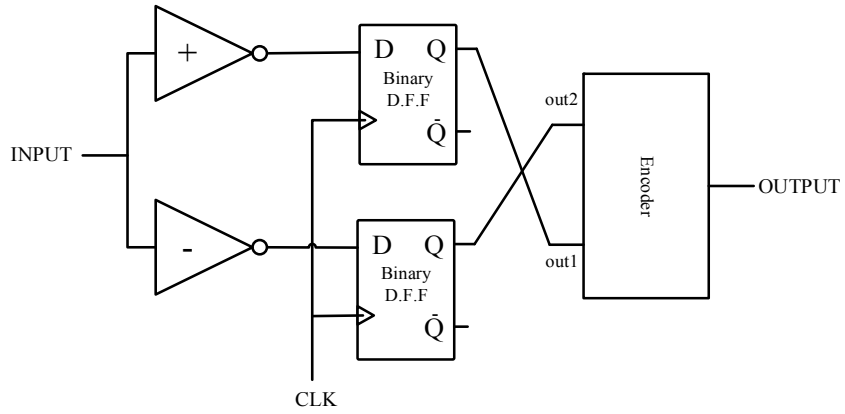
همان طور که در ساختار بعدی مشاهده می‌شود، شکل ۵ فلیپ‌فلاپ با پالس ژنراتور ساختار طراحی‌شده در [۵] است که نحوه عملکرد این مدار نیز همانند قسمت قبل می‌باشد. زمانی که کلاک "۰" است، گره edge صفر بوده و حلقه لچ همان حالت قبلی را نشان می‌دهد و وقتی کلاک "۲" است، با وجود خازن با تأخیر گره edge، صفر و در یک لحظه کوتاه،



شکل ۶: فلیپ‌فلاپ پیشنهادی با بافر.



شکل ۷: فلیپ‌فلاپ پیشنهادی با بافر و استفاده از پالس ژنراتور.



شکل ۸: فلیپ‌فلاپ دیکد باینری به سه‌سطحی.

گیت انتقالی فعال می‌شود و ورودی را به خروجی انتقال می‌دهد.

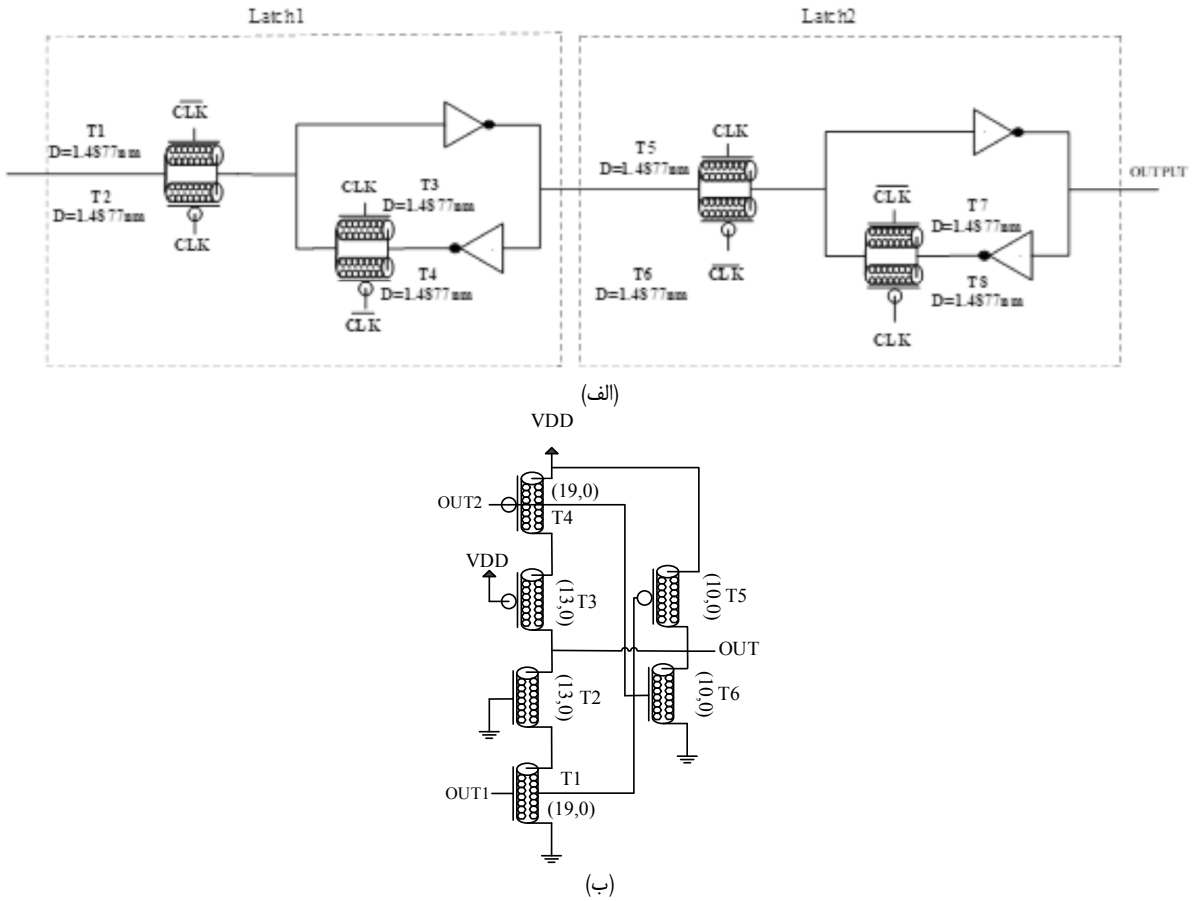
۳-۲ فلیپ‌فلاپ سه‌سطحی پیشنهادی با بافر

در اینجا فلیپ‌فلاپ جدیدی معرفی شده که با استفاده از بافر، طراحی گردیده است. در شکل ۶ حالت مستراسلیو آن معرفی شده که می‌تواند حساس به لبه بالارونده یا پایین‌رونده باشد. در اینجا وقتی کلاک "۰" است گیت انتقالی اول، ورودی را به خروجی لچ اول از طریق بافر انتقال می‌دهد و لچ دوم قفل می‌باشد و همان خروجی قبل را نشان می‌دهد؛ اما وقتی کلاک "۲" می‌شود خروجی لچ اول در حالت قبل از طریق لچ دوم به خروجی انتقال پیدا می‌کند و ورودی به خروجی از طریق لچ دوم انتقال می‌یابد که همانند فیلپ‌فلاپ‌های سنتی عمل می‌کند. شکل ۷ همان لچ پیشنهادی اما با ساختار پالس ژنراتور است که عملکرد آن مانند عملکرد فلیپ‌فلاپ سنتی می‌باشد که در قبل توضیح داده شد.

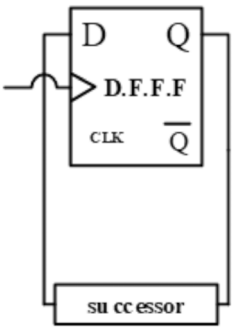
۳-۳ فلیپ‌فلاپ سه‌سطحی پیشنهادی با باینری

برای رسیدن به حاشیه نویز بالا در اینجا فلیپ‌فلاپ سه‌سطحی جدیدی معرفی شده که از فلیپ‌فلاپ باینری، انکدر و PTI و NTI تشکیل شده است. به‌دلیل استفاده از فلیپ‌فلاپ باینری، حاشیه نویز بالایی حدود $VDD/۲$ به‌دست می‌آید. ساختار پیشنهادی در شکل ۸ معرفی گردیده و ساختمان داخلی آن در شکل ۹ آمده است. نحوه عملکرد این فلیپ‌فلاپ به این صورت می‌باشد که وقتی ورودی "۰" است، خروجی NTI و PTI هر دو برابر "۲" منطقی است. زمانی که کلاک "۲" می‌باشد، لچ فلیپ‌فلاپ‌ها قادر به انتقال "۲" منطقی به خروجی خود یعنی ورودی انکدر هستند و انکدر به این صورت عمل می‌کند که زمانی که هر دو ورودی آن "۲" منطقی باشد، ۱T و ۶T روشن می‌شوند و خروجی انکدر برابر "۰" منطقی می‌شود که با همان ورودی مدار پیشنهادی برابر است. حال با تغییر کلاک از "۲" به "۰"، فلیپ‌فلاپ‌های باینری همان حالت قبل خود را عبور می‌دهند؛ پس خروجی انکدر بی‌تغییر می‌ماند.

وقتی ورودی "۱" منطقی باشد، خروجی $NTI = ۰$ و $PTI = ۲$ است. زمانی که کلاک "۲" منطقی باشد فلیپ‌فلاپ‌های باینری، ورودی را به خروجی منتقل می‌کنند و در نتیجه ورودی انکدر "۰" و "۲" منطقی است؛ پس طبق عملکرد انکدر ۱T و ۴T روشن می‌شوند و خروجی برابر با



شکل ۹: ساختمان داخلی فلیپ‌فلاپ دیکد به باینری، (الف) فلیپ‌فلاپ باینری و (ب) انکدر.



شکل ۱۰: شمارنده [۵].

"۱" منطقی می‌شود که با همان ورودی برابر است. زمانی که کلاک "۰" می‌شود فلیپ‌فلاپ‌ها همان حالت قبل خود را حفظ می‌کنند و در نتیجه تغییری در خروجی به‌وجود نمی‌آید.

زمانی که ورودی "۲" منطقی است، خروجی NTI و PTI برابر "۰" می‌باشد. زمانی که کلاک "۲" است فلیپ‌فلاپ‌های باینری فعال بوده و "۰" را به انکدر انتقال می‌دهند که عملکرد انکدر به این صورت است که اگر هر دو ورودی "۰" باشد، ۴T و ۵T روشن می‌شوند و خروجی برابر "۲" منطقی می‌شود که با ورودی برابر است. اگر کلاک از "۲" به "۰" رود، فلیپ‌فلاپ‌ها در حالت قبلی خود قفل شده و همان حالت قبلی را نشان می‌دهند. مزیت این فلیپ‌فلاپ نسبت به بقیه فلیپ‌فلاپ‌های سه‌سطحی، استفاده از فلیپ‌فلاپ باینری است که حاشیه نویز بالایی در حدود $VDD/۲$ دارند؛ اما در فلیپ‌فلاپ‌های سه‌سطحی این مقدار به $VDD/۴$ می‌رسد اما دارای تعداد زیادی ترانزیستور نسبت به بقیه طراحی‌ها می‌باشد.

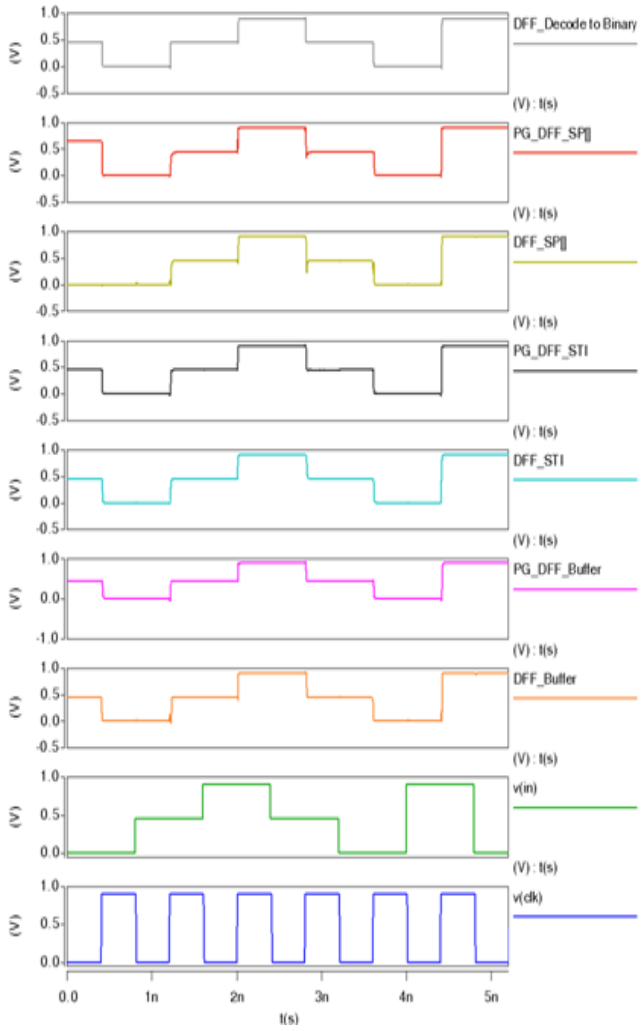
۳-٤ شمارنده با استفاده از فلیپ‌فلاپ‌های پیشنهادی

شمارنده همانند شکل ۱۰ بر اساس شمارنده طراحی‌شده در [۵] آورده شده است. اساس کار بر این است که سطح منطقی بعدی در ورودی فلیپ‌فلاپ با استفاده از ساکسسور قرار می‌گیرد و با آمدن هر کلاک، سطح بعدی جایگزین می‌شود [۵].

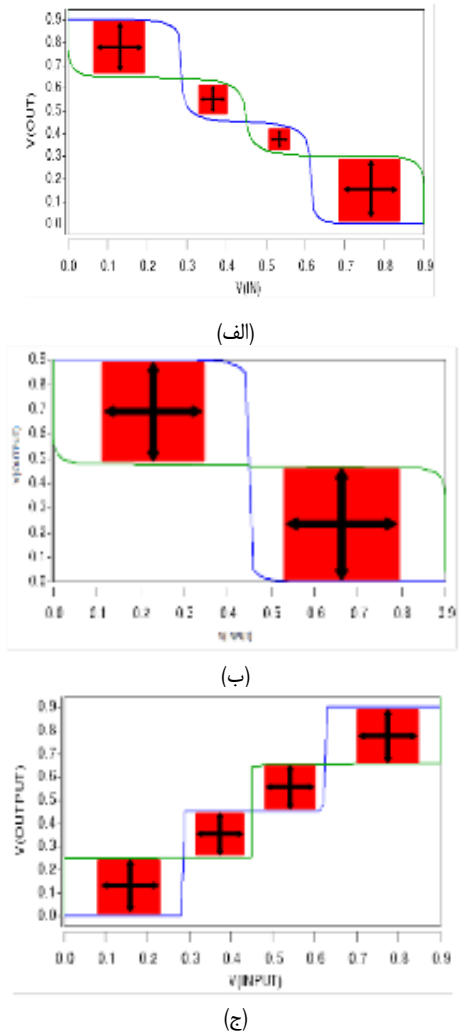
٤- نتایج شبیه‌سازی

مدارات طراحی‌شده با استفاده از نرم‌افزار HSPICE و کتابخانه ۳۲ نانومتر دانشگاه استنفورد، شبیه‌سازی [۲۰] و [۲۱] و اندازه‌ها و تعداد نانوتیوب‌ها در ساختارها ذکر شده که نشان‌دهنده عملکرد درست مدرات است. توان مصرفی، تأخیر در بدترین حالت و PDP تحت بارهای مختلف، تلورانس ساخت و دما مورد ارزیابی قرار گرفته‌اند.

شکل موج خروجی مدار فلیپ‌فلاپ‌های پالس ژنراتور پیشنهادی در شکل ۱۱ آمده که عملکرد صحیح مدار در گذار از حالات مختلف را نشان می‌دهد. همان طور که مشخص است خروجی پالس برای مدت زمان کمی به‌دلیل وجود خازن، تأخیر در تولید "۰" دارد که همان مدت زمان، عرض پالس مورد نیاز را برای اینکه ساختار به صورت فلیپ‌فلاپ مستراسلیو حساس به لبه عمل کند، تولید می‌نماید و ورودی به خروجی منتقل می‌شود. همچنین شکل ۱۲ شامل عملکرد فلیپ‌فلاپ با لچ بافر مستراسلیو و فلیپ‌فلاپ دیکد به باینری می‌باشد. تأخیر در بدترین حالت و متوسط توان مصرفی و PDP در شرایط یکسان و تعداد ترانزیستورهای مورد استفاده در جدول ۲ گزارش شده است. همان طور که مشاهده می‌گردد، PDP فلیپ‌فلاپ پالس ژنراتور با استفاده از STI نسبت به نوع مستراسلیو خود ۵۳٪ و همچنین تأخیر آن ۳۰٪ بهبود یافته و تعداد



شکل ۱۱: نتایج شبیه‌سازی فلیپ‌فلاپ‌های پیشنهادی.

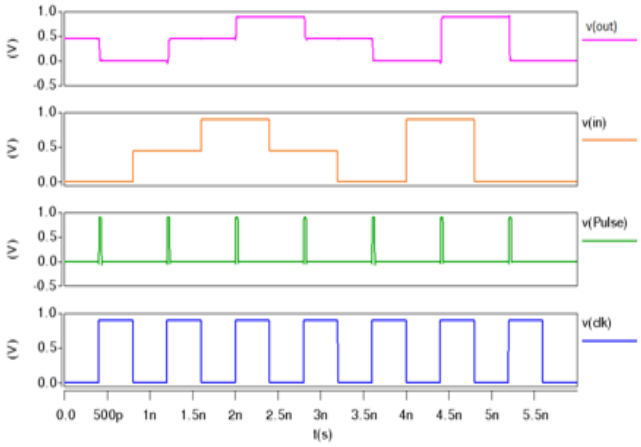


شکل ۱۲: نتایج حاشیه فاز در (الف) مدارات با STI، (ب) مدارات باینری و (ج) مدارات پیشنهادی در سه‌سطحی.

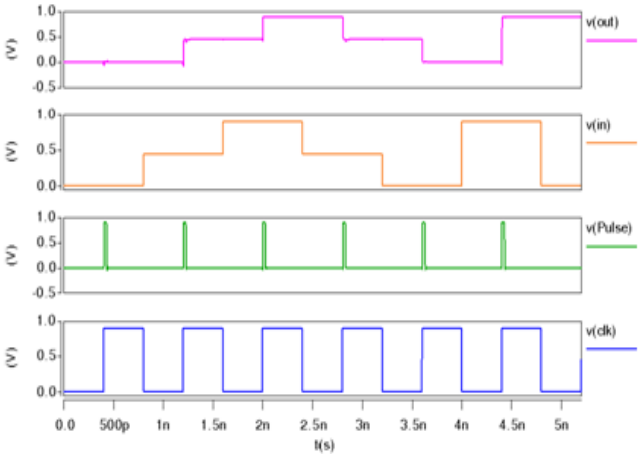
جدول ۲: نتایج فلیپ‌فلاپ‌های پالس ژنراتور، دیکد به باینری و لچ بافر.

Circuits	No. of transistor	Structure	PDP ($۱۰^{-۱۸}$)	Average power (uW)	Delay (ps)
STI-Based D.F.F.F	۳۴	Master-slave	۳۷٫۵	۱٫۵۳	۲۴٫۵
STI-Based PG.F.F.F	۲۴	۱ latch	۱۷٫۵	۱	۱۷٫۵
SP-Based D.F.F.F	۴۲	Master-slave	۱۰	۰٫۵۴۲	۲۴
SP-Based PG.F.F.F	۲۸	۱ latch	۷٫۶۵	۰٫۵۶	۱۸
Buffer-Based D.F.F.F	۲۶	Master-slave	۱۸٫۱	۰٫۶۳۲	۲۸٫۷۷
Buffer-Based PG.F.F.F	۲۱	۱ latch	۸٫۴۷	۰٫۵۳۳	۱۵٫۹
Decode to binary D.F.F.F	۴۴	Master-slave	۱۴	۰٫۸۷۵	۱۶
[۲۲] FF	۱۶	Master-slave	۳۵	۰٫۶	۲۱
[۲۳] FF	۳۰	Master-slave	۲۳٫۵۲	۱٫۱۲	۲۱
[۲۴] FF	۴۸	Mater-slave	۵٫۴۱	۰٫۱	۵۴٫۱
[۲۵] FF	۷۰	Master-slave	۶۳٫۳۶	۰٫۸	۷۹٫۲

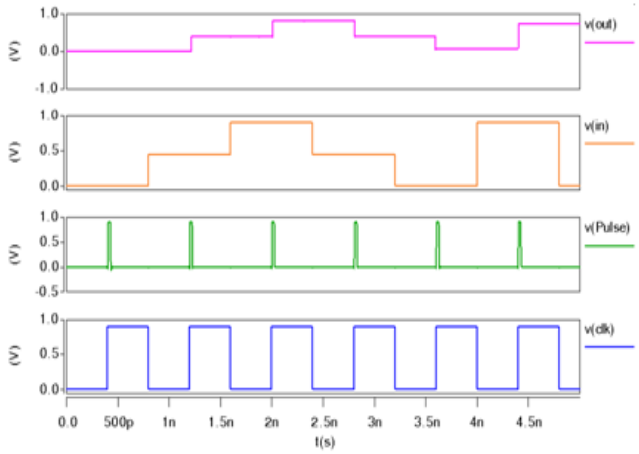
ترانزیستورها با توجه به ساختارهای استفاده‌شده که شامل ۱۲ ترانزیستور در NAND و STI می‌باشد. تعداد ترانزیستورها از ۳۴ به ۲۴ کاهش یافته است. همچنین فلیپ‌فلاپ پالس ژنراتور با استفاده از بافر با تعداد ترانزیستور ۶ نسبت به فلیپ‌فلاپ مستراسلیو نوع خود ٪۵۳ و در تأخیر آن ٪۴۵ بهبود داشته است. PDP در فلیپ‌فلاپ پالس ژنراتور با استفاده از لچ SP-D، ٪۲۲ نسبت به مستراسلیو نوع خود و تأخیر آن ٪۲۵ بهبود داشته است. همچنین تعداد ترانزیستور با توجه به تعداد ترانزیستور ساختار NAND از ۴۲ به ۲۸ ترانزیستور کاهش یافته است. مدارات پیشنهادی با پالس ژنراتور در مقایسه با کارهای گذشته دارای ٪۲۵، ٪۲۳ و ٪۶۲ در PDP نسبت به [۲۵]، [۲۲] و [۲۳] به ترتیب بهبود داشته و در مقایسه با [۲۴] ٪۵۲ در تأخیر بهبود داشته است. همچنین جدول ۳ مقایسه بین فلیپ‌فلاپ‌ها را از لحاظ تعداد ترانزیستور، حاشیه نویز و PDP مورد ارزیابی قرار داده که فلیپ‌فلاپ پالس ژنراتور با استفاده از بافر و فلیپ‌فلاپ پالس ژنراتور با استفاده از لچ SP دارای بهترین شرایط از لحاظ



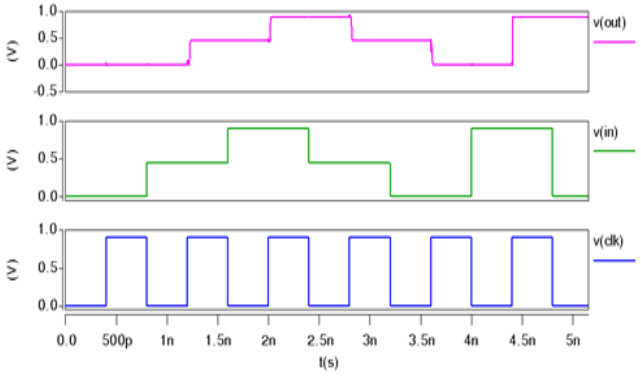
(الف)



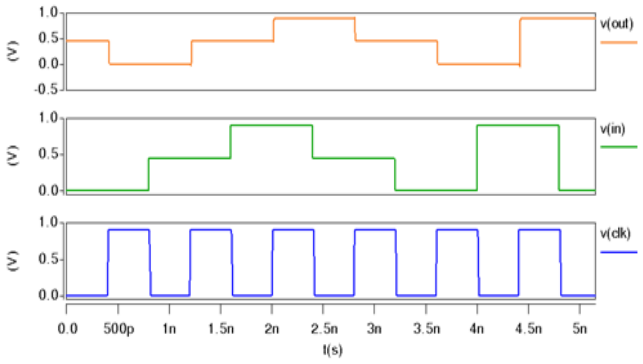
(ب)



(ج)



(د)



(ه)

شکل ۱۳: نتایج شبیه‌سازی فلیپ‌فلاپ‌های پیشنهادی، (الف) پالس ژنراتور با STI، (ب) پالس ژنراتور با لچ SP-D، (ج) پالس ژنراتور با لچ بافر، (د) مستراسلیو با لچ بافر و (ه) دیکد به باینری.

جدول ۳: مقایسه بین فلیپ‌فلاپ‌های پیشنهادی.

Description	حاشیه نویز	PDP	تعداد ترانزیستور
STI-Based PFF	کمترین	متوسط	کم
SP-Based PFF	بالا	کمترین	کم
Decode Binary	بالاترین	متوسط	بیشترین
STI-Based FF	کمترین	بیشترین	متوسط
SP-Based FF	بالا	کم	بالا
Buffer-Based PFF	بالا	کم	کمترین
Buffer-Based DFF	بالا	متوسط	کم

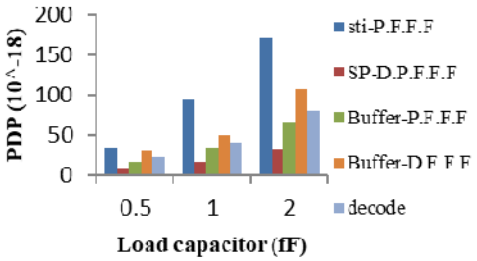
جدول ۴: حاشیه نویز.

Design	SNM (V)
STI [۳]	۰٫۱۸
BUFFER	۰٫۲۱
SP-D [۵]	۰٫۲۱
Binary Latch	۰٫۴۴

حاشیه نویز، PDP و تعداد ترانزیستور هستند و تنها فلیپ‌فلاپ مستراسلیو SP-D است که به‌راحتی قابل تبدیل به شمارنده می‌باشد.

حاشیه نویز از دیگر مشخصات مهم در طراحی مدارات چندسطحی می‌باشد. بدیهی است که در مدارات چندسطحی برخلاف باینری، سطوح منطقی به هم نزدیک‌تر هستند و به همین دلیل، حاشیه نویز کاهش می‌یابد و این مسئله را می‌توان به‌عنوان یکی از معایب مهم مدارات چندسطحی دانست. برای یک معکوس‌کننده دوسطحی، ماکسیمم نویز مارجین $VDD/۲$ در حالت ایده‌آل است که این مقدار در سه‌سطحی با توجه به اینکه ۴ تغییر حالت از $NM_۰$ $(۰\rightarrow۱)$، $NM_۱^-$ $(۱\rightarrow۰)$، $NM_۱^+$ $(۱\rightarrow۲)$ و $NM_۲^-$ $(۲\rightarrow۱)$ وجود دارد برابر $VDD/۴$ می‌شود که در جدول ۴ حاشیه نویز و نحوه محاسبه با استفاده از نمودار پروانه‌ای [۲۰] و [۲۱] گزارش گردیده که کوچک‌ترین مربع به عنوان حاشیه نویز در نظر گرفته شده است. برای به‌دست‌آوردن حاشیه نویز، لچ طراحی‌شده در [۵] امکان استفاده از روش پروانه‌ای نیست و با اعمال منبع ولتاژ به لچ، مقدار حاشیه نویز، محاسبه و در جدول ۴ گزارش شده است.

شکل موج خروجی مدار فلیپ‌فلاپ‌های پالس ژنراتور پیشنهادی در شکل ۱۳ آمده که عملکرد صحیح مدار در گذار از حالات مختلف را نشان می‌دهد. همان طور که مشخص است خروجی پالس برای مدت زمان کمی به‌دلیل وجود خازن، تأخیر در تولید "۰" دارد که همان مدت زمان،



شکل ۱۴: فلیپ‌فلاپ‌ها تحت بار خازنی مختلف.

جدول ۵: مقایسه بین فلیپ‌فلاپ‌های پیشنهادی.

Description	حاشیه نویز	PDP	تعداد ترانزیستور
STI-Based PFF	کمترین	متوسط	کم
SP-Based PFF	بالا	کمترین	کم
Decode Binary	بالاترین	متوسط	بیشترین
STI-Based FF	کمترین	بیشترین	متوسط
SP-Based FF	بالا	کم	بالا
Buffer-Based PFF	بالا	کم	کمترین
Buffer-Based DFF	بالا	متوسط	کم

جدول ۶: نتایج شبیه‌سازی فلیپ‌فلاپ‌ها تحت بار خازنی.

Capacitor (fF)	STI Based PG.F.F.F	SP Based PG.F.F.F	Buffer Based PG.F.F.F	Decode to binary	Buffer Based D.F.F.F
			Delay (ps)		
۰/۵	۳۰	۲۰	۱۸	۲۲/۵	۴۵/۴
۱	۴۷	۳۲/۵	۲۷	۳۶	۶۲
۲	۶۱/۵	۴۵/۵	۳۸	۵۴/۵	۹۰
			Power (uW)		
۰/۵	۱/۱۲	۰/۴۷۵	۰/۶۵	۱	۰/۶۵
۱	۲	۰/۵۲۲	۰/۸۳	۱/۱۲	۰/۸
۲	۲/۷	۰/۷	۱	۱/۴۶	۱/۲
			PDP ($۱۰^{-۱۸}$)		
۰/۵	۳۳/۶	۹/۵	۱۱/۷	۲۲/۵	۲۹/۵
۱	۹۴	۱۷	۲۲/۴۱	۴۰/۳۲	۴۹/۶
۲	۱۷۲/۲	۳۱/۸۵	۳۸	۷/۵۷	۱۰۸

عرض پالس مورد نیاز برای اینکه ساختار به‌صورت فلیپ‌فلاپ مستراسلیو حساس به لبه عمل کند، تولید می‌کند و ورودی به خروجی منتقل می‌شود. همچنین شکل ۱۳ شامل عملکرد فلیپ‌فلاپ با لچ بافر مستراسلیو و فلیپ‌فلاپ دیکد به باینری نیز می‌باشد. تأخیر در بدترین حالت و متوسط توان مصرفی و PDP در شرایط یکسان و تعداد ترانزیستورهای مورد استفاده در جدول ۲ گزارش شده است. همان طور که مشاهده می‌شود، PDP فلیپ‌فلاپ پالس ژنراتور با استفاده از STI نسبت به نوع مستراسلیو خود ٪۵۳ و همچنین تأخیر آن ٪۳۰ بهبود دارد و تعداد ترانزیستور از ۳۴ به ۲۴ کاهش یافته است. همچنین فلیپ‌فلاپ پالس ژنراتور با استفاده از بافر نسبت به فلیپ‌فلاپ مستراسلیو نوع خود، ٪۵۳ و تأخیر آن ٪۴۵ بهبود داشته است. PDP در فلیپ‌فلاپ پالس ژنراتور با استفاده از لچ SP-D، ٪۲۲ نسبت به مستراسلیو نوع خود و تأخیر آن ٪۲۵ بهبود داشته و همچنین تعداد ترانزیستور از ۴۲ به ۲۸ ترانزیستور کاهش یافته است. همچنین جدول ۵ مقایسه بین فلیپ‌فلاپ‌ها را از لحاظ تعداد ترانزیستور، حاشیه نویز و PDP مورد ارزیابی قرار داده که فلیپ‌فلاپ پالس ژنراتور با استفاده از بافر و فلیپ‌فلاپ پالس ژنراتور با استفاده از لچ SP دارای بهترین شرایط از لحاظ حاشیه نویز، PDP و تعداد ترانزیستور هستند و تنها فلیپ‌فلاپ مستراسلیو SP-D است که به‌راحتی قابل تبدیل به شمارنده می‌باشد. مدارات فلیپ‌فلاپ پیشنهادی در رنج مختلفی از خازن بار شبیه‌سازی شده که تأخیر، توان مصرفی و PDP آن در جدول ۶ آمده و در شکل ۱۴ نمایش داده شده که نشان‌دهنده عملکرد صحیح تحت بار خازنی مختلف هستند. همچنین در رنج دمای مختلف نیز شبیه‌سازی شده و نتایج آن در شکل ۱۵ و جدول ۷ آمده که نشان‌دهنده ثبات عملکرد فلیپ‌فلاپ‌های پیشنهادی در تغییر دماست. با توجه به نتایج به‌دست‌آمده در جدول و مقایسه بین فلیپ‌فلاپ‌های پالس ژنراتور تحت بار خازن ۱fF، بهترین PDP مربوط به فلیپ‌فلاپ پالس ژنراتور با SP-D است که به‌ترتیب در مقایسه با فلیپ‌فلاپ پالس ژنراتور STI، مستراسلیو بافر، پالس ژنراتور بافر و دیکد به باینری، ٪۸۱، ٪۵۰، ٪۲۵ و ٪۵۷ بهبود دارد. در جداول ۸ و ۹ مقایسه بین شمارنده‌های پیشنهادی آمده است.

از مهم‌ترین چالش‌ها در قطعات با مقیاس نانو، حساسیت نسبت به تلورانس ساخت می‌باشد که می‌تواند تأثیر منفی روی مدارات بگذارد. به‌طور تجربی ثابت شده که تغییرات در CNT، تغییر در قطر نانولوله و تغییر در فاصله بین نانولوله‌ها (pitch) است [۲۱]. مدارات پیشنهادی شامل ساکسسور، پروسسور، بافر، فلیپ‌فلاپ پیشنهادی و شمارنده‌های آسنکرون در یک بیت در تلورانس مختلف ساخت بررسی شده‌اند. برای محاسبه تلورانس ساخت، تغییرات قطر و pitch در CNTFET در نظر گرفته شده و اختلاف بیشترین و کمترین PDP در هر مرحله محاسبه گردیده است. شبیه‌سازی‌ها با استفاده از آنالیز مونت‌کارلو تا ±۱۵% توزیع گوسین $\sigma \pm ۳$ انجام شده و در شکل ۱۶ آمده که نشان می‌دهند مدارات پیشنهادی نسبت به تلورانس ساخت، عملکرد درستی دارند. همچنین تمام فلیپ‌فلاپ‌های پالس ژنراتور ارائه‌شده تحت تلورانس ساخت بر اساس آنچه گفته شد مورد بررسی قرار گرفتند. تجزیه و تحلیل مونت‌کارلو نیز با ۲ تا ۱۰± تغییر توزیع گوسی در سطح $\sigma \pm ۳$ انجام شد. همان طور که در شکل ۱۷ آمده است، کلیه طرح‌های پیشنهادی از نظر تغییرات فرایند ساخت دارای پایداری مناسبی هستند.

۵- نتیجه‌گیری

مدارات سه‌سطحی به‌عنوان پایگاهی کارآمد و اقتصادی در سیستم‌های

جدول ۷: نتایج شبیه‌سازی فلیپ‌فلاپ‌ها تحت دماهای مختلف.

Temperatue (°C)	STI Based PG.F.F.F	SP Based PG.F.F.F	Buffer Based PG.F.F.F	Decode to binary	Buffer Based D.F.F.F
			Delay (ps)		
۰	۱۷٫۸	۱۸٫۲	۱۶	۱۶٫۲	۸٫۸
۱۰	۱۷٫۵	۱۸	۱۵٫۹	۱۶٫۱	۲۸٫۵
۳۰	۱۷٫۳	۱۸	۱۵٫۹	۱۶	۲۸٫۳
۵۰	۱۷٫۲	۱۷٫۹۸	۱۵٫۸۷	۱۵٫۹۵	۲۸٫۳۵
۷۰	۱۷	۱۷٫۹۵	۱۵٫۹	۱۵٫۹۸	۲۸٫۳۲
			Power (uW)		
۰	۰٫۹۸	۰٫۵۳۲	۰٫۵۱	۰٫۸۳	۰٫۶۲
۱۰	۱	۰٫۵۶	۰٫۵۳	۰٫۸۷	۰٫۶۳۳
۳۰	۱٫۱۲	۰٫۶۲	۰٫۵۶	۰٫۹۱	۰٫۶۵
۵۰	۱٫۱۵	۰٫۶۵	۰٫۵۸	۰٫۹۵	۰٫۶۷۵
۷۰	۱٫۲	۰٫۶۷۵	۰٫۶	۰٫۹۸	۰٫۶۸۵
			PDP ($۱۰^{-۱۸}$)		
۰	۱۷٫۵۸	۹٫۶۸	۸٫۱۶	۱۳٫۴۴	۱۷٫۸۵
۱۰	۱۷٫۵	۱۰٫۰۸	۸٫۴۲	۱۴	۱۷٫۰۴
۳۰	۱۹٫۳۷	۱۱٫۱۶	۸٫۹	۱۴٫۵۶	۱۹٫۱
۵۰	۱۹٫۵۵	۱۱٫۶۸	۹٫۲	۱۵٫۱۵	۱۹٫۱۳
۷۰	۲۰٫۵	۱۲٫۱۱	۹٫۵۴	۱۵٫۶۶	۱۹٫۴

جدول ۸: مقایسه نتایج شبیه‌سازی شمارنده‌ها با استفاده از فلیپ‌فلاپ‌های پالس ژنراتور پیشنهادی.

Counter	Delay (ps)	Average power (uW)	PDP ($۱۰^{-۱۸}$)	No. of transistors
STI-Based PG.F.F.F	۱٫۸	۲٫۴	۵۲٫۳۲	۳۲
SP-Based PG.F.F.F	۱۸٫۲	۱٫۲	۲۱٫۸۴	۳۶
Decode to Binary D.F.F.F	۱۸	۱٫۱	۱۸٫۱۸	۵۸
Buffer Based PG.F.F.F	۲۶	۰٫۸۳	۲۱٫۵۸	۳۰
Buffer Based D.F.F.F	۲۹٫۲	۰٫۹	۲۶٫۲۸	۳۸
STI-Based D.F.F.F	۲۵	۱٫۶۴	۴۱٫۲۵	۴۲
SP-Based D.F.F.F	۲۵	۰٫۴	۱۰	۲۲

جدول ۹: مقایسه شمارنده‌ها.

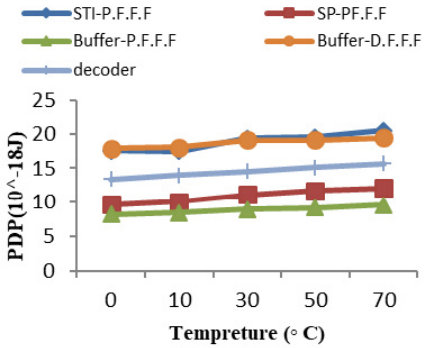
شمارنده‌های سه‌سطحی	حاشیه نویز	حاصل‌ضرب توان در تأخیر (PDP)	تعداد ترانزیستور
STI-Based PFF	کمترین	بیشترین	کم
SP-Based PFF	بالا	کم	کم
Decode to Binary	بالاترین	کم	بیشترین
D.F.F.F	کمترین	زیاد	متوسط
SP-D.F.F.F	بالا	کمترین	کمترین
Buffer-Based PFF	بالا	کم	کم
Buffer-Based F.F.F	بالا	کم	متوسط

محاسباتی، توجه محققان را طی دهه گذشته جلب کرده‌اند. با پیشرفت فناوری‌های نوظهور، تحقق ساختارهای محاسباتی سه‌سطحی بیش از هر زمان دیگری ممکن بوده و تحقیقات قابل توجهی در مورد این موضوعات در سال‌های اخیر صورت گرفته است. در این مقاله، ابتدا فلیپ‌فلاپ‌هایی مبتنی بر پالس ژنراتور، ارائه و با مستراسلیو مقایسه شد و نوعی دیگر از فلیپ‌فلاپ دیکد باینری به سه‌سطحی ارائه گردید. سپس با استفاده از همین مدارات و طبق شمارنده‌ها طراحی و با هم مقایسه شد. نتایج شبیه‌سازی با نرم‌افزار HSPICE کتابخانه ۳۲ نانومتر دانشگاه استنفورد نشان‌دهنده عملکرد صحیح مدارات است. ساختار تک لچ دارای تعداد ترانزیستور و اتصالات کمتر نسبت به ساختار مستراسلیو می‌باشد؛ اما ساختار مستراسلیو، توان مصرفی بهتری دارد. مدارات طراحی‌شده در این مقاله، قابل استفاده در بسیاری از مدارات دیجیتال هستند و انتظار می‌رود که مدارهای طراحی‌شده در بسیاری از کاربردهای منطق سه‌سطحی نانوتکنولوژی در آینده مورد استفاده قرار گیرند.

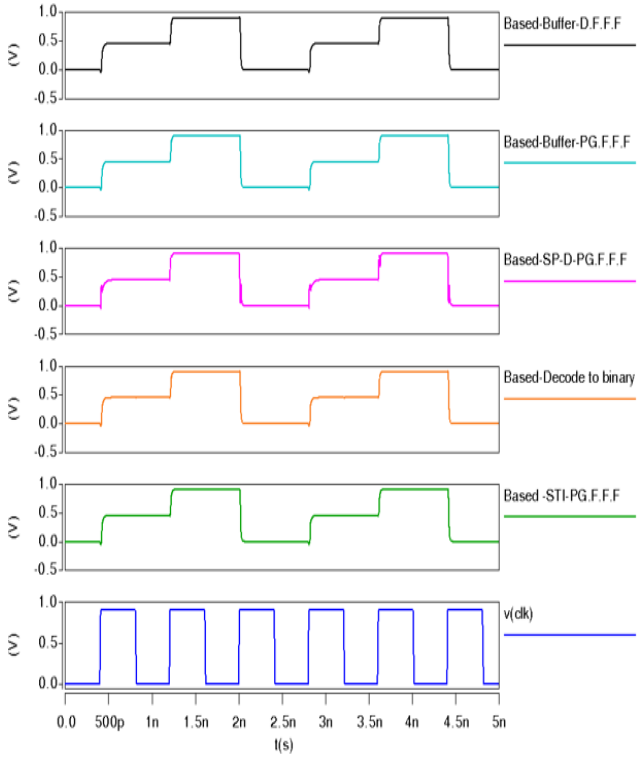
مراجع

[1] M. Mukaidono, "Regular ternary logic functions ternary logic functions suitable for treating ambiguity," *IEEE Trans. Computers*, vol. 35, no. 2, pp. 179-183, Feb. 1986.

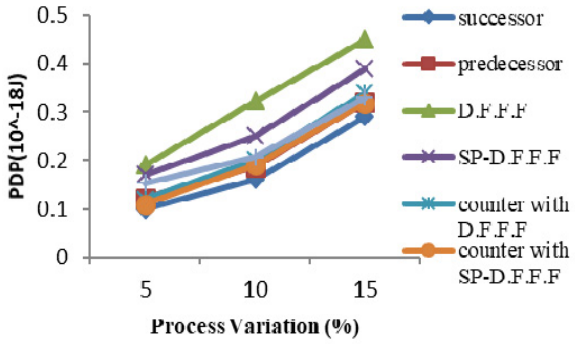
[2] A. Heung and H. T. Mouftah, "Depletion/enhancement CMOS for a lower power family of three-valued logic circuits," *IEEE J. Solid-State Circuits*, vol. 20, no. 2, pp. 609-616, Apr. 1985.



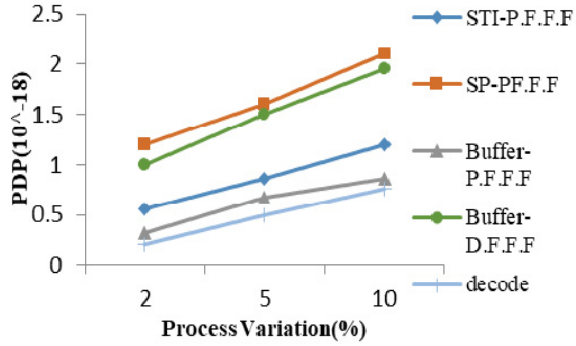
شکل ۱۵: نتایج شبیه‌سازی فلیپ‌فلاپ‌ها تحت دمای مختلف.



شکل ۱۶: نتایج شمارنده‌ها با فلیپ‌فلاپ‌های پالس ژنراتور، دیکد به باینری و مستراسلیو با لچ بافر تک‌بیتی.



(الف)



(ب)

شکل ۱۷: نمودار نتایج شبیه‌سازی طرح‌های پیشنهادی تحت تلورانس ساخت.

[3] M. H. Moaiyeri, Z. M. Taheri, M. Rezaei Khezeli, and A. Jalali, "Efficient passive shielding of MWCNT interconnects to reduce crosstalk effects in multiple-valued logic circuits," *IEEE Trans. Electromagn. Compat.*, vol. 61, no. 5, pp. 1593-1601, Oct. 2019.

[4] M. Rezaei Khezeli, M. H. Moaiyeri, and A. Jalali, "Comparative analysis of simultaneous switching noise effects in MWCNT bundle and Cu power interconnects in CNTFET-based ternary circuits," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 27, no. 1, pp. 37-46, Jan. 2019.

[5] K. Rahbari and S. A. Hosseini, "Novel ternary D-flip-flap-flop and counter based on successor and predecessor in nanotechnology," *AEU Int. J. Electron. Commun.*, vol. 109, pp. 107-120, Sept. 2019.

[6] K. Rahbari and S. A. Hosseini, "Design of ternary logic gates and buffer based memory cell in nanoelectronics," *International J. of Electronics*, vol. 109, no. 11, pp. 1973-1995, 2022.

[7] A. Akturk, G. Pennington, N. Goldsman, and A. Wickenden, "Electron transport and velocity oscillations in a carbon nanotube," *IEEE Trans. Nanotechnical*, vol. 6, no. 4, pp. 469-474, Jul. 2007.

[8] A. Raychowdhury and K. Roy, "Carbon nanotube electronics: design of high-performance and low-power digital circuits," *IEEE Trans. on Circuits Syst. I, Reg. Papers*, vol. 54, no. 11, pp. 2391-2401, Nov. 2007.

[9] M. Moonesan, R. F. Mirzaee, M. S. Daliri, and K. Navi, "Robust fuzzy SRAM for accurate and ultra-low-power MVL and fuzzy logic applications," *Electronics Letters*, vol. 52, no. 25, pp. 2032-2034, Dec. 2016.

[10] Stanford Nanoelectronics Lab, *VS-CNFET Model: Stanford University Virtual Source CNFET Model* [Online]. (2008) Available: https://nano.stanford.edu/downloads/vs-cnfet-model.

[11] J. Shaikh and F. Rahman, "High speed and low power preset-able modified TSPC D flip-flop design and performance comparison with TSPC D flip-flop," in *Proc. Int. Symp. on Devices, Circuits and Systems*, 4 pp., Howrah, India, 29-31 Mar. 2018.

[12] J. Deng, *et al.*, "Carbon nanotube transistor circuits: circuit-level performance benchmarking and design options for living with imperfections," in *Proc. Int. Solid State Circuits Conf.*, pp. 70-588, Howrah, India, San Francisco, CA, USA, 11-15 Feb. 2007.

[13] M. Aguirre-Hernandez and M. Linares-Aranda, "A clock-gated pulse-triggered D flip-flop for low-power high-performance VLSI synchronous systems," in *Proc. Int. Caribbean Conf. on Devices, Circuits and Systems*, pp. 293-297, Playa del Carmen, Mexico, 26-28 Apr. 2006.

[14] M. H. Moaiyeri, A. Doostaregan, and K. Navi, "Design of energy-efficient and robust ternary circuits for nanotechnology," *IET Circuits, Devices, Syst*, vol. 5, no. 4, pp. 285-296, Jul. 2011.

[15] E. Shahrom, S.A Hosseini, "A new low power multiplexer based ternary multiplier using CNTFETs," *AEU International Journal of Electronics and Communications*, vol.15, no. 4, pp. 191-207,2018.

[16] S. Tabrizchi and K. Navi, "Novel CNTFET ternary circuit technoloques for high-performance and rnergy-efficient design," *IET Circuits*, vol. 13, no. 2, pp. 193-202, Mar. 2019.

[17] M. Takbiri and K. Navi, "Analysis review of noise margin in MVL: clarification of a deceptive matter," *Circuits and System*, vol. 38, pp. 4280-4301, 2019.

[18] M. Ghelichkhan, S. A. Hosseini, and S. H. Pishgar Komleh, "Multi-digit binaryto-quaternary and quaternary-to-binary converters and their applications in nanoelectronics," *Circuits Syst. Signal Process.*, vol. 39, pp. 1920-1942, 2020.

[19] S. Kim and T. Lim, "An optimal gate design for the synthesis of ternary logic circuits," in *Proc. 23rd Asia and South Pacific Design Automation Conf., ASP-DAC'18*, pp. 476-481, Jeju, South Korea, 22-25 Jan. 2018.

[20] M. Shahangian, S. A. Hosseini, S. H. Pishgarkomleh, "Design of a multi-digit binary to ternary convert based on CNTFETs," *Circuits and systems and Signal Processing*, vol. 38, pp. 2544-2563, 2019.

[21] S. A. Hosseini, S. Etezadi, "A novel very low-complexity multi-valued logic comparator in nanoelectronics," *Circuits and systems and Signal Processing*, vol. 38, pp. 4056-4078, 2019.

[22] M. H. Moayeri and M. K. Q. Jooq, "Breaking the limits in ternary logic: an ultra efficient auto backup/restore nonvolatile ternary flip-flop using negative capacitance CNTFET technology," *IEEE Access*, vol. 9, pp. 132641-132651, 2021.

[23] A. A. Javadi, M. Morsali, and H. M. Moayeri, "Magnetic nonvolatile flip-flops with spin-hall assistance for power gating in ternary systems," *J. of Computational Electronics*, vol. 19, no. 3, pp. 175-1186, Sept. 2020.

[24] T. Sharma and L. Kumre, "Design of unbalanced ternary counters using shifting literals based D-Flip-Flops in carbon nanotube technology," *Elsevier, Computer and Electronic J.*, vol. 93, Article ID: 107249, Jul. 2021.

[25] R. Faghih Mirzaee and N. Farahani, "Design of a ternary edge-triggered D flip-flap-flop for multiple-valued sequential logic," *J. of Low Power Electronics*, vol. 13, no. 1, pp. 36-46, Mar. 2017.

کتایون رهبری تحصیلات خود را در مقاطع کارشناسی ، کارشناسی ارشد و دکتری برق الکترونیک به‌ترتیب در سال‌های ۱۳۸۹، ۱۳۹۲ و ۱۳۹۹ از دانشگاه آزاداسلامی قزوین در مقاطع کارشناسی و کارشناسی ارشد و در مقطع دکتری از دانشگاه آزاد اسلامی یادگار امام خمینی(ره) به پایان رسانده است و هم‌اکنون مدرس دانشکده مهندسی برق و کامپیوتر دانشگاه غیاث‌الدین جمشید کاشانی و موسسات غیرانتفاعی از سال ۱۳۹۱ می‌باشد. نام‌برده همچنین در سال‌های ۱۳۹۴ الی ۱۴۰۲ در سمت مدیر گروه دپارتمان برق و کامپیوتر موسسه غیراتفاعی اوج فعال بوده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدارات مجتمع، مدارات دیجیتال، منطق چند سطحی و ترانزیستور نانوکربنی .

سید علی حسینی تحصیلات خود را در مقاطع کارشناسی ارشد و دکتری برق الکترونیک به‌ترتیب در سال‌های ۱۳۸۱ و ۱۳۸۸ به پایان رسانده است و هم‌اکنون عضو هیأت علمی در سمت استادیار دانشکده مهندسی برق و کامپیوتر دانشگاه ازاد اسلامی یادگار امام خمینی(ره) از سال ۱۳۸۲ می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدارات مجتمع، مدارات دیجیتال، منطق چند سطحی، ترانزیستور نانوکربنی و پردازش تصویر.