مقاله پژوهشی

تحلیل زمان قفل حلقه قفل فاز پمپ بار با در نظر گرفتن اثر غیر ایده‌آل

هادی ده‌بوید، حبیب‌الله آدرنگ و حمیدرضا ربیعی

چکیده: حلقه‌های قفل فاز (PLL) به طور گسترده در سیستم‌های مخابراتی مورد استفاده قرار می‌گیرند و از مهم‌ترین ویژگی‌های آنها می‌توان به مشخصات فرکانسی و زمان نشست اشاره نمود. در حلقه‌های قفل فاز، عوامل غیر خطی متعددی را می‌توان در نظر گرفت که یکی از آنها رفتار غیر خطی آشکارساز فاز می‌باشد. در واقع، حلقه‌های قفل فاز پمپ بار (CPPLL) به دلیل رفتار غیر خطی ایجادشده توسط پمپ بار، سیستم‌هایی غیر خطی‌اند. در یک پمپ بار ایده‌آل، جریان اعمالی ثابت است اما در عمل به علت اثرات غیر ایده‌آل ترانزیستور، ثابت نیست. در این مقاله با در نظر گرفتن اثر مدولاسیون طول کانال که ناشی از ولتاژ درین- سورس ترانزیستور ماسفت می‌باشد، مدل دقیق‌تری برای آشکارساز فاز در نظر گرفته شده است. با بررسی معادله دیفرانسیل غیر خطی حاکم بر سیستم و استفاده از تقریب پاسخ پله جهت تحلیل زمان گذرا، معادلات جدیدی برای زمان نشست و میزان بالازدگی به دست می‌آید. جهت بررسی اعتبار معادلات غیر خطی تعیین‌شده، شبیه‌سازی در سیمولینک متلب انجام شده است. همچنین برای ارزیابی بهتر روش پیشنهادی، عملکرد یک PLL که تحت تأثیر ولتاژ درین- سورس ترانزیستور است مورد شبیه‌سازی قرار گرفته و اثر پارامترهای مختلف حلقه از جمله مقاومت و جریان حلقه نیز بررسی شده است. نتایج نهایی، تطبیق مناسب بین روابط تحلیلی و نتایج شبیه‌سازی را نشان می‌دهد.

کلیدواژه: **حلقه قفل فاز (PLL)، جریان پمپ بار (I_p)، آشکارساز فاز (PD)، اثر مدولاسیون طول کانال (λ)، زمان نشست (T_S).**

۱- مقدمه

حلقه‌های قفل فاز (PLL)، بلوک‌های ساختاری آنالوگی هستند که در بسیاری از سیستم‌های آنالوگ و دیجیتال به تعداد زیاد مورد استفاده قرار می‌گیرند. آنها به طور گسترده‌ای جهت تولید کلاک در سیستم‌های آنالوگ و دیجیتال همچون ریزپردازنده‌ها، گیرنده‌های بی‌سیم و در انتهای سیستم گیرنده جهت بازیابی داده استفاده می‌شوند.

PLLها مانند هر سیستم الکترونیکی و مخابراتی دیگر، دارای پارامترها و معیارهایی هستند که بر اساس آنها ارزیابی می‌شوند. از مهم‌ترین مشخصات PLLها، می‌توان به مشخصات فرکانسی و سرعت نشست یا زمان قفل اشاره نمود. مشخصات فرکانسی نیز همچون حاشیه فاز مناسب و پهنای باند مطلوب است. مثلاً یک حلقه با پهنای باند بزرگ‌تر منجر به قفل سریع‌تر حلقه می‌شود [۱]. اهمیت سرعت بالای قفل، همچنین در جنگ‌افزارهای الکترونیکی به خوبی قابل درک می‌باشد. استفاده از پرش فرکانسی [۲] با پرش سریع، یک رکن اساسی در سیستم‌های طیف گسترده پرش فرکانسی (FHSS) است که در سیستم‌های نظامی برای حفظ امنیت داده‌ها و جلوگیری از تداخل استفاده می‌شود.

زمان صرف‌شده توسط PLL برای رسیدن به حالت قفل، زمان باارزشی است که در آن زمان، امکان دریافت یا ارسال داده وجود ندارد. این امر، نرخ دریافت مؤثر داده را کاهش می‌دهد و هرچه زمان قفل کمتر باشد، نرخ مؤثر دریافت داده بیشتر خواهد بود و به عبارتی نرخ خطای داده (BER) کمتر است. امروزه به PLLهایی نیاز می‌باشد که بتوانند عمل پرش فرکانسی را متناسب با نیازمندی‌های زمانی پروتکل‌های متفاوت که روزبه‌روز بر سرعت عملکردی آنها نیز افزوده می‌شود انجام دهند.

در گیرنده (باند پایه)، دو PLL مجزا به صورت موازی برای کاهش زمان‌های محافظ استفاده می‌شوند. در حالی که PLL اول، عمل اسیلاتور محلی فرستنده را انجام می‌دهد، PLL دوم در حال حرکت به کانال تخصیص داده شده بعدی است. در این حالت برای مثال در GSM، یک زمان نشست فوق‌العاده سریع می‌تواند هزینه‌های مربوط و پیچیدگی‌های طراحی را تا حد زیادی کاهش دهد. بدیهی است که در تکنولوژی‌های با فرکانس بالاتر، زمان نشست سریع‌تری طلب می‌گردد.

در حالت کلی، یکی از ضرورت‌های تحلیل حلقه قفل فاز، تحلیل گذرا است که شامل بررسی پاسخ پله فاز جهت به دست آوردن مشخصات زمان گذرا به خصوص زمان قفل می‌باشد. آنچه سبب ایجاد چالش در این تحلیل می‌شود، وجود عوامل غیر ایده‌آل و غیر خطی است که ناشی از رفتار غیر خطی ترانزیستورها می‌باشد. یکی از بخش‌های مهم و به شدت تأثیرگذار بر رفتار PLL، آشکارساز فاز است که در بسیاری از تحلیل‌های انجام‌شده، رفتار آن خطی در نظر گرفته شده است. بنابراین نیاز به تحلیل جدیدی می‌باشد تا عملکرد غیر خطی آن مورد بررسی قرار گیرد.

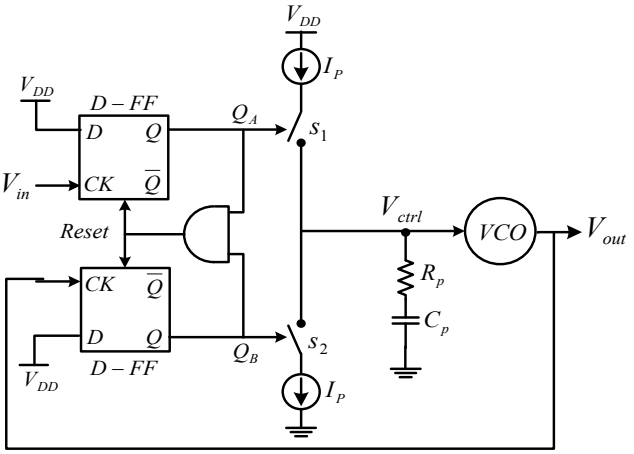
تلاش‌های زیادی جهت تحلیل عوامل غیر ایده‌آل در حلقه‌های قفل فاز انجام شده است، اما مهم‌ترین آنها [۳] تا [۹] می‌باشند که هر یک به نحوی به تحلیل حلقه قفل فاز پرداخته‌اند. دو مرجع مهم و اصلی [۳] و [۴] در این زمینه، یک تحلیل مناسب برای PLL مرتبه دوم در حوزه فرکانس ارائه می‌دهند. همچنین مقالاتی هستند که بر روی مدار آشکارساز فاز کار می‌کنند و تلاش می‌کنند تا آن را به حالت ایده‌آل نزدیک نمایند [۱۰] و [۱۱]. در [۱۲] به بررسی اثرات غیر خطی همچون ناحیه مرده در آشکارساز فاز پرداخته می‌شود و رفتار VCO نیز غیر خطی در نظر گرفته شده است. همچنین مقالاتی نیز هستند که به ارائه آشکارسازهایی با ساختار جدید می‌پردازند که دارای توان و سطح مصرفی کمتری هستند

این مقاله در تاریخ ۱۶ آبان ماه ۱۴۰۰ دریافت و در تاریخ ۱۷ اردیبهشت ۱۴۰۱ بازنگری شد.

هادی ده‌بوید (نویسنده مسئول)، دانشکده مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: hadi.dehbovid@gmail.com).

حبیب‌الله آدرنگ، دانشکده مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: habibadrang@gmail.com).

حمیدرضا ربیعی، دانشکده مکاترونیک، گروه مهندسی برق، واحد کرج، دانشگاه آزاد اسلامی، البرز، ایران، (email: hr.rabiee@iau.ac.ir).



شکل ۱: ساختار CPPLL مرسوم.

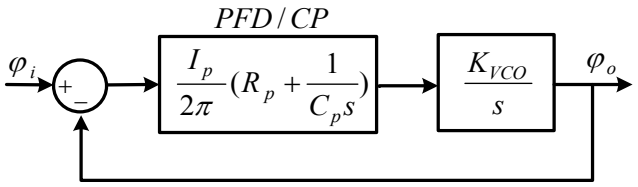
[۱۳]. در [۱۴] به تحلیل آشکارساز فاز کمکی بنگ بنگ پرداخته می‌شود که به علت داشتن بهره بالا، سرعت قفل را بهبود می‌بخشد.

پژوهش‌هایی نیز هستند که به تحلیل گذرا و محاسبه زمان قفل به ازای پله فاز و فرکانس می‌پردازند [۳] تا [۵]. برخی از این پژوهش‌ها تلاش می‌کنند با تکنیک مداری زمان قفل را کاهش دهند [۱۵]. مرجع [۷] جهت کاهش زمان قفل از مدار کنترل بهره در فیدبک استفاده نموده که بهره حلقه باز را افزایش می‌دهد تا زمان قفل کاهش یابد و در حالت پایدار (قفل‌شدن حلقه) بهره را کاهش می‌دهد. همچنین در [۱۶] با در نظر گرفتن اثر مدولاسیون طول کانال ترانزیستور بر جریان پمپ بار، معادله دیفرانسیل غیر خطی سیستم به دست آمده و نشان داده شده که حلقه قفل فاز، یک سیستم غیر خطی حافظه‌دار است و بسط سری ولترا را می‌توان برای تحلیل آن استفاده نمود. در نتیجه روشی جهت تخمین جیتر انتقالی با فیلتر حلقه مرتبه دوم پیشنهاد شده است.

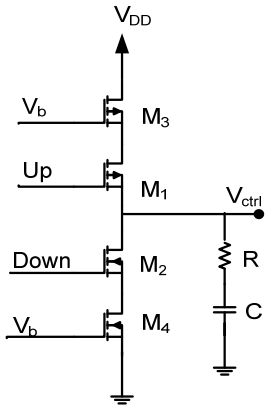
ارائه روش‌های طراحی PLL نیز در بسیاری از مقالات مورد بررسی قرار گرفته است. مرجع [۱۷] به ارائه روش‌های طراحی هر یک از بلوک‌های داخلی PLL با در نظر گرفتن مدل خطی می‌پردازد و اثر هر یک از آنها را بر نویز فاز خروجی PLL در نظر می‌گیرد.

در این مقاله، عامل غیر ایده‌آل تأثیر ولتاژ کنترل بر مقدار جریان پمپ بار، مورد بررسی قرار می‌گیرد که بر رفتار PLL تأثیر دارد و به دلیل اثر مدولاسیون طول کانال ترانزیستور می‌باشد. این تحلیل منجر به معادله دیفرانسیل غیر خطی حاکم بر سیستم شده که نمی‌توان از روش‌های خطی برای تحلیل آن استفاده نمود. جهت تحلیل زمان گذرا از تقریب پاسخ پله سیستم مرتبه دوم و جایگذاری در معادله دیفرانسیل غیر خطی استفاده گردیده که منجر به روابط جدیدی برای بیان مقادیر زمان نشست، زمان پیک، زمان صعود و مقدار بالازدگی شده است. ارزیابی نتایج تئوری و شبیه‌سازی، دقت بهتر روش پیشنهادی را نشان می‌دهد.

این مقاله بدین صورت سازماندهی گردیده که در بخش دوم به طور خلاصه، معماری CPPLL مرتبه دوم بیان‌شده در مراجع مرور می‌شود. در بخش سوم به بررسی اثر عامل غیر ایده‌آل ولتاژ کنترل بر مقدار جریان پمپ بار پرداخته می‌شود که منجر به معادله دیفرانسیل غیر خطی شده است. در بخش چهارم جهت تحلیل زمان گذرا، از معادله دیفرانسیل غیر خطی به دست آمده از تقریب پاسخ پله سیستم مرتبه دوم و جایگذاری در معادله دیفرانسیل غیر خطی استفاده گردیده است. دقت تحلیل پیشنهادی در بخش پنجم مورد ارزیابی قرار می‌گیرد و نهایتاً در بخش ششم نتیجه‌گیری انجام می‌شود.



شکل ۲: مدل حوزه فاز CPPLL مرسوم.



شکل ۳: ساختار پمپ بار.

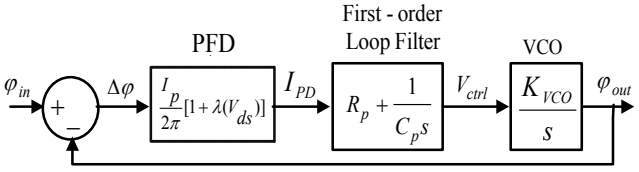
۲- ساختار حلقه قفل فاز پمپ بار مرتبه دوم

شکل ۱ بلوک دیاگرام معمول CPPLL را که شامل یک آشکارساز فاز- فرکانس، یک پمپ بار، یک فیلتر حلقه و یک اسیلاتور کنترل‌شده با ولتاژ است، نشان می‌دهد. آشکارساز فاز- فرکانس (PFD)، اختلاف فاز بین دو لبه ورودی V_{in} و V_{out} را تشخیص می‌دهد و دو سیگنال Q_A و Q_B برای پمپ بار تولید می‌کند. پمپ بار، فیلتر حلقه را که شامل R_p و C_p می‌باشد، تغذیه می‌کند. ولتاژ قرارگرفته بر روی فیلتر حلقه، ولتاژ کنترل VCO است که باعث تغییر فرکانس خروجی می‌شود. با این مکانیزم فیدبک، فازهای ورودی و خروجی روی هم قرار می‌گیرند و اختلاف فاز به صفر می‌رسد.

مدل حوزه فاز CPPLL در شکل ۲ نشان داده شده که در آن، KVCO بهره VCO و I_P جریان تزریقی به پمپ بار است که ثابت می‌باشد. از این مدل جهت شبیه‌سازی رفتاری استفاده خواهد شد.

۳- تحلیل اثر ولتاژ کنترل بر جریان پمپ بار

برخلاف تحلیل‌های پیشین، رفتار PLL به شدت وابسته به جریان پمپ بار که متغیر با ولتاژ کنترل است، می‌باشد زیرا در ساختارهای پمپ بار، تأمین‌کننده جریان پمپ بار، ترانزیستورهای ماسفت هستند که درین این ترانزیستورها به ولتاژ کنترل متصل است. در شکل ۳ نمونه‌ای از ساختار پمپ بار نشان داده شده است. در این ساختار، M_1 نقش سوئیچ S_1 و M_2 نقش سوئیچ S_2 نشان داده شده در شکل ۱ را دارند. همان طور که در شکل ۳ مشاهده می‌شود با تغییر ولتاژ کنترل، ولتاژ درین- سورس ترانزیستور تغییر کرده و در نتیجه جریانی که ترانزیستور تحویل پمپ بار می‌دهد، متغیر می‌باشد. این مسأله در معرفی ساختارهای PLL در نظر گرفته نشده است، در صورتی که تأثیر آن در تعیین زمان قفل قابل چشم‌پوشی نیست. بنابراین ساختار بلوک دیاگرام PLL مرتبه دوم با در نظر گرفتن اثر مدولاسیون طول کانال در جریان خروجی پمپ بار به صورت شکل ۴ می‌باشد که در آن V_{ds} اختلاف پتانسیل قرارگرفته بر روی درین- سورس ترانزیستور تأمین‌کننده جریان I_p است.



شکل ۴: ساختار PLL مرتبه دوم با جریان متغیر پمپ بار.

در ابتدا هدف، به دست آوردن معادله دیفرانسیل غیر خطی حاکم بر سیستم است. با توجه به بلوک دیاگرام فوق می‌توان روابط زیر را بیان کرد

$$\frac{I_p}{2\pi}(1+\lambda V_{ds}).(R_p+\frac{1}{C_p s}).\Delta\Phi = V_{ctrl} \quad (1)$$

که در آن

$$\Delta\Phi = \Phi_i - \Phi_o \quad (2)$$

$$V_{ctrl} = \frac{1}{K_{vco}} \times \frac{d\varphi_o}{dt} \quad (3)$$

با توجه به شکل ۳ می‌توان V_{ds} را در حالت کلی به صورت زیر بیان نمود

$$V_{ds} = V_{dc} - V_{ctrl} \quad (4)$$

با جایگزینی (۲) و (۴) در (۱)، رابطه زیر به دست می‌آید

$$\frac{I_p}{2\pi}[1+\lambda(V_{dc}-V_{ctrl})].(R_p+\frac{1}{C_p s}).(\Phi_i-\Phi_o) = V_{ctrl} \quad (5)$$

با ضرب طرفین رابطه فوق در s داریم

$$\frac{I_p}{2\pi}[1+\lambda(V_{dc}-V_{ctrl})].(R_p s+\frac{1}{C_p}).(\Phi_i-\Phi_o) = s.V_{ctrl} \quad (6)$$

در نتیجه

$$\frac{I_p}{2\pi}.[1+\lambda(V_{dc}-V_{ctrl})][R_p s\Phi_i - R_p s\Phi_o + \frac{\Phi_i}{C_p} - \frac{\Phi_o}{C_p}] = s.V_{ctrl} \quad (7)$$

با جایگزینی (۳) در (۷) و ساده‌سازی روابط، معادله نهایی به فرم زیر است

$$\begin{aligned}\Rightarrow & \frac{I_p K_{vco}}{2\pi C_p}\Phi_i + \frac{\lambda I_p K_{vco}}{2\pi C_p}V_{dc}\Phi_i - \frac{\lambda I_p R_p V_{dc} K_{vco}}{2\pi}\Phi'_o \\ & - \frac{\lambda I_p V_{dc} K_{vco}}{2\pi C_p}\Phi_o + \frac{\lambda I_p R_p}{2\pi}\Phi'^2_o - \frac{\lambda I_p}{2\pi C_p}\Phi'_o\Phi_i \\ & + \frac{\lambda I_p}{2\pi C_p}\Phi'_o\Phi_o - \frac{I_p K_{vco}}{2\pi C_p}\Phi_o - \frac{I_p K_{vco}}{2\pi}R_p\Phi'_o = \Phi''_o\end{aligned} \quad (8)$$

که در آن

$$K_v = \frac{R_p I_p K_{vco}}{2\pi} \quad (9)$$

٤- روش پیشنهادی برای تحلیل PLL مرتبه دوم

هدف از این بخش، به دست آوردن پاسخ پله فاز سیستمی است که معادله دیفرانسیل حاکم بر آن در (۸) آمده است. ایده اصلی، منطبق‌نمودن پاسخ پله سیستم PLL با یک سیستم مرتبه دوم است تا بتوان پاسخ پله تقریبی PLL مرتبه دوم را به دست آورد. فرم پاسخ پله خروجی در یک سیستم مرتبه ۲ در حالت کلی به صورت (۹) می‌باشد

$$A[1-\frac{e^{-\alpha t}}{\beta}\sin(\omega_d t+\theta)]u(t) \quad (10)$$

که A دامنه پله اعمالی، $\alpha=\xi\omega_n$، $\beta=\sqrt{1-\xi^2}$، $\omega_d=\omega_n\beta$، ω_n فرکانس طبیعی و ξ نسبت میرایی است. با جایگزینی رابطه فوق در (۸) به پارامترهای مجهول می‌توان دست یافت. در این مرحله جهت سادگی تحلیل، روابط زیر تعریف شده‌اند

$$f_1 = -\frac{A}{\beta}e^{-\alpha t}\sin(\omega_d t+\theta) \quad (11)$$

$$f_2 = -\frac{A}{\beta}e^{-\alpha t}\cos(\omega_d t+\theta) \quad (12)$$

با مشتق‌گیری از f_1 و f_2 داریم

$$\begin{aligned}f'_1 &= \frac{df_1}{dt} = \frac{A}{\beta}[\alpha e^{-\alpha t}\sin(\omega_d t+\theta) \\ &- e^{-\alpha t}\omega_d\cos(\omega_d t+\theta)] = -\alpha f_1 + \omega_d f_2\end{aligned} \quad (13)$$

$$\begin{aligned}f'_2 &= \frac{df_2}{dt} = \frac{A}{\beta}[\alpha e^{-\alpha t}\cos(\omega_d t+\theta) \\ &+ e^{-\alpha t}\omega_d\sin(\omega_d t+\theta)] = -\alpha f_2 - \omega_d f_1\end{aligned} \quad (14)$$

بنابراین

$$\phi_o = A[1-\frac{e^{-\alpha t}}{\beta}\sin(\omega_d t+\theta)]u(t) = A + f_1 \quad (15)$$

$$\Phi'_o = -\alpha f_1 + \omega_d f_2 \quad (16)$$

$$\Phi''_o = (\alpha^2-\omega_d^2)f_1 - 2\alpha\omega_d f_2 \quad (17)$$

با توجه به آن که هدف، تعیین پاسخ پله سیستم است، ورودی را به صورت زیر تعریف می‌کنیم

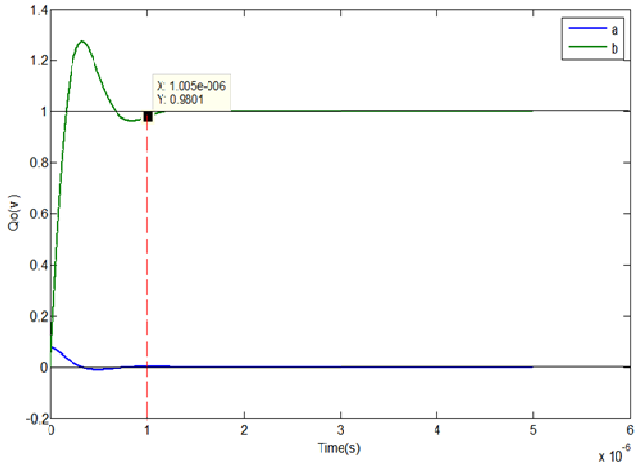
$$\Phi_i = AU(t) \quad (18)$$

$$\Phi'_i = 0 \quad (19)$$

$$\begin{aligned}\Delta\Phi &= \phi_i - \phi_o \\ &= Au(t) - A[1-\frac{e^{-\alpha t}}{\beta}\sin(\omega_d t+\theta)]u(t) = -f_1\end{aligned} \quad (20)$$

با قراردادن مقادیر Φ_i، Φ_o، Φ'_o و Φ''_o از روابط بالا در (۸) داریم

$$\begin{aligned}\Rightarrow & \frac{K_{vco}I_p}{2\pi C_p}A + \alpha K_v f_1 - \omega_d K_v f_2 - \frac{AI_p K_{vco}}{2\pi C_p} \\ & - \frac{I_p K_{vco} f_1}{2\pi C_p} + \frac{\lambda I_p K_{vco} V_{dc} A}{2\pi C_p} + V_{dc}\lambda K_v\alpha f_1 \\ & - V_{dc}\lambda K_v\omega_d f_2 - \frac{\lambda I_p V_{dc} K_{vco} A}{2\pi C_p} - \frac{\lambda I_p V_{dc} K_{vco} f_1}{2\pi C_p} \\ & + \frac{\lambda I_p A\alpha f_1}{2\pi C_p} - \frac{\lambda I_p A\omega_d f_2}{2\pi C_p} + \frac{\lambda I_p R_p\alpha^2 f_1^2}{2\pi} \\ & + \frac{\lambda I_p R_p\omega_d^2 f_2^2}{2\pi} - \frac{2\lambda R_p I_p\alpha\omega_d f_1 f_2}{2\pi} - \frac{\lambda I_p\alpha A f_1}{2\pi C_p} \\ & + \frac{\lambda I_p\omega_d A f_2}{2\pi C_p} - \frac{\lambda I_p\alpha f_1^2}{2\pi C_p} + \frac{\lambda I_p\omega_d f_1 f_2}{2\pi C_p} \\ & = (\alpha^2-\omega_d^2)f_1 - 2\alpha\omega_d f_2\end{aligned} \quad (21)$$



شکل ۵: منحنی پاسخ پله فاز خروجی بدون در نظر گرفتن طول کانال (با استفاده از مدل حوزه فاز)، a: ولتاژ کنترل و b: ولتاژ خروجی.

حال با ساده‌شدن تعدادی از جملات سمت چپ معادله بالا و فاکتورگیری از ضرایب f_1 و f_2 داریم

$$f_1[-\frac{\lambda I_p V_{dc}}{2\pi C_p}K_{vco}+\lambda V_{dc}\alpha K_v+\alpha K_v-\frac{I_p K_{vco}}{2\pi C_p}]+f_2[-K_v\omega_d-\lambda V_{dc}\omega_d K_v]+f_1^2[\frac{\lambda R_p I_p\alpha^2}{2\pi}-\frac{\lambda I_p\alpha}{2\pi C_p}]+f_2^2[\frac{\lambda R_p I_p\omega_d^2}{2\pi}]+f_1f_2[-\frac{2\lambda I_p R_p\alpha\omega_d}{2\pi}+\frac{\lambda I_p\omega_d}{2\pi C_p}]=[(\alpha^2-\omega_d^2)f_1-2\alpha\omega_d f_2] \quad (22)$$

با برابر قرار دادن ضرایب f_1 و f_2 طرفین تساوی فوق داریم

$$\alpha K_v-\frac{I_p K_{vco}}{2\pi C_p}+\lambda V_{dc}\alpha K_v-\frac{\lambda I_p V_{dc}K_{vco}}{2\pi C_p}=\alpha^2-\omega_d^2 \quad (23)$$

$$-K_v\omega_d-\lambda V_{dc}\omega_d K_v=-2\alpha\omega_d\Rightarrow\alpha=0.5K_v(1+\lambda V_{dc}) \quad (24)$$

پس از محاسبه α، با ساده‌سازی (۲۳)، مقدار ω_d به دست می‌آید

$$\omega_d^2=\alpha^2-\lambda V_{dc}\alpha K_v-\alpha K_v+\frac{I_p K_{vco}}{2\pi C_p}+\frac{\lambda I_p V_{dc}K_{vco}}{2\pi C_p}$$
$$\omega_d=\sqrt{[\alpha^2-\lambda V_{dc}\alpha K_v-\alpha K_v+\frac{I_p K_{vco}}{2\pi C_p}+\frac{\lambda I_p V_{dc}K_{vco}}{2\pi C_p}]} \quad (25)$$

با توجه به مقادیر تعیین‌شده برای α و ω_d، از آنجا که از تقریب پاسخ پله سیستم مرتبه دوم استفاده شده است، می‌توان فرکانس طبیعی و نسبت میرایی را از روابط زیر تعیین کرد [۱۴]

$$\omega_n^2=\omega_d^2+\alpha^2\Rightarrow\omega_n=\sqrt{\omega_d^2+\alpha^2} \quad (26)$$

$$\xi^2=1-\frac{\omega_d^2}{\omega_n^2}\Rightarrow\xi=\sqrt{1-\frac{\omega_d^2}{\omega_n^2}} \quad (27)$$

$$\beta=\sqrt{1-\xi^2}\Rightarrow\theta=\sin^{-1}\beta \quad (28)$$

مقادیر زمان نشست و میزان بالازدگی با توجه به روابط زیر تعیین می‌گردند [۱۴]

$$T_s=\frac{4}{\xi\omega_n} \quad (29)$$

جدول ۱: پارامترهای شبیه‌سازی.

C_p	I_p	R_p	K_{vco}
۶۰pf	۲۰۰μA	۲٫۵kΩ	۱۰۰×۱۰۶

جدول ۲: نتایج شبیه‌سازی و محاسباتی.

نتایج	$T_s(\mu s)$
محاسباتی	۱
شبیه‌سازی	۱٫۰۰۵

جدول ۳: نتایج شبیه‌سازی و محاسباتی.

نتایج	$T_s(\mu s)$
محاسباتی	۰٫۸۸۵
شبیه‌سازی	۰٫۸۸۵

$$M_p=c(t_p)-1=e^{-\frac{\pi\xi}{\sqrt{1-\xi^2}}} \quad (30)$$

۵- نتایج شبیه‌سازی و بحث

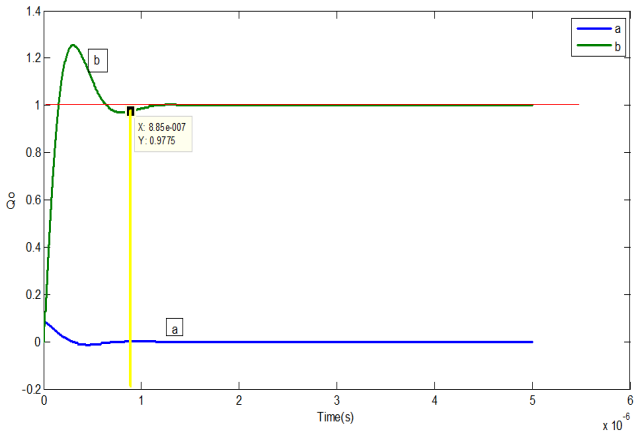
برای ارزیابی نتایج به دست آمده در تحلیل ارائه‌شده، در ابتدا PLLی که مدل حوزه فاز آن در شکل ۲ آمده است بدون اثر مدولاسیون طول کانال شبیه‌سازی و نتایج حاصل از آن مشاهده می‌شود. سپس PLL با اثر مدولاسیون طول کانال که در شکل ۴ نشان داده شده است، مورد بررسی قرار می‌گیرد و نتایج حاصل از این شبیه‌سازی با نتایج به دست آمده قبلی مقایسه می‌گردد. نزدیکی نتایج حاصل از شبیه‌سازی و تحلیل ارائه‌شده، دقت روش پیشنهادی را بیان می‌کند. برای ارزیابی بهتر روش پیشنهادی، عملکرد یک PLL واقعی که تحت تأثیر ولتاژ درین- سورس ترانزیستور است، مورد شبیه‌سازی قرار می‌گیرد و نهایتاً مقایسه بین نتایج به دست آمده صورت می‌پذیرد. همچنین در ادامه به بررسی اثر تغییرات مقاومت و جریان حلقه بر مقدار زمان نشست PLL پرداخته می‌شود.

۵-۱ شبیه‌سازی PLL بدون اثر مدولاسیون طول کانال

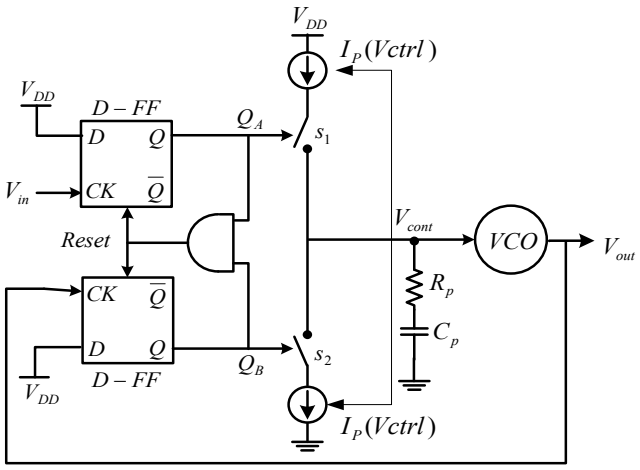
پارامترهای شبیه‌سازی مطابق جدول ۱ می‌باشند [۱۵]. با توجه به پارامترهای شبیه‌سازی تعیین‌شده در جدول ۱، پاسخ پله حوزه فاز سیستم PLL نشان داده شده در شکل ۱، شبیه‌سازی گردیده که نتیجه آن در شکل ۵ آمده و نتایج حاصل از این شبیه‌سازی و نتایج محاسباتی نیز در جدول ۲ آورده شده است. همان طور که مشاهده می‌گردد، زمان نشت PLL مرسوم که اثر مدولاسیون طول کانال در آن در نظر گرفته نشده است، حدود ۱ میکروثانیه می‌باشد و نتایج شبیه‌سازی و محاسباتی نیز بر هم منطبق هستند، در حالی که میزان بالازدگی از دقت کافی برخوردار نیست.

۵-۲ شبیه‌سازی ساختار PLL با در نظر گرفتن اثر مدولاسیون طول کانال

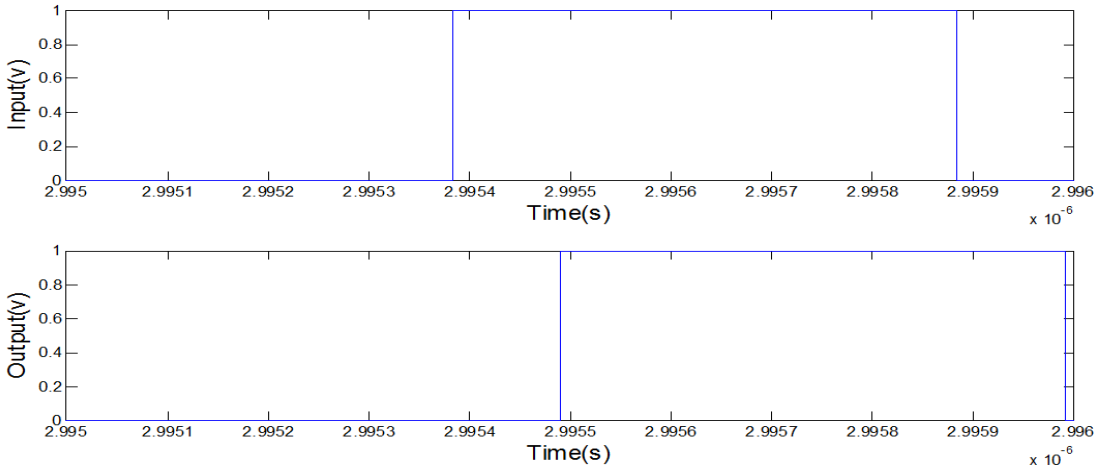
در این بخش نیز با استفاده از مقادیر جدول ۱، پاسخ پله مدل حوزه فاز شکل ۴ که اثر مدولاسیون طول کانال در آن در نظر گرفته شده است، مطابق شکل ۶ شبیه‌سازی گردیده و با نتایج محاسبه‌شده از (۲۴) تا (۲۸) مقایسه شده که در جدول ۳ آمده است. با مقایسه مقادیر نتایج جدول ۳ مشاهده می‌شود که زمان نشست محاسبه‌شده منطبق بر نتایج شبیه‌سازی سیمولینک بوده که در آنها جریان پمپ بار وابسته به ولتاژ



شکل ۶: منحنی پاسخ پله فاز خروجی با در نظر گرفتن طول کانال (با استفاده از مدل حوزه فاز)، a: ولتاژ کنترل و b: ولتاژ خروجی.



شکل ۷: پیاده‌سازی ساختار یک PLL با در نظر گرفتن اثر مدولاسیون طول کانال.



شکل ۸: شکل موج‌های ورودی و خروجی PLL در لحظه اعمال پله فاز.

جدول ۴: مقایسه نتایج تحلیل و شبیه‌سازی.

شرایط متفاوت I_P	T_s(µs)
زمان قفل محاسبه‌شده به ازای I_P ثابت (روش‌های موجود و شرایط یکسان)	۱٫۰۰۵
زمان قفل تحلیل‌شده با I_P متغیر (تحلیل ارائه‌شده)	۰٫۸۸۵
پیاده‌سازی ساختاری PLL و به دست آوردن زمان قفل با شبیه‌سازی به ازای I_P متغیر	۰٫۸۵۵

درین-سورس می‌باشد، در حالی که میزان بالازدگی از دقت کافی برخوردار نیست. بنابراین نتایج نشان می‌دهند که اثر مدولاسیون طول کانال در عملکرد زمان قفل PLL مؤثر است.

۵-۳ پیاده‌سازی ساختار PLL در حوزه زمان

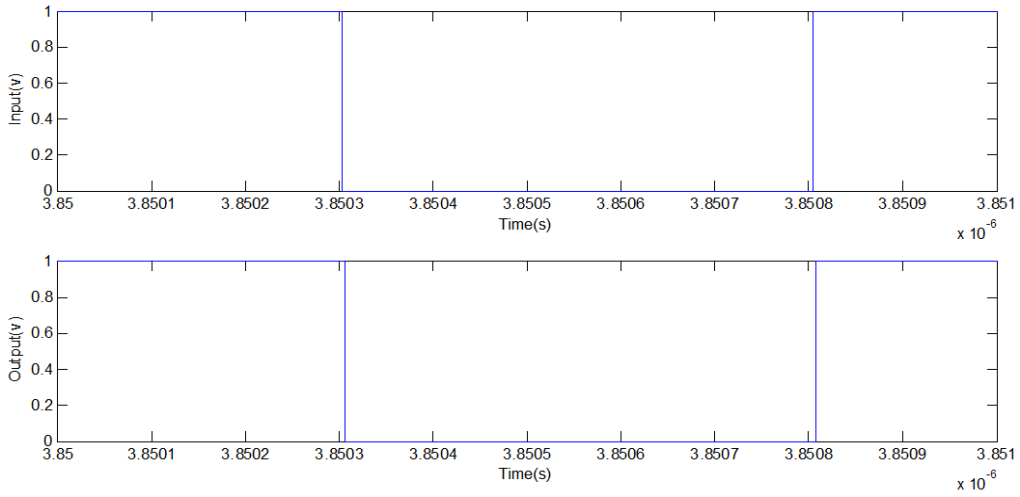
همچنین برای ارزیابی بیشتر درستی نتایج به دست آمده، ساختار یک PLL در حوزه زمان به صورت شکل ۷ پیاده‌سازی شده که بر اساس آن، جریان تزریقی به پمپ بار با توجه به (۱)، وابسته به ولتاژ کنترل است و مقادیر پارامترهای حلقه نیز مطابق با مقادیر جدول ۱ می‌باشند. هدف، آن است که به این PLL در لحظه قفل، اختلاف فازی در ورودی اعمال شود که مشابه پاسخ پله است و سپس مدت زمانی که طول می‌کشد تا حلقه به قفل برسد، مشاهده شود. برای ارزیابی عملکرد، به ورودی، سیگنال مربعی با فرکانس ۱ گیگاهرتز اعمال شده است.

برای شبیه‌سازی زمان قفل، در شرایط اولیه زمان قفل PLL، اختلاف فازی بین شکل موج‌های ورودی و خروجی اعمال گردیده که در شکل ۸ نشان داده شده است. این اختلاف فاز در زمان اولیه $t = ۲٫۹۵$ میکروثانیه اعمال شده و میزان آن برابر است با

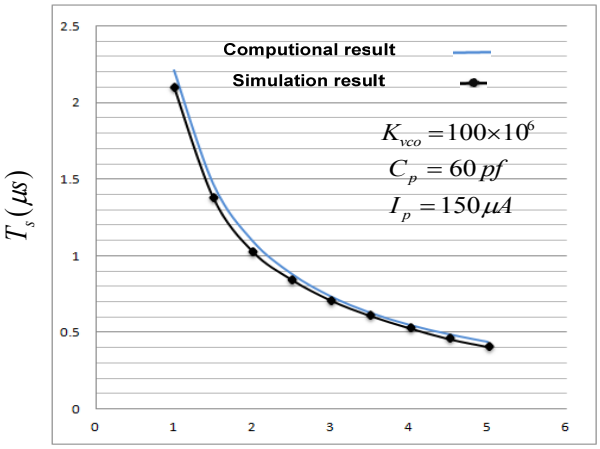
$$\Delta\varphi = \omega.\Delta t = ۲\pi \times f \times \Delta t$$
$$= ۲\pi \times ۱ \times ۱۰^{۹} \times ۰٫۱۶ \times ۱۰^{-۹} = ۱(\text{rad/s}) \quad (۳۱)$$

انتظار می‌رود در پایان فرایند قفل حلقه، این اختلاف فاز به صفر برسد. نتایج حاصل از شبیه‌سازی در زمان نهایی قفل به صورت شکل ۹ است. با توجه به این که لحظه اولیه اعمال اختلاف فاز در زمان ۳ میکروثانیه بوده و در زمان ۳٫۸۵ میکروثانیه، لبه‌های دو شکل موج ورودی و خروجی روی هم قرار گرفته‌اند، بنابراین زمان نشست حلقه حدود ۰٫۸۵ میکروثانیه است که برابر همان زمان محاسبه‌شده بر اساس روابط ریاضی ارائه‌شده می‌باشد که نتایج آن در جدول ۳ نیز آمده است. حال با توجه به نتایج به دست آمده از تحلیل و شبیه‌سازی PLL با جریان پمپ بار متغیر، برای مقایسه بین این نتایج با PLLی که جریان پمپ بار آن ثابت در نظر گرفته می‌شود، جدول ۴ ارائه شده که نشان‌دهنده کارایی تحلیل پیشنهادی است.

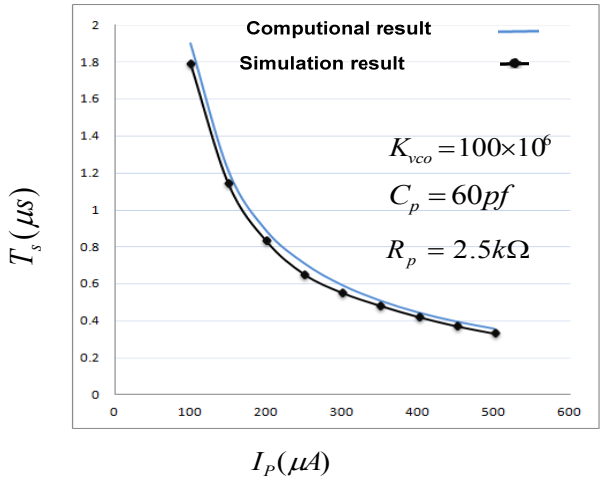
همان طور که مشاهده می‌شود، بدون در نظر گرفتن اثر مدولاسیون طول کانال، زمان نشست به دست آمده PLL که بیانگر زمان قفل آن



شکل ۹: شکل موج‌های ورودی و خروجی PLL در لحظه قفل پله فاز.



شکل ۱۰: تغییرات زمان نشست نسبت به مقاومت حلقه.



شکل ۱۱: تغییرات زمان نشست نسبت به جریان حلقه.

است، حدود ۱۱٪ خطا دارد در حالی که نتایج شبیه‌سازی نشان می‌دهد که زمان نشست به اثر مدولاسیون طول کانال وابسته است و روابط تحلیلی ارائه‌شده دقت محاسباتی را افزایش می‌دهند.

٤-٥ بررسی اثر تغییرات مقاومت و جریان حلقه

با بررسی و مقایسه نتایج تحلیلی و شبیه‌سازی در مورد CPPLL مشاهده شد که اثر مدولاسیون طول کانال که ناشی از ولتاژ درین-سورس ترانزیستور ماسفت می‌باشد، به عنوان یک عامل غیر خطی مؤثر در حلقه‌های قفل فاز باید در نظر گرفته شود. در ادامه با در نظر گرفتن اثر مدولاسیون طول کانال در حلقه قفل فاز پمپ بار به بررسی اثر تغییرات مقاومت و جریان حلقه بر زمان نشست CPPLL پرداخته می‌شود تا دقت روابط ارائه‌شده مورد ارزیابی قرار گیرد.

٤-٥-١ بررسی اثر تغییرات R_P

به منظور تعیین منحنی تغییرات زمان نشست CPPLL بر حسب مقاومت حلقه، مقدار مقاومت در بازه ۱ کیلواهم تا ۵ کیلواهم با گام‌های ۰/۵ کیلواهم تغییر داده شده و مقدار زمان نشست در هر یک از این مقادیر به دست آمده است. به عنوان مثال، زمان نشست به ازای مقادیر جدول ۱ که در آن مقدار مقاومت ۲/۵ کیلواهم در نظر گرفته شده برابر ۰/۸۸۵ میکروثانیه می‌باشد. همچنین از (۲۹) زمان نشست به ازای سایر مقادیر مقاومت حلقه در این بازه به دست آمده است. سپس با اتصال نقاط به دست آمده، منحنی تغییرات زمان نشست بر حسب مقاومت حلقه به صورت شکل ۱۰ حاصل شده است. همچنین برای تصدیق تحلیل‌های ارائه‌شده، نتایج شبیه‌سازی سیمولینک نیز به ازای مقادیر جدول ۱ و تغییر مقاومت حلقه در همین بازه بررسی شده است.

همان طور که مشاهده می‌گردد با افزایش مقدار مقاومت حلقه، زمان نشست کاهش می‌یابد و نتایج شبیه‌سازی منطبق بر نتایج محاسباتی ارائه‌شده می‌باشد.

٤-٥-٢ بررسی اثر تغییرات I_P

پس از بررسی اثر تغییرات مقاومت حلقه بر زمان نشست، به منظور ارزیابی بیشتر روابط ارائه‌شده، منحنی تغییرات زمان نشست CPPLL بر حسب جریان پمپ بار نیز بررسی شده است. با ثابت نگه داشتن تمام پارامترهای حلقه مطابق با جدول ۱ و تنها تغییر جریان پمپ بار در بازه ۱۰۰ میکروآمپر تا ۵۰۰ میکروآمپر با گام‌های ۵۰ میکروآمپر، مقدار زمان نشست در هر یک از این مقادیر به دست آمده است. به عنوان مثال مقدار زمان نشست به ازای مقادیر جدول ۱ که در آن مقدار جریان ۲۰۰ میکروآمپر در نظر گرفته شده است، برابر ۰/۸۸۵ میکروثانیه می‌باشد. همچنین مقدار زمان نشست نیز به ازای سایر مقادیر جریان حلقه در این بازه تعیین شده است. در انتها با اتصال نقاط تعیین‌شده، منحنی تغییرات به صورت شکل ۱۱ دست آمده است. همچنین برای تصدیق تحلیل‌های ارائه‌شده، نتایج شبیه‌سازی سیمولینک نیز به ازای مقادیر جدول ۱ و تغییر جریان حلقه در همین بازه بررسی شده است.

همان طور که مشاهده می‌گردد با افزایش مقدار جریان حلقه، زمان

جدول ۵: زمان نشست به ازای مقادیر متفاوت پارامترهای حلقه.

طرح الف	$I_p = ۱۵۰\mu A$, $C_p = ۶۰ pf$, $K_{vco} = ۱۰۰\times۱۰^۶$								
$R_p (k\Omega)$	۱	۱٫۵	۲	۲٫۵	۳	۳٫۵	۴	۴٫۵	۵
$T_s (\mu s)$	۲٫۲۱	۱٫۴۷	۱٫۱	۰٫۸۸۵	۰٫۷۳۸	۰٫۶۳۲	۰٫۵۵۳	۰٫۴۹۲	۰٫۴۴۲
طرح ب	$R_p = ۲٫۵ k\Omega$, $C_p = ۶۰ pf$, $K_{vco} = ۱۰۰\times۱۰^۶$								
$I_p (\mu A)$	۱۰۰	۱۵۰	۲۰۰	۲۵۰	۳۰۰	۳۵۰	۴۰۰	۴۵۰	۵۰۰
$T_s (\mu s)$	۱٫۹	۱٫۲۱	۰٫۸۸۵	۰٫۷۰۸	۰٫۵۹	۰٫۵۰۶	۰٫۴۴۲	۰٫۳۹۳	۰٫۳۵۴

نشست کاهش می‌یابد و نتایج شبیه‌سازی منطبق بر نتایج محاسباتی می‌باشد. در جدول ۵، زمان نشست به دست آمده از (۲۹) به ازای مقادیر متفاوت پارامترهای حلقه به دست آمده است. نتایج نشان می‌دهند که به ازای افزایش پارامترهای حلقه، زمان نشست کاهش می‌یابد.

٦- نتیجه‌گیری

در این مقاله با در نظر گرفتن اثر مدولاسیون طول کانال، روابط جدیدی برای محاسبه رفتار گذرای PLL تعیین شده است. مهم‌ترین مزیت تحلیل ارائه‌شده این است که وابستگی جریان پمپ بار به ولتاژ درین- سورس ماسفت‌های موجود در پمپ بار در نظر گرفته شده و در نتیجه، مقادیر زمان نشست و میزان بالازدگی به واقعیت نزدیک‌تر هستند.

با توجه به نتایج شبیه‌سازی و محاسبه‌شده، زمان قفل در PLL با جریان متغیر پمپ بار، متفاوت با زمان قفل در PLL با جریان پمپ بار ثابت می‌باشد و بنابراین در نظر گرفتن اثر مدولاسیون طول کانال در جریان پمپ بار ضرورت می‌یابد. همچنین اثر تغییرات پارامترهای حلقه نیز بر زمان نشست بررسی شد که نتایج، نشان‌دهنده وابستگی زمان نشست به این پارامترها است. مزیت روش بیان‌شده آن است که به طراح کمک می‌کند تا با روشی کارامد به طراحی بپردازد.

مراجع

[1] K. Woo, Y. Liu, E. Nam, and D. Ham, "Fast-lock hybrid PLL combining fractional-N and integer modes of differing bandwidths," *IEEE J. of Solid-State Circuits*, vol. 43, no. 2, pp. 379-389, Feb. 2008.

[2] M. H. Perrot, *Analogue Frequency Synthesizers*, Short Course on Phase-Locked Loops, IEEE Circuits and Systems Society, San Diego, CA, USA, 2009.

[3] P. K. Hanumolu, M. Brownlee, K. Mayaram, and U. K. Moon, "Analysis of charge-pump phase-lock loops," *IEEE Trans. on Circuits and Systems*, vol. 51, no. 9, pp. 1665-1674, Sept. 2004.

[4] T. D. Loveless, *et al*., "A generalized linear model for single event transient propagation in phase-locked loops," *IEEE Trans. on Nuclear Science*, vol. 57, no. 5, pp. 2933-2947, Oct. 2010.

[5] H. Adrang and H. M. Naimi, "A novel method for analysis and design of third-order charge pump PLL," in *Proc. IEEE European Conf. on Circuit Theory and Design, ECCTD'09*, pp. 591-594, Antalya, Turkey, 23-27 Aug. 2009.

[6] L. A. H. Monterio, D. N. Favaretto Filho, and J. R. C. Piqueira, "Bifurcation analysis for third-order phased-locked loops," *IEEE Signal Processing Letters*, vol. 1, no. 5, pp. 494-496, May 2004.

[7] H. Dehbovid, H. Adarang, and M. B. Tavakoli, "Nonlinear analysis of VCO jitter generation using volterra series," *The International J. for Computation and Mathematics in Electrical and Electronic Engineering*, vol. 37, no. 2, pp. 755-771, Mar. 2018.

[8] A. Carlosena, M. Ugarte, and A. J. Lopez-Martin, "Loop filter approximation for PLLs," in *Proc. 51st Midwest Symp. on Circuits and Systems*, pp. 21-24, Knoxville, TN, USA, 10-13 Aug. 2008.

[9] A. Carlosena and A. M. Lazaro, "A novel design method for phased-locked loops of any order and type," in *Proc. 49th IEEE Int. Midwest Symp. on Circuits and Systems*, vol. 2, pp. 569-573, San Juan, PR, USA, 6-9 Aug. 2006.

[10] Y. F. Kuo, R. M. Weng, and C. Y. Liu, "A fast locking PLL with phase error detector," in *Proc. IEEE Conf. on Electron Devices and Solid-State Circuits*, pp. 423-426, Hong Kong, China, 19-21 Dec. 2005.

[11] S. Liu and Y. Shi, "Fast locking and high accurate current matching phase-locked loop," in *Proc. IEEE Asia Pacific Conf. on Circuits and Systems*, pp. 1136-1139, Macao, China, 30 Nov.-3 Dec. 2008.

[12] M. Mansuri and C. K. Ken Yang, "A low-power adaptive bandwidth PLL and clock buffer with supply-noise compensation," *IEEE J. of Solid-State Circuits*, vol. 38, no. 11, pp. 1804-1812, Nov. 2003.

[13] W. H. Chiu, Y. H. Huang, and T. H. Lin, "A dynamic phase error compensation technique for fast-locking phase-locked loops," *IEEE J. of Solid-State Circuits*, vol. 45, no. 6, pp. 1137-1149, Jun. 2010.

[14] V. S. Sadeghi and H. Miar-Naimi, "A new fast locking charge pump PLL: analysis and design," *Analog Integrated Circuits and Signal Processing*, vol. 74, pp. 569-575, Jan. 2013.

[15] V. S. Sadeghi and H. Miar-Naimi, "A new frequency comparator for using in fast charge pump PLLs," in *Poc. 21st Iranian Conf. on Electrical Engineering, ICEE'13*, 3 pp., Mashhad, Iran, 14-16 May 2013.

[۱۶] ه. دهبوید، ح. آدرنگ و م. ب. توکلی، "تحلیل غیر خطی جیتر انتقالی در حلقه قفل فاز پمپ بار با استفاده از بسط سری ولترا،" *نشریه مهندسی برق و مهندسی کامپیوتر ایران، الف- مهندسی برق*، سال ۱۶، شماره ۲-الف، تابستان ۱۳۹۷.

[17] K. Zhu, V. Saxena, X. Wu, and S. Balagopal, "Design analysis of a 12.5 GHz PLL in 130 nm SiGe BiCMOS process," in *Poc. IEEE Workshop on Microelectrnics and Electron Device*, 4 pp., Boise, ID, USA, 20-20 Mar. 2015.

هادی دهبوید در سال ۱۳۸۵ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی سجاد و در سال ۱۳۸۹ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران دریافت نمود. پس از آن در سال ۱۳۹۱ به دوره دکترای مهندسی برق در دانشگاه آزاد اسلامی واحد اراک وارد گردید و در سال ۱۳۹۶ موفق به اخذ درجه دکترا در مهندسی برق اکترونیک از دانشگاه مذکور گردید. همچنین از سال ۱۳۸۸ در دانشکده مهندسی برق دانشگاه آزاد اسلامی واحد نور مشغول به فعالیت گردید و اینک نیز عضو هیأت علمی این دانشکده می‌باشد. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند طراحی فیلترهای مجتمع، طراحی مدارهای آنالوگ و دیجیتال، تحلیل مدارهای غیرخطی می باشد. او نویسنده مسئول مقاله است.

حبیب‌الله آدرنگ در سال ۱۳۵۹ در تهران متولد شده است. او مدرک کارشناسی مهندسی برق الکترونیک خود را در سال ۱۳۸۲ از دانشگاه صنعتی اصفهان اخذ نموده و توانسته در سال ۱۳۸۴ در دانشگاه فردوسی مشهد مقطع کارشناسی ارشد خویش را به پایان برساند. او مدرک دکتری خود را از دانشگاه مازندران در رشته مهندسی برق و در سال ۱۳۹۱ دریافت نموده است. ایشان هم‌اکنون دانشیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی فیلترهای مجتمع، طراحی مدارهای آنالوگ و دیجیتال، تحلیل مدارهای غیرخطی در حوزه میکروالکترونیک RF.

حمیدرضا ربیعی در سال ۱۳۸۵ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی سجاد و در سال ۱۳۸۸ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه صنعتی مالک اشتر دریافت نمود. همچنین ایشان در سال ۱۳۹۵ موفق به اخذ مدرک دکتری خود در رشته مهندسی برق گردید. وی از سال ۱۳۹۰ در دانشکده مکاترونیک دانشگاه آزاد اسلامی واحد کرج مشغول به فعالیت گردید و اینک نیز عضو هیأت علمی این دانشکده است. زمینه های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند ایده‌های نو در پردازش تصویر، بینایی ماشین، یادگیری ماشین، مخابرات بیسیم و مخابرات سیار می‌باشد.