مقاله پژوهشی

محاسبه زمان نشست و SR تقویت‌کننده‌های عملیاتی دوطبقه CMOS با جبران‌سازی کسکود

حنانه غلام‌نتاج، حبیب‌اله آدرنگ، سید صالح محسنی و سید صالح قریشی

چکیده: زمان نشست و نرخ چرخش، یکی از پارامترهای مهم در آپ‌امپ‌های فیدبک‌دار است. در این مقاله زمان نشست و نرخ چرخش در تقویت‌کننده دوطبقه تمام تفاضلی CMOS با جبران‌سازی کسکود مورد تحلیل قرار می‌گیرد. ویژگی تحلیل ارائه‌شده آن است که رفتار ترانزیستورها پس از اعمال پله در ورودی به طور دقیق‌تر مورد بررسی قرار می‌گیرد و نشان داده می‌شود که زمان نشست و همچنین نرخ چرخش به اندازه پله ورودی وابستگی دارد. تحلیل انجام‌شده می‌تواند برای طراحی و محاسبات دستی در مدارهای مجتمع مفید واقع شود. همچنین جهت بررسی اعتبار و دقت تحلیل ارائه‌شده، شبیه‌سازی‌های مختلفی انجام شده که تطابق عالی بین مدل تحلیلی ارائه‌شده و نتایج شبیه‌سازی را نشان می‌دهد.

کلیدواژه: **زمان نشست، نرخ چرخش، اسلوییِنگ، جبران‌سازی کسکود، تقویت‌کننده عملیاتی و پاسخ پله.**

۱- مقدمه

امروزه با کوچک‌شدن ابعاد ترانزیستور و همچنین ولتاژ تغذیه، طراحی یک تقویت‌کننده عملیاتی با سرعت بالا و توان کم، یکی از چالش‌های مهم پیش روی طراحان مدارهای مجتمع در مدارهای سوئیچ- خازنی است. بنابراین نیاز است برخی از پارامترهای آپ‌امپ مانند زمان نشست و نرخ چرخش (SR) به درستی مدل شود.

تغییرات ولتاژ خروجی آپ‌امپ فیدبک‌دار به ازای اعمال ولتاژ پله در ورودی به دو بخش تقسیم می‌شود: رفتار نشست خطی و رفتار نشست غیر خطی که آن را اسلوییِنگ می‌نامند. در طی زمان نشست خطی، فیدبک آپ‌امپ برقرار است و می‌توان از تحلیل سیگنال کوچک در حوزه s استفاده نمود. اما رفتار اسلوییِنگ زمانی اتفاق می‌افتد که یکی از سیگنال‌های ورودی خیلی بزرگ‌تر از دیگری شود. این سبب می‌شود در طول فرایند اسلوییِنگ، یکی از ترانزیستورهای ورودی قطع باشد که در نتیجه آن فیدبک اعمال‌شده به آپ‌امپ نیز قطع می‌باشد. در طول زمان اسلوییِنگ، آپ‌امپ همانند یک سیستم غیر خطی عمل می‌کند و رفتار آن به گونه‌ای است که سیگنال خروجی، سیگنال ورودی را دنبال کند. بنابراین تحلیل سیگنال کوچک در حوزه s نمی‌تواند استفاده شود.

پژوهش‌های مختلفی به موضوع زمان نشست یک آپ‌امپ می‌پردازند. برخی از این پژوهش‌ها به مدل‌سازی رفتار زمان نشست و برخی دیگر به دنبال بهبود رفتار نشست در آپ‌امپ‌ها هستند. تحلیل SR در حوزه زمان برای یک تقویت‌کننده دوطبقه با جبران‌سازی میلر در [۱] انجام شده است، اما تحلیل ارائه‌شده به ازای مقادیر خاصی از جریان‌های بایاس طبقه اول و دوم اعتبار دارد [۲]. در [۲] تلاش گردیده که مشکل تحلیل ارائه‌شده در [۱] برطرف شود، هرچند تحلیلی جهت پیش‌بینی رفتار زمان نشست آپ‌امپ دوطبقه با جبران‌سازی کسکود ارائه نشده است. همچنین [۳] روشی جهت بررسی زمان نشست ارائه می‌دهد و رفتار نشست خطی و غیر خطی را مورد بررسی قرار می‌دهد. در [۴] تا [۷] به طراحی تقویت‌کننده عملیاتی با بهینه‌سازی زمان نشست پرداخته شده است، هرچند تحلیل‌های ارائه‌شده برای آپ‌امپ با جبران‌سازی کسکود نمی‌باشد. در [۸] طراحی تقویت‌کننده هدایت انتقالی سه‌طبقه با برآورده‌نمودن زمان نشست انجام شده است، در حالی که نوع جبران‌سازی استفاده‌شده، جبران‌سازی میلر است. مرجع [۹] به طراحی یک آپ‌امپ یک‌طبقه برای کاربرد در ADC می‌پردازد. مرجع [۱۰] با ارائه تکنیک مداری، زمان نشست را در یک تقویت‌کننده سه‌طبقه بهبود می‌دهد اما از جبران‌سازی میلر استفاده نموده است. مراجع [۱۱] و [۱۲] به بهبود طراحی یک تقویت‌کننده دوطبقه می‌پردازند، اما محاسبات سیگنال کوچک در نظر گرفته شده است. در [۱۳] طراحی آپ‌امپ دوطبقه با هدف بهبود پاسخ فرکانسی صورت گرفته است اما طراحی به ازای جبران‌سازی میلر و همچنین تحلیل سیگنال کوچک انجام شده است.

نکته مهم آن است که در بیشتر این پژوهش‌ها، تحلیل بر اساس فرض‌های ایده‌آلی صورت گرفته که در مدارهای عملی چندان منطقی به نظر نمی‌رسد و این سبب می‌شود تحلیل‌های انجام‌شده از دقت کافی برخوردار نباشند. به خصوص آن که رفتار اسلوییِنگ به اندازه پله ورودی وابسته است که نشان‌دهنده رفتار غیر خطی آپ‌امپ است و در پژوهش‌های پیشین کمتر به آن توجه شده است. این مقاله یک مدل ریاضی را برای پیش‌بینی پاسخ پله آپ‌امپ دوطبقه با جبران‌سازی کسکود ارائه می‌دهد. در تحلیل ارائه‌شده رفتار نشست غیر خطی در نظر گرفته شده است. بررسی زمان نشست با بررسی دقیق‌تر رفتار ترانزیستورها پس از اعمال پله در ورودی مورد بررسی قرار می‌گیرد و نشان داده می‌شود که زمان نشست و همچنین نرخ چرخش به اندازه پله ورودی وابستگی دارد. ویژگی مهم تحلیل ارائه‌شده آن است که رفتار گذرای ترانزیستورها مورد بررسی قرار می‌گیرد و به همین جهت منجر به نتایجی با دقت مناسب

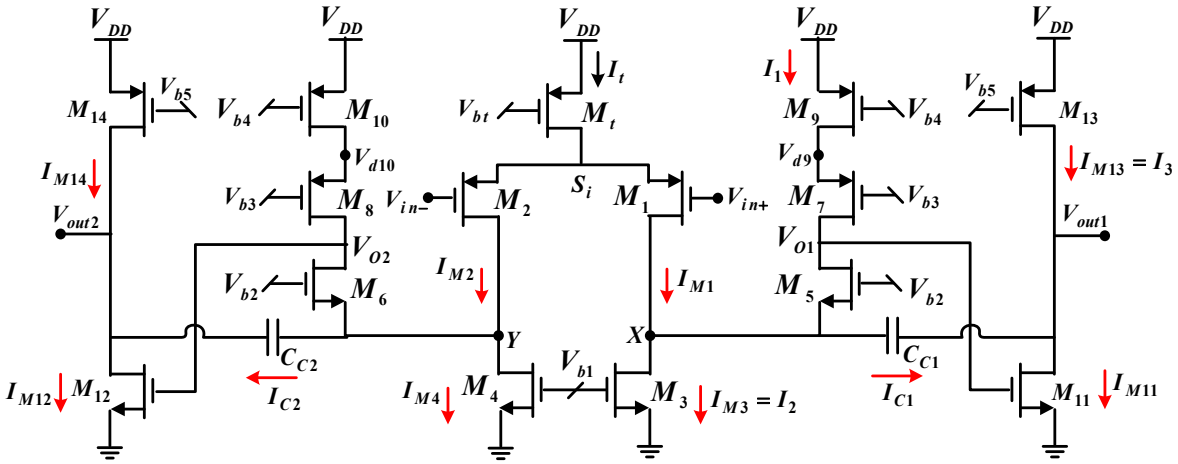
این مقاله در تاریخ ۲۹ مهر ماه ۱۳۹۹ دریافت و در تاریخ ۵ آذر ماه ۱۴۰۰ بازنگری شد.

حنانه غلام‌نتاج، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: hannane.nataj@gmail.com).

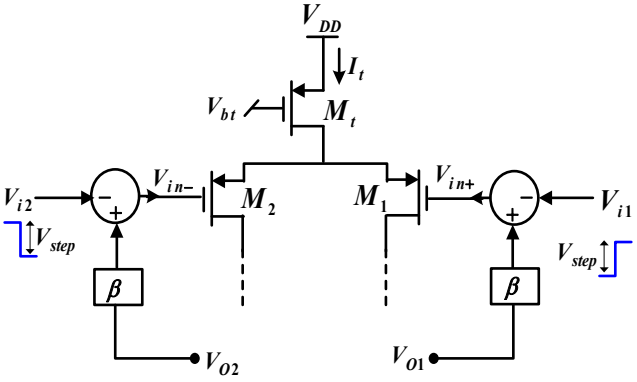
حبیب‌اله آدرنگ (نویسنده مسئول)، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: habibadrang@gmail.com).

سید صالح محسنی، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: s_saleh_mohseni@yahoo.com).

سید صالح قریشی، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: salehghoreyshi@gmail.com).



شکل ۱: آپامپ دوطبقه تمام‌تفاضلی.



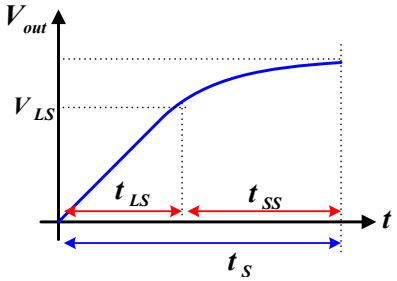
شکل ۲: اعمال فیدبک به آپامپ.

می‌شود. در روش پیشنهادی ارائه‌شده، تقویت‌کننده دوطبقه فولدد کسکود تمام‌تفاضلی مورد تحلیل قرار گرفته است. هرچند روش ارائه‌شده می‌تواند در سایر توپولوژی‌های آپامپ مورد استفاده قرار گیرد. تحلیل انجام‌شده می‌تواند برای طراحان مدارهای مجتمع مفید واقع شود.

این مقاله بدین صورت سازماندهی گردیده که در بخش دوم، ساختار تقویت‌کننده دوطبقه که در طبقه اول آن از تقویت‌کننده فولدد کسکود استفاده شده است مورد بررسی قرار می‌گیرد تا عملکرد این تقویت‌کننده و فیدبک اعمال‌شده به آن به ازای پله‌های مختلف در ورودی درک شود. در بخش سوم، پاسخ پله هر یک از خروجی‌های آپامپ مورد تحلیل قرار می‌گیرد تا بتوان از آنها در مدل‌سازی ریاضی استفاده نمود. در ادامه در بخش چهارم پاسخ پله خروجی تفاضلی مدل‌سازی می‌شود. جهت ارزیابی درستی تحلیل‌های انجام‌شده و بررسی قابلیت روش پیشنهادی، شبیه‌سازی با نرم‌افزار ADS و در تکنولوژی ۰٫۱۸ µm در بخش پنجم انجام شده و نهایتاً مقاله در بخش ششم نتیجه‌گیری می‌شود.

۲- معرفی ساختار تقویت‌کننده دوطبقه

تقویت‌کننده دوطبقه با جبران‌سازی کسکود در شکل ۱ نشان داده شده است. در جبران‌سازی میلر، خازن جبران‌ساز بین خروجی طبقه اول و خروجی طبقه دوم قرار می‌گیرد. مهم‌ترین معایب این نوع جبران‌سازی، کاهش سرعت به دلیل خازن جبران‌ساز نسبتاً بزرگ و از طرفی کاهش پهنای باند است و همچنین برای حذف اثر صفر سمت راست از مقاومت سری با خازن جبران‌ساز استفاده می‌شود. اما در جبران‌سازی کسکود، خازن جبران‌ساز بین سورس ترانزیستور کسکود (گره X یا Y) و خروجی طبقه دوم قرار می‌گیرد. در این نوع از جبران‌سازی، صفر سمت راست آن



شکل ۳: زمان نشست خطی و غیر خطی در پاسخ پله آپامپ.

خیلی بزرگ است و بنابراین به مقاومت سری با خازن نیاز ندارد. همچنین قطب دوم آن بزرگ‌تر از قطب دوم در جبران‌سازی میلر است و بنابراین پهنای باند و در نتیجه سرعت بیشتری دارد. مقدار خازن در جبران‌سازی کسکود، کوچک‌تر از مقدار خازنی است که در جبران‌سازی میلر استفاده می‌شود و بنابراین می‌توان به SR و یا سرعت بیشتری دست یافت. روابط جریان ماسفت در نواحی کاری اشباع و تریود که جهت تحلیل رفتار ترانزیستور استفاده می‌شود، به ترتیب در (۱) و (۲) آمده است که $K = \mu C_{ox} W/L$ می‌باشد

$$I_D = \frac{1}{2} K (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \qquad (1)$$

$$I_D = K[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2] \qquad (2)$$

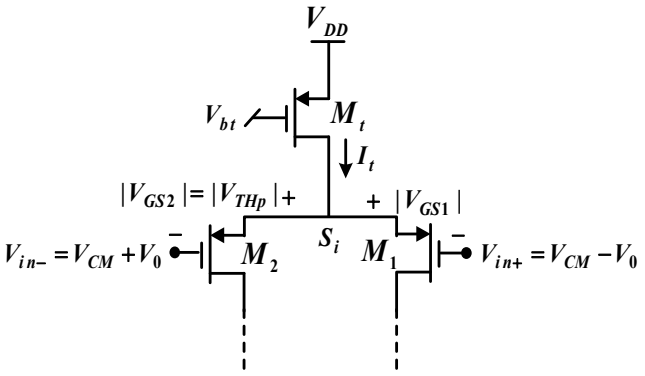
جهت اعمال فیدبک، تقویت‌کننده نشان داده شده در شکل ۱ در ساختاری مشابه شکل ۲ قرار می‌گیرد.

با در نظر گرفتن ضریب فیدبک β، تابع تبدیل حلقه بسته عبارت است از [۱۴]

$$H_{CL}(s) = \frac{V_{out}}{V_{in}}(s) = \frac{1}{\beta} \frac{1 - \frac{s^2}{z_0^2}}{(1 + \frac{s}{\alpha \xi \omega_n})(1 + 2\xi \frac{s}{\omega_n} + \frac{s^2}{\omega_n^2})} \qquad (3)$$

همان طور که از تابع انتقال حلقه بسته (۳) نیز مشاهده می‌شود، آپامپ نشان داده شده در شکل ۱، دارای سه قطب در گره‌های $out1$، $out2$، O_1، O_2 و دیگری در گره با امپدانس پایین X (Y) می‌باشد.

رفتار آپامپ فیدبک‌دار به ازای پله ورودی شامل دو بخش رفتار نشست خطی و رفتار نشست غیر خطی است که در شکل ۳ نشان داده شده و مورد بررسی قرار می‌گیرد.



شکل ۴: وضعیت سیگنال‌های ورودی و ترانزیستور M_2 در مرز روشن و خاموش.

رفتار اسلوییِنگ (سیگنال بزرگ) زمانی اتفاق می‌افتد که یکی از سیگنال‌های ورودی خیلی بزرگ‌تر از دیگری شود و معادل با آن است که در طول فرایند اسلوییِنگ، یکی از ترانزیستورهای ورودی قطع گردد. این رفتار تا زمانی که ترانزیستور قطع‌شده در آستانه روشن‌شدن قرار گیرد و به عبارت دیگر فیدبک وصل شود، ادامه دارد. مدت زمانی که طول می‌کشد فیدبک وصل شود را زمان نشست سیگنال بزرگ (t_{LS}) می‌گویند و به اندازه پله ورودی بستگی دارد. به همین جهت است که بیان می‌شود در مدت زمان اسلوییِنگ، آپ‌امپ رفتار غیر خطی دارد. پس از وصل‌شدن فیدبک، آپ‌امپ وارد فرایند خطی می‌شود و بنابراین رفتار نشست خطی و یا رفتار سیگنال کوچک (t_{SS})، زمانی اتفاق می‌افتد که فیدبک قطع نشود، یعنی اندازه پله ورودی به اندازه‌ای باشد که ترانزیستور ورودی خاموش نشود. اگر اندازه پله ورودی به اندازه‌ای باشد که فیدبک قطع نشود، تنها زمان نشست سیگنال کوچک وجود دارد و $t_{LS}=0$ است. با توجه به توضیحات داده‌شده، برای تحلیل پاسخ پله دو حالت در نظر گرفته می‌شود. حالت اول، زمانی که فیدبک وصل است و حالت دوم زمانی که فیدبک قطع می‌شود.

۲-۱ فیدبک وصل است

برای این که ترانزیستور ورودی خاموش نشود و به عبارت دیگر فیدبک قطع نشود، اندازه پله ورودی باید به اندازه‌ای باشد که همواره $V_{GS}>V_{TH}$ باشد. به عبارت دیگر زمانی که $V_{GS}=V_{TH}$ است، ترانزیستور در مرز روشن و خاموش قرار می‌گیرد و بنابراین باید مقدار اندازه پله ورودی را که فیدبک در مرز قطع‌شدن قرار می‌گیرد محاسبه نمود. شکل ۴، وضعیتی را نشان می‌دهد که به ازای پله ورودی تفاضلی برابر $2V_{.}$، ترانزیستور M_2 در مرز روشن و خاموش قرار می‌گیرد، یعنی $|V_{GS2}|=|V_{THp}|$ است. هدف به دست آوردن $V_{.}$ می‌باشد و در این حالت می‌توان نوشت

$$V_{Si}=|V_{THp}|+V_{CM}+V_{.} \qquad (۴)$$

در شرایط مرزی $I_{M2}\cong 0$ و $I_{Mt}=I_{M1}$ است، بنابراین

$$\frac{1}{2}K_t(|V_{GSt}|-|V_{THp}|)^2[1+\lambda(V_{DD}-V_{Si})] = \frac{1}{2}K_1[V_{Si}-(V_{CMi}-V_{.})-|V_{THp}|]^2 \qquad (۵)$$

که در آن V_{CMi} مقدار ولتاژ dc اعمال‌شده به گیت هر یک از ترانزیستورهای ورودی و همچنین $|V_{GSt}|=V_{DD}-V_{bt}$ است. با در نظر گرفتن $I_{t.}=(1/2)K_t(|V_{GSt}|-|V_{THp}|)^2$ و جایگزینی V_{Si} از (۴) در (۵)، رابطه درجه دوم (۶) به دست می‌آید

$$2K_1V_{.}^2+\lambda I_{t.}V_{.}-I_{t.}[1+\lambda(V_{DD}-|V_{THp}|-V_{CMi})]=0 \qquad (۶)$$

از (۶) می‌توان حداقل اندازه پله تفاضلی ورودی $(2V_{.})$ که فیدبک در مرز قطع‌شدن قرار می‌گیرد را به دست آورد. با توجه به مباحث بیان‌شده، به ازای $V_{id}=V_{in+}-V_{in-}\le 2V_{.}$، فیدبک همچنان برقرار است و آپ‌امپ رفتار نشست خطی دارد و برای تحلیل پاسخ پله می‌توان از تابع تبدیل حلقه بسته (۴) استفاده نمود که در [۱۴] به آن پرداخته شده است.

۲-۲ فیدبک قطع است

در صورتی فیدبک قطع خواهد شد که $V_{id}>2V_{.}$ باشد و در این حالت نمی‌توان از تابع تبدیل حلقه بسته (۴) استفاده نمود. با توجه به شکل ۲ و با فرض $\beta=1$

$$V_{in+}=V_{O1}-V_{i1}=V_{O1}-V_{step} \qquad (۷)$$

$$V_{in-}=V_{O2}-V_{i2}=V_{O2}+V_{step} \qquad (۸)$$

بنابراین

$$V_{in-}-V_{in+}=V_{O2}-V_{O1}+2V_{step}>2V_{.} \qquad (۹)$$

در نتیجه

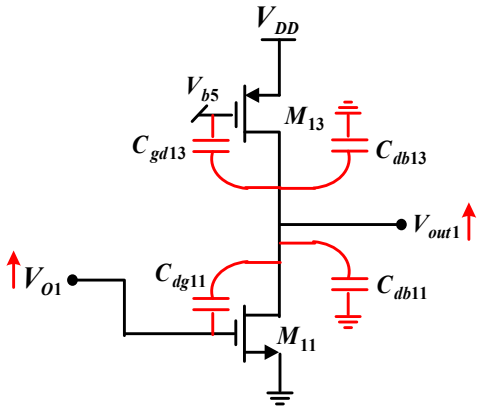
$$V_{out}=V_{O1}-V_{O2}<2V_{step}-2V_{.}=V_{LS} \qquad (۱۰)$$

رابطه (۱۰) بیان می‌کند زمانی که $V_{out}=V_{O1}-V_{O2}<V_{LS}$ است، فیدبک قطع خواهد بود و آپ‌امپ رفتار اسلوییِنگ دارد و به ازای $V_{out}=V_{O1}-V_{O2}>V_{LS}$، آپ‌امپ رفتار نشست خطی دارد تا خروجی به مقدار نهایی خود برسد. در ادامه به تحلیل پاسخ پله در حالتی که سیگنال پله ورودی سبب قطع‌شدن فیدبک گردد، پرداخته می‌شود.

۳- تحلیل رفتار خروجی‌های V_{out1} و V_{out2}

در این بخش به تحلیل رفتار خروجی در حالتی که سیگنال پله ورودی سبب قطع‌شدن فیدبک گردد، پرداخته می‌شود. فرض می‌شود تقویت‌کننده شکل ۱ در ساختاری مشابه شکل ۲ قرار گیرد و به هر یک از ورودی‌های V_{i1} و V_{i2} به ترتیب سیگنال‌های پله‌ای به صورت $V_{i1}=+V_{step}u(t)$ و $V_{i2}=-V_{step}u(t)$ اعمال گردد. همان طور که در (۷) و (۸) نیز مشاهده می‌شود، به ترانزیستور ورودی M_1، پله منفی و به ترانزیستور ورودی M_2، پله مثبت اعمال شده است. ورودی پله بزرگ سبب می‌شود که در لحظه $t=0^+$، ترانزیستور M_2 به طور کامل خاموش شده و تمام جریان تولیدشده توسط ترانزیستور M_t از M_1 عبور نماید.

در اغلب تحلیل‌های انجام‌شده در پژوهش‌های پیشین، مقدار جریان I_t قبل و بعد از اعمال پله ولتاژ، ثابت و یکسان در نظر گرفته شده و این در حالی است که این فرض اشتباه می‌باشد. قبل از اعمال ولتاژ پله، $I_{M1}=I_{M2}=I_t/2$ و بعد از اعمال ورودی پله، $I_{M1}=I_t$ و $I_{M2}=0$ است. بنابراین وقتی قرار است جریان ترانزیستور M_1 از $I_t/2$ به I_t تغییر پیدا کند، باید تغییری در ولتاژهای V_{GS1} و V_{DS1} آن رخ دهد. این سبب تغییر ولتاژ گره S_i و در نتیجه V_{DSt} خواهد شد که در نتیجه آن جریان ترانزیستور M_t در $t=0^+$، برابر $I_t(0^-)$ نخواهد بود. یعنی به علت وابستگی I_t به V_{DS}، $I_t(0^+)\neq I_t(0^-)$ است. به عبارت دیگر I_t قبل و بعد از اعمال پله ورودی، یکسان نخواهد بود. نکته قابل توجه آن است که جریان M_t در $t=0^+$ به اندازه ولتاژ پله اعمال‌شده در ورودی بستگی دارد، زیرا V_{GS1} به اندازه پله ورودی وابسته است. این خود نشان‌دهنده رفتار غیر خطی تقویت‌کننده می‌باشد و نشان می‌دهد که زمان



شکل ۵: وضعیت خازن‌های ترانزیستورهای طبقه دوم.

نشست به اندازه‌های مختلف پله ورودی (V_{step}) وابسته است. این در حالی است که در تحلیل‌های خطی، زمان نشست به اندازه پله ورودی وابسته نمی‌باشد.

مقدار جریان ترانزیستورهای مختلف و ولتاژ گره‌های خروجی قبل از اعمال ولتاژ پله و در $t=0^-$ برابر است با

$$I_{M5-10}=I_1 \quad (11)$$

$$I_{M2}=I_{M4}=\frac{I_t}{2}+I_1=I_2 \quad (12)$$

$$I_{M11-14}=I_3 \quad (13)$$

$$V_{O1}(0^-)=V_{O2}(0^-)=V_{CMO} \quad (14)$$

پس از اعمال پله ورودی و خاموش‌شدن M_2، ولتاژ گره S_i تغییر خواهد نمود و باید به دست آورده شود. از آنجا که در این شرایط $I_{M2}(0^+)=0$ است، بنابراین می‌توان نوشت

$$I_{Mt}(0^+)=I_{M1}(0^+)\Rightarrow \frac{1}{2}K_t(|V_{GSt}|-|V_{THp}|)^2(1+\lambda|V_{DSt}|) = \frac{1}{2}K_1[V_{Si}-(V_{CMi}-V_{step})-|V_{THp}|]^2 \quad (15)$$

که در آن V_{CMi} مقدار ولتاژ dc اعمال‌شده به گیت هر یک از ترانزیستورهای ورودی است. با جایگزینی I_t. و $|V_{DSt}|=V_{DD}-V_{Si}$ مرتب‌سازی رابطه فوق

$$\frac{1}{2}K_1V_{Si}^2+[-K_1(V_{CMi}-V_{step}+|V_{THp}|)+\lambda I_t.]V_{Si} + \frac{1}{2}K_1(V_{CMi}-V_{step}+|V_{THp}|)^2-I_t.(1+\lambda V_{DD})=0 \quad (16)$$

با استفاده از (۱۶) مقدار ولتاژ V_{Si} در $t=0^+$ به دست می‌آید. در نتیجه آن مقدار جریان $I_{M1}(0^+)$ به دست خواهد آمد که برای تحلیل در مراحل بعد استفاده خواهد شد

$$I_{M1}(0^+)=\frac{1}{2}K_1[V_{Si}(0^+)-(V_{CMi}-V_{step})-|V_{THp}|]^2 \quad (17)$$

همان طور که از (۱۷) مشاهده می‌شود، جریان I_{M1} به اندازه پله ورودی بستگی دارد.

۳-۱ تحلیل V_{out1}

در $t=0^+$، چون جریان I_{M1} افزایش می‌یابد، این سبب افزایش جریان $I_{M2}(0^+)$ خواهد شد که معادل با افزایش $V_1=V_{DS2}$ است. در نتیجه کاهش خواهد یافت V_{GS5} در $t=0^+$ I_{M5} می‌شود و با کاهش I_{M5}، I_{M7} نیز کاهش می‌یابد. برای این که جریان ترانزیستور M_7 کاهش یابد، ولتاژ V_{O1} در $t=0^+$ افزایش خواهد یافت که معادل با افزایش V_{GS11} است که این منجر به افزایش جریان $I_{M11}(0^+)$ می‌شود. در این حالت جریان $I_{M11}(0^+)$ و $I_{M13}(0^+)$ برابر نیستند و اختلاف آنها از خازن C_{C1} در جهتی که در شکل ۱ نشان داده شده عبور می‌کند. تحلیل را با نوشتن KCL در گره‌های X و $out1$ شروع می‌کنیم

$$I_{M1}(0^+)+I_{M5}(0^+)=I_{M3}(0^+)+I_{C1}(0^+) \quad (18)$$

$$I_{M13}(0^+)+I_{C1}(0^+)=I_{M11}(0^+) \quad (19)$$

با ترکیب (۱۸) و (۱۹)

$$I_{M1}(0^+)+I_{M5}(0^+)=I_{M11}(0^+)+I_{M3}(0^+)-I_{M13}(0^+) \quad (20)$$

از طرفی

$$I_{M5}(0^+)=I_{M7}(0^+) =\frac{1}{2}K_7(|V_{GS7}|-|V_{TH}|)^2[1+\lambda(V_{d9}-V_{O1})] \quad (21)$$

بنابراین از (۲۰)

$$I_{M1}(0^+)+\frac{1}{2}K_7(|V_{GS7}|-|V_{TH}|)^2[1+\lambda(V_{d9}-V_{O1})] =\frac{1}{2}K_{11}(V_{O1}-V_{TH})^2+\frac{1}{2}K_3(V_{GS3}-V_{TH})^2 -\frac{1}{2}K_{13}(|V_{GS13}|-|V_{TH}|)^2 \quad (22)$$

با فرض $I_{3z}=(1/2)K_3(V_{b1}-V_{TH})^2$، $I_{7z}=(1/2)K_7(|V_{GS7}|-|V_{TH}|)^2$ و $I_{13z}=(1/2)K_{13}(|V_{GS13}|-|V_{TH}|)^2$، (۲۳) را خواهیم داشت

$$I_{M1}(0^+)+I_{7z}[1+\lambda(V_{d9}-V_{O1})] =\frac{1}{2}K_{11}(V_{O1}-V_{TH})^2+I_{3z}-I_{13z} \quad (23)$$

بنابراین

$$\frac{1}{2}K_{11}V_{O1}^2+(-K_{11}V_{TH}+\lambda I_{7z})V_{O1}+ [\frac{1}{2}K_{11}V_{TH}^2-I_{M1}(0^+)+I_{3z}-I_{7z}-\lambda I_{7z}V_{d9}-I_{13z}]=0 \quad (24)$$

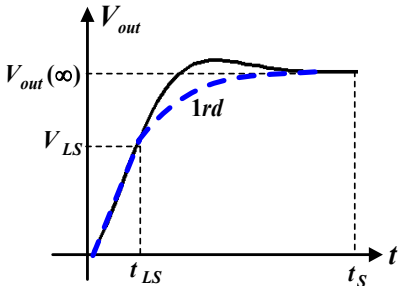
از رابطه فوق، $V_{O1}(0^+)$ به دست خواهد آمد که بزرگ‌تر از $V_{O1}(0^-)$ است. باید توجه داشت در شرایط پایدار، مقدار ولتاژ V_{O1} تقریباً به مقدار اولیه خود در $t=0^-$ می‌رسد.

نکته مهم آن است که جهش مثبت در ولتاژ V_{O1} در $t=0^+$، از طریق خازن C_{gd11} به خروجی V_{out1} منتقل می‌شود که در شکل ۵ آمده و مقدار این جهش به مقادیر خازن‌های C_{gd11} و خازن گره خروجی $out1$ بستگی دارد و برابر است با

$$\Delta V_{out1}(0^+)=\frac{C_{gd11}}{C_{out1}+C_{gd11}}\Delta V_{O1}(0^+) \quad (25)$$

که در این رابطه $\Delta V_{O1}(0^+)=V_{O1}(0^+)-V_{CM}(O_1)$ و همچنین $C_{out1}=C_{gd13}+C_{db13}+C_{db11}$ است.

همان طور که در شکل ۱ مشاهده می‌شود، افزایش V_{O1} در $t=0^+$ سبب افزایش V_{GS11} و در نتیجه افزایش $I_{M11}(0^+)$ می‌شود. این در حالی



شکل ۶ پاسخ پله‌های واقعی و تقریبی به صورت مرتبه اول.

است که $I_{M۱۳}(۰^+)$ تقریباً ثابت و برابر $I_۲$ است. اختلاف جریان $I_{M۱۱}(۰^+)$ و $I_{M۱۳}(۰^+)=I_۲$ از خازن $C_{C۱}$ عبور می‌کند

$$I_{C۱}(۰^+)=I_{M۱۱}(۰^+)-I_{M۱۳}(۰^+) \quad (۲۶)$$

از طرفی $I_{C۱}(۰^+)=-C_{C۱}\frac{\mathrm{d}V_{out۱}}{\mathrm{d}t}(۰^+)$ است و بنابراین

$$\frac{\mathrm{d}V_{out۱}}{\mathrm{d}t}(۰^+)=-\frac{۱}{C_{C۱}}I_{C۱}(۰^+) \quad (۲۷)$$

۳-۲ تحلیل $V_{out۲}$

هم‌زمان با اعمال پله منفی به $M_۱$، پله مثبت به $M_۲$ اعمال می‌شود و این ترانزیستور خاموش خواهد شد، یعنی $I_{M۲}(۰^+)\approx ۰$. بنابراین مطابق شکل ۱، جریان‌های $I_{M۴}(۰^+)$ و $I_{M۶}(۰^+)$ تغییر خواهد نمود که علت آن کاهش ولتاژ V_Y است. می‌توان نوشت

$$\begin{aligned} I_{M۶}=I_{M۸} &\Rightarrow \frac{۱}{۲}K_۶(V_{b۲}-V_Y-V_{TH})^۲ \\ &=\frac{۱}{۲}K_۸(|V_{GS۸}|-|V_{TH}|)^۲[۱+\lambda(V_{d۱۰}-V_{O۲})] \end{aligned} \quad (۲۸)$$

با فرض $I_{۸z}=\frac{۱}{۲}K_۸(|V_{GS۸}|-|V_{TH}|)^۲$ و $I_{۶z}=\frac{۱}{۲}K_۶(V_{b۲}-V_{TH})^۲$

$$\begin{aligned} &I_{۶z}+\frac{۱}{۲}K_۶V_۲^۲-K_۶(V_{b۲}-V_{TH})V_۲ \\ &=I_{۸z}+\lambda I_{۸z}V_{d۱۰}-\lambda I_{۸z}V_{O۲} \end{aligned} \quad (۲۹)$$

با صرف نظر از $(۱/۲)K_۶V_۲^۲$ و مرتب‌سازی رابطه فوق، رابطه زیر بین $V_{O۲}$ و V_Y به دست می‌آید

$$V_{O۲}\cong a_۰+b_۰V_Y \quad (۳۰)$$

که در آن

$$\begin{aligned} a_۰&=\frac{-۱}{\lambda}\frac{I_{۶z}}{I_{۸z}}+\frac{۱}{\lambda}+V_{d۱۰} \\ b_۰&=\frac{۱}{\lambda}\frac{K_۶}{I_{۸z}}(V_{b۲}-V_{TH}) \end{aligned} \quad (۳۱)$$

نکته‌ای که باید توجه داشت آن است که در شرایط معمول و قبل از اعمال پله ورودی، $M_۴$ در ناحیه اشباع و نزدیک مرز اشباع و تریود بایاس می‌شود تا حداکثر سوئینگ در خروجی به دست آید. بنابراین با کاهش $V_Y=V_{DS۴}$ در $t=۰^+$، ترانزیستور $M_۴$ وارد ناحیه تریود می‌شود و می‌توان از (۲) برای محاسبه جریان $M_۴$ استفاده نمود. با نوشتن KCL در گره Y داریم

$$I_{M۶}(۰^+)=I_{M۴}(۰^+)+I_{C۲}(۰^+) \quad (۳۲)$$

$$I_{M۱۴}(۰^+)+I_{C۲}(۰^+)=I_{M۱۲}(۰^+) \quad (۳۳)$$

با ترکیب (۳۲) و (۳۳)

$$I_{M۶}(۰^+)=I_{M۴}(۰^+)+I_{M۱۲}(۰^+)-I_{M۱۴}(۰^+) \quad (۳۴)$$

از طرفی

$$\begin{aligned} &\frac{۱}{۲}K_۶(V_{b۲}-V_۲(۰^+)-V_{TH})^۲ \\ &=K_۴[(V_{b۱}-V_{TH})V_۲(۰^+)-\frac{۱}{۲}V_۲^۲(۰^+)] \\ &+\frac{۱}{۲}K_{۱۲}(V_{O۲}-V_{TH})^۲-\frac{۱}{۲}K_{۱۴}(|V_{GS۱۴}|-|V_{TH}|)^۲ \end{aligned} \quad (۳۵)$$

با در نظر گرفتن $I_{۱۴z}=(۱/۲)K_{۱۴}(|V_{GS۱۴}|-|V_{TH}|)^۲$ و جایگزینی (۳۰) در (۳۵)، رابطه درجه دوم زیر برای V_Y به دست می‌آید

$$aV_Y^۲+bV_Y+c=۰ \quad (۳۶)$$

که در آن

$$\begin{aligned} a&=\frac{۱}{۲}(K_۴+K_۶-K_{۱۲}b_۰^۲) \\ b&=-[K_۴(V_{b۱}-V_{TH}) \\ &\quad +K_۶(V_{b۲}-V_{TH})+K_{۱۲}(a_۰-V_{TH})b_۰] \\ c&=\frac{۱}{۲}K_۶(V_{b۱}-V_{TH})^۲-\frac{۱}{۲}K_{۱۲}(a_۰-V_{TH})^۲+I_{۱۴z} \end{aligned} \quad (۳۷)$$

از (۳۶) مقدار $V_Y(۰^+)$ و در نتیجه $V_{O۲}(۰^+)$ از (۳۰) به دست خواهد آمد. در اینجا نیز جهش منفی در ولتاژ $V_{O۲}$ در $t=۰^+$، از طریق خازن $C_{gd۱۲}$ به خروجی $V_{out۲}$ منتقل می‌شود و مقدار این جهش به مقادیر خازن‌های $C_{gd۱۲}$ و خازن گره خروجی $out۲$ بستگی دارد و برابر است با

$$\Delta V_{out۲}(۰^+)=\frac{C_{gd۱۲}}{C_{out۲}+C_{gd۱۲}}\Delta V_{O۲}(۰^+) \quad (۳۸)$$

که $C_{out۲}=C_{gd۱۴}+C_{db۱۴}+C_{db۱۲}$ و $\Delta V_{O۲}(۰^+)=V_{O۲}(۰^+)-V_{CM}(O_۲)$ است. همان طور که در شکل ۱ مشاهده می‌شود، در $t=۰^+$ هم‌زمان که $V_{O۱}$ افزایش می‌یابد، $V_{O۲}$ کاهش خواهد یافت که معادل با کاهش $V_{GS۱۲}$ است و سبب کاهش جریان $M_{۱۲}$ می‌شود. این در حالی است که $I_{M۱۴}(۰^+)$ تقریباً ثابت و برابر $I_۲$ است. اختلاف جریان $I_{M۱۲}(۰^+)$ و $I_{M۱۴}(۰^+)=I_۲$ از خازن $C_{C۲}$ عبور می‌کند

$$I_{C۲}(۰^+)=I_{M۱۲}(۰^+)-I_{M۱۴}(۰^+) \quad (۳۹)$$

توجه شود با کاهش $V_{O۲}=V_{GS۱۲}$ ممکن است $V_{GS۱۲}<V_{TH}$ شود که در نتیجه آن $I_{M۱۲}(۰^+)\approx ۰$ خواهد شد و در این وضعیت، جریان $M_{۱۴}$ از $C_{C۲}$ عبور می‌کند، یعنی $I_{C۲}(۰^+)\approx -I_{M۱۴}(۰^+)$. پس از محاسبه $I_{C۲}(۰^+)$، می‌توان نوشت

$$\frac{\mathrm{d}V_{out۲}}{\mathrm{d}t}(۰^+)=-\frac{۱}{C_{C۲}}I_{C۲}(۰^+) \quad (۴۰)$$

۴- محاسبه زمان نشست و نرخ چرخش

$$V_{out}=V_{out۱}-V_{out۲}$$

آپ‌امپ دوطبقه نشان داده شده در شکل ۱ به علت داشتن سه قطب، دارای رفتار نوسانی میراشونده است. هدف، محاسبه زمان نشست و SR است و جهت محاسبه این پارامترها می‌توان پاسخ پله را به صورت خروجی یک سیستم مرتبه اول تقریب زد که در شکل ۶ نشان داده شده و حداکثر شیب، زمان نشست و مقدار نهایی آن منطبق بر پاسخ پله واقعی

جدول ۱: مقادیر پارامترهای مدار و ترانزیستور.

I_t	۸۰۰ µA	V_{b1}	۰٫۶ V
I_2	۹۰۰ µA	V_{b2}	۰٫۸ V
I_1	۵۰۰ µA	V_{b3}	۰٫۱۸ V
V_{DD}	۱ V	V_{b4}	۰٫۳۵ V
V_{CMO}	۰٫۵ V	V_{bt}	۰٫۳ V
V_{CMi}	۰٫۱ V	V_{TH}	۰٫۴۵ V
$\mu_n C_{OX}$ [۱۵]	۲۷۰ µA/V^2	$\mu_p C_{OX}$	۷۰ µA/V^2
C_X	۰٫۱۹۵ pF	C_{pout}	۰٫۱۱ pF
R_{out}	۱۰ KΩ	R_X	۳۲۰ Ω
$\lambda.L$ (µm/V) [۱۵]	۰٫۰۴ /L	$A_.$	۳۴

جدول ۳: مقادیر پارامترهای رابطه تحلیلی (۴۱).

	$C_C = 1{,}2$ pF		$C_C = 2$ pF	
V_{step}	۰٫۲ V	۰٫۲۵ V	۰٫۲ V	۰٫۲۵ V
A	۰٫۵	۰٫۶۱	۰٫۵	۰٫۶۲
B	۰٫۴	۰٫۵	۰٫۴	۰٫۵
α	۲٫۳×۱۰$^{+9}$	۲٫۵×۱۰$^{+9}$	۱٫۴×۱۰$^{+9}$	۱٫۵×۱۰$^{+9}$
t_S	۱٫۵۵ ns	۱٫۷ ns	۲٫۹ ns	۲٫۷ ns
SR	۶۶۵ V/µs	۷۰۰ V/µs	۳۹۰ V/µs	۴۲۰ V/µs

سیستم است.

پاسخ پله خروجی مرتبه اول را می‌توان به صورت زیر تقریب زد

$$V_{out}(t) = Ae^{-\alpha t} + B \quad (۴۱)$$

که باید مقادیر A، B و α را به دست آورد. همچنین می‌توان نوشت

$$\begin{aligned} V_{out}(0^+) &= V_{out2}(0^+) - V_{out1}(0^+) \\ &= \Delta V_{out2}(0^+) - \Delta V_{out1}(0^+) \end{aligned} \quad (۴۲)$$

$$V_{out}(\infty) = V_{out2}(\infty) - V_{out1}(\infty) = 2V_{step} \quad (۴۳)$$

و همچنین با توجه به (۲۷) و (۴۰)

$$\begin{aligned} \frac{dV_{out}}{dt}(0^+) &= \frac{dV_{out2}}{dt}(0^+) - \frac{dV_{out1}}{dt}(0^+) \\ &= \frac{-1}{C_C} I_{C2}(0^+) + \frac{1}{C_C} I_{C1}(0^+) \end{aligned} \quad (۴۴)$$

از آنجا SR برابر حداکثر شیب تغییرات خروجی است، بنابراین

$$SR = \frac{dV_{out}}{dt}(0^+) \quad (۴۵)$$

مرحله بعد به دست آوردن A، B و α است. از (۴۱)

$$V_{out}(0^+) = A + B \quad (۴۶)$$

$$V_{out}(\infty) = B = 2V_{step} \quad (۴۷)$$

از (۴۶) و (۴۷)، $A = V_{out}(0^+) - 2V_{step}$ است. همچنین مطابق شکل ۶

$$V_{out}(t = t_{LS}) = Ae^{-\alpha t_{LS}} + B = V_{LS} \quad (۴۸)$$

از طرف دیگر مطابق شکل ۷، شیب پاسخ خروجی در $t = t_{LS}$ برابر SR می‌باشد و بنابراین

$$\frac{dV_{out}}{dt}(t_{LS}) = -A\alpha e^{-\alpha t_{LS}} = SR \quad (۴۹)$$

جدول ۲: مقادیر ابعاد ترانزیستورها.

	W	L
M_t	۷۵٫۸ µm	۰٫۱۸ µm
M_{1-2}	۶۱ µm	۰٫۱۸ µm
M_{3-4}	۶۱٫۷ µm	۰٫۱۸ µm
M_{5-6}	۱۵٫۸ µm	۰٫۱۸ µm
M_{7-8}	۶۹٫۱ µm	۰٫۱۸ µm
M_{9-10}	۸۲٫۶ µm	۰٫۱۸ µm
M_{11-12}	۱۰٫۸ µm	۰٫۲ µm
M_{13-14}	۸۲٫۶ µm	۰٫۲ µm

از (۴۸) می‌توان دریافت

$$Ae^{-\alpha t_{LS}} = V_{LS} - B \quad (۵۰)$$

با جایگزینی (۵۰) در (۴۹)

$$-\alpha(V_{LS} - B) = SR \Rightarrow \alpha = \frac{SR}{B - V_{LS}} \quad (۵۱)$$

۵- نتایج شبیه‌سازی

در این بخش، جهت ارزیابی درستی تحلیل‌های انجام‌شده، تقویت‌کننده دوطبقه نشان داده شده در شکل ۱ مورد تحلیل و شبیه‌سازی قرار گرفته که مطابق شکل ۲ ضریب فیدبک واحد ($\beta = 1$) به آن اعمال شده است. جهت شبیه‌سازی از نرم‌افزار ADS و در تکنولوژی ۰٫۱۸ µm استفاده شده است. مقادیر جریان و ولتاژهای بایاس مدار و همچنین پارامترهای مدار و ترانزیستور در جدول ۱ آمده ابعاد ترانزیستورها در جدول ۲ نشان داده شده است.

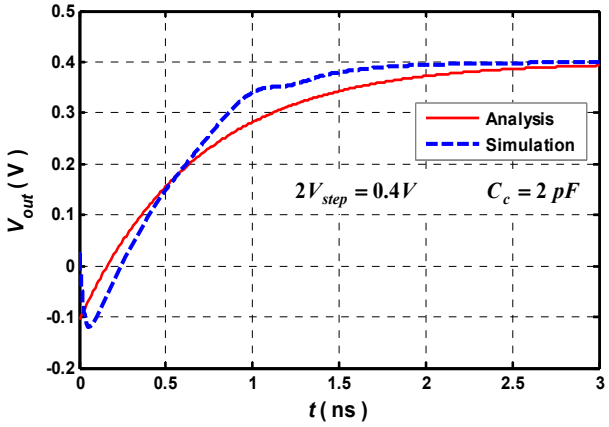
به منظور بررسی قابلیت روش تحلیل ارائه‌شده، شبیه‌سازی‌ها به ازای خازن‌های $C_C = 1{,}2$ pF و $C_C = 2$ pF با پله ورودی برابر $V_{id} = 2V_{step} = 0{,}4$ V و $V_{id} = 2V_{step} = 0{,}5$ V انجام شده که در شکل‌های ۷ و ۸ آمده است.

البته باید توجه داشت حداقل اندازه پله ورودی که آپ‌امپ دچار رفتار اسلوبینگ گردد از (۶) محاسبه می‌شود و برابر $2V_. = 0{,}28$ V است، به همین جهت $V_{id} > 2V_.$ در نظر گرفته شده است.

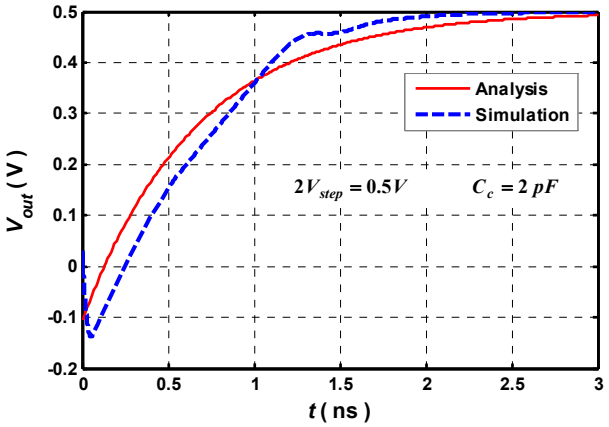
در شکل‌های ۷ و ۸ نتایج شبیه‌سازی و تئوری رسم شده است. با مقایسه بین نتایج تحلیلی و شبیه‌سازی مشاهده می‌شود که منحنی پاسخ پله مرتبه اول تحلیلی، تقریباً منطبق بر SR و زمان نشست است. در جدول ۳ مقادیر پارامترهای (۴۱) و (۴۵) در حالت‌های مختلف نشان داده شده است. همچنین نتایج به دست آمده نشان می‌دهد که مشخصات خروجی به اندازه پله ورودی بستگی دارد. مقادیر جریان و ولتاژ ترانزیستورها در دو حالت تحلیلی و شبیه‌سازی در جدول ۴ آمده است. همان طور که مشاهده می‌شود، نتایج به دست آمده از روش تحلیلی پیشنهادی دقت مناسبی دارد.

۶- نتیجه‌گیری

در این مقاله تغییرات ولتاژ خروجی آپ‌امپ دوطبقه فیدبک‌دار به ازای اعمال ولتاژ پله در ورودی مورد تحلیل قرار گرفته است. ویژگی مهم مدل تحلیلی ارائه‌شده آن است که رفتار ترانزیستورها پس از اعمال پله در ورودی به طور دقیق‌تر مورد بررسی قرار می‌گیرد و نشان داده می‌شود که زمان نشست و همچنین نرخ چرخش به اندازه پله ورودی وابستگی دارد

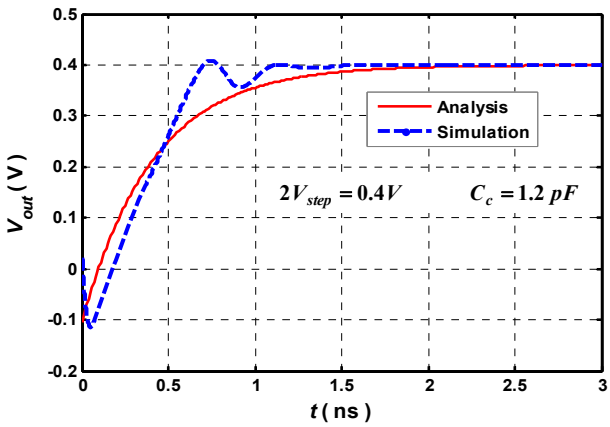


(الف)

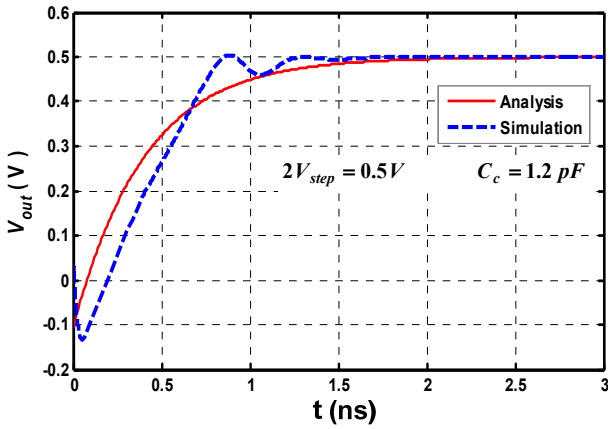


(ب)

شکل ۸: پاسخ پله آپ‌امپ دوطبقه با فیدبک واحد به ازای $C_C = ۲\text{pF}$، (الف) $۲V_{step} = ۰٫۴$ و (ب) $۲V_{step} = ۰٫۵\text{ V}$.



(الف)



(ب)

شکل ۷: پاسخ پله آپ‌امپ دوطبقه با فیدبک واحد به ازای $C_C = ۱٫۲\text{pF}$، (الف) $۲V_{step} = ۰٫۴$ و (ب) $۲V_{step} = ۰٫۵\text{ V}$.

جدول ۴: مقادیر پارامترهای مدار به ازای ولتاژهای پله مختلف در ورودی.

$t = ۰^-$		$t = ۰^+$ (Analysis)			$t = ۰^+$ (Simulation)	
–	–	V_{step}	۰٫۲ V	۰٫۲۵ V	۰٫۲ V	۰٫۲۵ V
$V_{si}(۰^-)$	۰٫۹۳ V	$V_{si}(۰^+)$	۰٫۸۵ V	۰٫۸ V	۰٫۷۹ V	۰٫۷۴ V
$V_X(۰^-)$	۰٫۱۲ V	$V_X(۰^+)$	۰٫۲۴ V	۰٫۲۷ V	۰٫۲ V	۰٫۲۴ V
$V_Y(۰^-)$	۰٫۱۲ V	$V_Y(۰^+)$	۰٫۰۸۷ V	۰٫۰۸۷ V	۰٫۰۷۸ V	۰٫۰۷۸ V
$I_{M۱}(۰^-)$	۰٫۴ mA	$I_{M۱}(۰^+) = I_t(۰^+)$	۱٫۰۵ mA	۱٫۱ mA	۱ mA	۱٫۰۹ mA
$I_{M۲}(۰^-)$	۰٫۴ mA	$I_{M۲}(۰^+)$	۰	۰	۰	۰
$I_{M۳}(۰^-) = I_۲$	۰٫۹ mA	$I_{M۳}(۰^+)$	۱ mA	۱٫۱ mA	۱٫۲ mA	۱٫۳ mA

که بیان‌کننده رفتار غیر خطی آپ‌امپ است. دقت روش ارائه‌شده با شبیه‌سازی در سطح مدار مورد بررسی قرار گرفته است. با توجه به جداول و شکل‌های موجود، روشن است که نتایج این کار به طراح جهت طراحی در سطح مدار کمک می‌کند.

مراجع

[1] F. Wang and R. Harjani, "An improved model for the slewing behavior of opamps," *IEEE Trans. on Circuits and Systems II*, vol. 42, no. 10, pp. 679-681, Oct. 1995.

[2] M. Yavari, N. Maghari, and O. Shoaei, "An accurate analysis of slew rate for two-stage CMOS opamps," *IEEE Trans. on Circuits and Systems II*, vol. 52, no. 3, pp. 164-167, Mar. 2005.

[3] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, and K. Mafinezhad, "Modified model for settling behavior of operational amplifiers in nanoscale CMOS," *IEEE Trans. on Circuits and Systems II*, vol. 56, no. 5, pp. 384-388, May 2009.

[4] D. G. Nairn, "Cascode loads and amplifier settling behavior," *IEEE Trans. on Circuits and Systems I*, vol. 59, no. 1, pp. 44-51, May/Jan. 2012.

[5] Z. Yan, P. Mak, M. Law, R. Martins, and F. Maloberti, "Nested-current-mirror rail-to-rail-output single-stage amplifier with enhancements of DC gain, GBW and slew rate," *IEEE J. of Solid State Circuits*, vol. 50, no. 10, pp. 2353-2366, Oct. 2015.

[6] S. Seth and B. Murmann, "Settling time and noise optimization of a three-stage operational transconductance amplifier," *IEEE Trans. on Circuits and Systems I*, vol. 60, no. 5, pp. 1168-1174, May 2013.

[7] G. Giustolisi and G. Palumbo, "Three-stage dynamic-biased CMOS amplifier with a robust optimization of the settling time," *IEEE Trans. on Circuits and Systems I*, vol. 62, no. 11, pp. 2641-2651, Nov. 2015.

[8] G. Giustolisi and G. Palumbo, "Design of three-stage OTA based on settling-time requirements including large and small signal behavior," *IEEE Trans. on Circuits and Systems I*, vol. 68, no. 3, pp. 998-1011, Mar. 2021.

[9] M. Liu, D. Li, and Z. Zhu, "A dual-supply two-stage CMOS op-amp for high-speed pipeline ADCs application," *IEEE Trans. on Circuits and Systems II*, vol. 67, no. 4, pp. 650-654, Apr. 2020.

[10] A. Paul, J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal, and J. M. Rocha-Perez, "Pseudo-three-stage miller op-amp with enhanced small-signal and large-signal performance," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 27, no. 10, pp. 2246-2259, Oct. 2019.

[11] C. Chanapromma and J. Mahattanakul, "Improved design procedure for two-stage CMOS op-amp employing current buffer," in *Proc. IEEE 17th Int. Conf. on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology,* pp. 384-387, Phuket, Thailand, 24-27 Jun. 2020.

[12] A. Gupta and S. Singh, "Design of two stage CMOS op-amp with high slew rate and high gain in 180 nm," in *Proc. IEEE 2nd Int. Conf. on I-SMAC*, pp. 341-345, Palladam, India, 30-31 Aug.. 2018.

[13] C. Chanapromma and J. Mahattanakul, "Redesign procedure for two-stage CMOS op-amp with least error of frequency response and phase margin," in *Proc. IEEE 17th Int. Conf. on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology,* pp. 717-720, Phuket, Thailand, 24-27 Jun. 2020.

[14] R. Lotfi, M. Taherzadeh-Sani, M. Yaser Azizi, and O. Shoaei, "Low-power design techniques for low-voltage fast-settling operational amplifiers in switched-capacitor applications," *Integration*, vol. 36, no. 4, pp. 175-189, Nov. 2003.

[15] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*, 2nd Edition, John Wiley & Sons Inc., 2012.

حنانه غلام‌نتاج در سال ۱۳۶۳ در بابلسر متولد شده است. او مدرک کارشناسی ریاضی را از دانشگاه مازندران در سال ۱۳۸۵ دریافت نمود. در سال ۱۳۹۲ مدرک کارشناسی ارشد مهندسی برق- الکترونیک را از دانشگاه آزاد اسلامی واحد نور اخذ نموده است. در سال ۱۳۹۸ موفق به دفاع از رساله دکتری در دانشگاه آزاد اسلامی واحد نور شده است. زمینه‌های تحقیقاتی مورد علاقه ایشان طراحی مدارهای مجتمع آنالوگ و دیجیتال و بخصوص طراحی حلقه قفل فاز و تقویت‌کننده‌های عملیاتی می‌باشد.

حبیب‌اله آدرنگ در سال ۱۳۵۹ در تهران متولد شده است. او مدرک کارشناسی مهندسی برق– الکترونیک خود را در سال ۱۳۸۲ از دانشگاه صنعتی اصفهان اخذ نموده و توانسته در سال ۱۳۸۴ در دانشگاه فردوسی مشهد مقطع کارشناسی ارشد خویش را به پایان برساند. او مدرک دکتری خود را از دانشگاه مازندران در رشته مهندسی برق و در سال ۱۳۹۱ دریافت نموده است. او هم‌اکنون استادیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی فیلترهای مجتمع، طراحی مدارهای آنالوگ و دیجیتال، تحلیل مدارهای غیرخطی در حوزه میکروالکترونیک RF.

سید صالح محسنی مدرک کارشناسی مهندسی پزشکی را در سال ۱۳۸۵ از دانشگاه صنعتی سهند تبریز اخذ نموده و توانسته در سال ۱۳۸۷ در دانشگاه صنعتی مالک اشتر تهران مقطع کارشناسی ارشد خویش در رشته مهندسی برق- کنترل را به پایان برساند. او مدرک دکتری خود را از دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران در رشته مهندسی برق- کنترل و در سال ۱۳۹۴دریافت نموده است. او هم‌اکنون استادیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: کنترل غیرخطی، بهینه‌سازی، شناسایی سیستم و کاهش مرتبه.

سید صالح قریشی مدرک کارشناسی مهندسی برق– الکترونیک را از دانشگاه صنعتی نوشیروانی بابل اخذ نموده و توانسته به‌ترتیب در سال‌های ۱۳۸۸ و ۱۳۹۲ مقاطع کارشناسی ارشد و دکتری خود را در رشته مهندسی برق- الکترونیک در دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران به پایان برساند. او هم‌اکنون استادیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: نانوالکترونیک، شبیه‌سازی و مدل‌سازی عدد ادوات نیمه‌هادی مانند ترانزیستورهای اثرمیدانی نانولوله‌ای کربنی و گرافن.