مقاله پژوهشی

ارائه تمام‌جمع‌کننده‌های تقریبی با خطای کم و آگاه از تغییرپذیری برای کاربردهای تحمل‌پذیر عدم دقت

محمد میرزایی و سیامک محمدی

چکیده: کاربردهای تحمل‌پذیر عدم دقت مانند پردازش تصویر و یادگیری ماشین به دلیل محدودیت‌های حس انسان یا ماهیت کاربرد، قابلیت تحمل عدم دقت را دارند. استفاده از محاسبات تقریبی در این کاربردها می‌تواند به کاهش قابل توجهی در توان، تأخیر و مساحت منجر شود. در این مقاله دو تمام‌جمع‌کننده تقریبی و یک جمع‌کننده تقریبی با خطای کم ارائه شده و اثرات تغییرپذیری قالب به قالب ولتاژ آستانه روی این مدارها مورد ارزیابی قرار گرفته است. برای ارزیابی خطا و تغییرپذیری، از این تمام‌جمع‌کننده‌های تقریبی در ساختار جمع‌کننده با انتشار نقلی و الگوریتم‌های پردازش تصویر sharpening و smoothing استفاده شده است. از نظر سه پارامتر حاصل‌ضرب- توان- تأخیر، دقت و مساحت برای ورودی‌های با توزیع یکنواخت، تمام‌جمع‌کننده پیشنهادی ۱ و از نظر حداکثر نسبت سیگنال به نویز برای کاربردهای واقعی، تمام‌جمع‌کننده پیشنهادی ۲ و جمع‌کننده پیشنهادی، بهترین عملکرد را دارند.

***کلیدواژه:* تغییرپذیری، تمام‌جمع‌کننده تقریبی، جمع‌کننده تقریبی، کاربردهای تحمل‌پذیر عدم دقت، محاسبات تقریبی.**

۱- مقدمه

کاربردهایی مانند پردازش تصویر و صدا و بینایی کامپیوتر[1] به دلیل آن که اکثر محاسبات را روی تصویر، صدا و ویدئو انجام داده‌اند یا با حس‌های نادقیق انسان سروکار دارند، حساسیت کمتری به کیفیت خروجی کاربرد دارند. این کاربردها، کاربردهای تحمل‌پذیر عدم دقت[2] نامیده می‌شوند. در این کاربردها با استفاده از محاسبات تقریبی[3] و کاهش ناچیز کیفیت خروجی، می‌توان به بهبود قابل توجهی از نظر مساحت، توان مصرفی و کارایی دست یافت [۱]. مثلاً در الگوریتم خوشه‌بندی[4] k-means با کاهش ۵ درصدی دقت دسته‌بندی[5]، می‌توان تا ۵۰ برابر انرژی را کاهش داد [۲] و [۳].

در سیستم محاسبات دودویی مهم‌ترین واحد محاسباتی جمع‌کننده می‌باشد که از آن برای انجام عملیاتی مانند جمع، تفریق، ضرب و تقسیم استفاده می‌شود. همچنین در بیشتر کاربردهای تحمل‌پذیر عدم دقت از واحدهای محاسباتی مانند جمع‌کننده‌ها و ضرب‌کننده‌های تقریبی استفاده می‌گردد. جزء اصلی تشکیل‌دهنده ساختار جمع‌کننده‌ها و ضرب‌کننده‌های تقریبی، تمام‌جمع‌کننده‌های تقریبی[6] است و به همین دلیل در این مقاله به بررسی تمام‌جمع‌کننده‌های تقریبی می‌پردازیم که یکی از پرکاربردترین المان‌های محاسباتی در محاسبات تقریبی می‌باشند [۴].

با پیشرفت فناوری، در طی مراحل ساخت نیمه‌هادی، عواملی چون لیتوگرافی و نقص لنز موجب ایجاد تغییراتی در پارامترهای ترانزیستور و اتصالات میانی می‌شود. این تغییرات فیزیکی منجر به تغییراتی در مشخصه الکتریکی ترانزیستور، نظیر جریان و ولتاژ آستانه (V_{th})[7] ترانزیستور می‌گردد. در نتیجه استفاده از این ترانزیستور در یک مدار، موجب ایجاد تغییراتی در توان و تأخیر آن مدار می‌گردد. در این حالت تغییرپذیری به یکی از چالش‌های طراحان مبدل شده است؛ به طوری که در فناوری‌های زیر ۴۵ نانومتر، مهم‌ترین عامل عدم اطمینان، تغییرپذیری می‌باشد [۵]. کاربردهای تحمل‌پذیر عدم دقت از جمع‌کننده‌های تقریبی برای کاهش توان و تأخیر استفاده می‌نمایند اما تغییرپذیری روی توان و تأخیر این مدارها تأثیر می‌گذارد. از این رو اثرات تغییرپذیری روی جمع‌کننده‌های تقریبی باید مورد ارزیابی و بررسی قرار گیرند.

تغییرپذیری به دو دسته تغییرپذیری پارامترهای فرایند ساخت[8] و تغییرپذیری پارامترهای محیطی[9] تقسیم می‌شود [۶]. تغییرپذیری فرایند، در طول فرایند ساخت رخ می‌دهد و عموماً دایمی است که این تغییرات به دلیل محدودیت‌های فرآوری[10] و پوشش‌گذاری[11] رخ می‌دهد. تغییرپذیری محیطی در طول کار یک مدار خود را نشان می‌دهد و این نوع تغییرپذیری شامل دما، ضریب فعالیت[12] و ولتاژ تغذیه می‌باشد. تغییرپذیری فرایند ساخت به دو گروه درون‌قالب (WID)[13] و قالب به قالب (D2D)[14] تقسیم می‌شود. در تغییرپذیری درون‌قالب تغییرات می‌توانند اثرات متفاوتی روی سطح یک قالب ایجاد نمایند. مثلاً به دلیل نوسانات تصادفی ناخالصی (RDF)[15]، ولتاژ آستانه در سطح یک قالب یکسان نبوده و در قسمت‌های مختلف آن متفاوت می‌باشد. تغییرپذیری قالب به قالب اثر یکسانی روی

این مقاله در تاریخ ۱۳ اسفند ماه ۱۳۹۹ دریافت و در تاریخ ۱۱ اردیبهشت ماه ۱۴۰۱ بازنگری شد. این تحقیق توسط پژوهشگاه دانش‌های بنیادی بر اساس قرارداد شماره ۹۹۲۸۳۶۵۷۴ پشتیبانی شده است.

محمد میرزایی، دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، تهران، ایران، (email: mo.mirzaei@ut.ac.ir).

سیامک محمدی (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران، تهران، ایران، (email: smohamadi@ut.ac.ir).

1. Computer Vision
2. Imprecision-Tolerant Applications
3. Approximate Computing
4. Clustering
5. Classification
6. Approximate Full Adder
7. Threshold Voltage
8. Process Variation
9. Environment Variation
10. Processing
11. Masking
12. Activity Factor
13. Within-Die
14. Die-to-Die
15. Random Dopant Fluctuation

سطح یک قالب دارد اما این اثرات از قالبی به قالب دیگر متفاوت است. مثلاً به دلیل تفاوت در ضخامت یک ویفر[1]، ولتاژ آستانه دو قالب مجاور با هم متفاوت بوده و این در حالی است که در سطح هر قالب، ولتاژ آستانه دارای مقدار ثابتی می‌باشد.

در نتیجه در فناوری‌های امروزی تغییرپذیری بسیار مهم است ولی اکثر کارهایی که در زمینه محاسبات تقریبی انجام شده‌اند، اثرات تغییرپذیری را روی روش‌های پیشنهادی مورد ارزیابی قرار نداده‌اند. در این مقاله اثرات تغییرپذیری را روی تمام‌جمع‌کننده‌های تقریبی مورد ارزیابی قرار خواهیم داد. با توجه به [۶] تا [۹]، ولتاژ آستانه مهم‌ترین پارامتر در تغییرپذیری فناوری‌های جدید بوده و اثرات تغییرپذیری D2D در کاربردهای تحمل‌پذیر عدم دقت حدوداً ۲ الی ۳ برابر اثرات تغییرپذیری WID می‌باشد [۱۰]. به همین دلیل در این مقاله اثر تغییرپذیری قالب به قالب پارامتر ولتاژ آستانه (V_{th}) را روی کارایی واحدهای تقریبی مورد بررسی قرار خواهیم داد.

خلاصه نوآوری‌های مقاله به صورت زیر است:

۱) ارائه دو تمام‌جمع‌کننده تقریبی جدید به اسم APFA۱ و APFA۲ که نسبت به تمام‌جمع‌کننده‌های تقریبی موجود خطای کمتری دارند.

۲) برای تمام‌جمع‌کننده‌های تقریبی، اثرات تغییرپذیری روی توان، تأخیر و حاصل‌ضرب- توان- تأخیر (PDP)[2] مورد ارزیابی قرار گرفته است. برای این منظور اثرات تغییرپذیری D2D روی ولتاژ آستانه ترانزیستورها در فناوری ۳۲ نانومتر با استفاده از شبیه‌سازی مونت‌کارلو[3] در محیط اچ‌اسپایس[4] مورد ارزیابی قرار است.

۳) همچنین با استفاده از APFA۱ و APFA۲ جمع‌کننده‌ای تقریبی مبتنی بر RCA ارائه می‌نماییم که در کاربردهای واقعی بهترین عملکرد را دارا است.

در ادامه مقاله و در بخش ۲ به شرح کارهای انجام‌شده در زمینه جمع‌کننده‌های تقریبی و تمام‌جمع‌کننده‌های تقریبی پرداخته خواهد شد. در بخش ۳ تمام‌جمع‌کننده‌های تقریبی پیشنهادی شرح داده می‌شوند. در بخش ۴ ساختار جمع‌کننده تقریبی پیشنهادی ارائه گردیده و به ارزیابی کارایی، خطا و اثرات تغییرپذیری جمع‌کننده‌های تقریبی پرداخته خواهد شد. در بخش ۵ نتایج شبیه‌سازی‌ها روی کاربردهای پردازش تصویر ارائه خواهد گردید و نهایتاً در بخش ۶ به جمع‌بندی و نتیجه‌گیری پرداخته شده است.

۲- کارهای پیشین

جمع‌کننده‌ای تقریبی با قابلیت تنظیم دقت در [۱۱] و [۱۲] ارائه شده است. برای این کار یک تمام‌جمع‌کننده و یک نیم‌جمع‌کننده با قابلیت ماسک‌کردن کری ارائه گردیده و از آن در ساختار RCA استفاده شده است. برای تنظیم دقت، مداری به منظور تصحیح خطا ارائه شده که در صورت نیاز فعال می‌گردد. در [۱۳] یک جمع‌کننده تقریبی به نام LOA ارائه شده که در قسمت تقریبی آن از گیت Or۲ برای محاسبه Sum استفاده گردیده و از یک گیت And۲ روی پرارزش‌ترین بیت بخش تقریبی برای محاسبه نقلی خروجی به بخش دقیق استفاده می‌گردد. اگر از این کار فقط برای یک تمام‌جمع‌کننده تقریبی استفاده نماییم، خروجی Sum توسط Or۲ و خروجی Cout توسط And۲ تولید خواهد شد.

در [۱۴] با استفاده از منطق ترانزیستور گذر یک تمام‌جمع‌کننده قابل تنظیم در مد دقیق و تقریبی ارائه شده است. از این تمام‌جمع‌کننده در ساختار RCA استفاده شده که در مد تقریبی مانند LOA عمل نموده ولی توان مصرفی را به نصف کاهش می‌دهد. در [۱۵] به بهینه‌سازی جمع‌کننده LOA پرداخته شده است. روشی برای یافتن جمع‌کننده‌های تقریبی هیبرید که از نظر انرژی کارا باشند، برای کاربردهای پردازش تصویر و ویدئو در [۱۶] ارائه شده است. به دلیل آن که هدف این مقاله انجام عملیات ضرب بدون استفاده از ضرب‌کننده‌های مرسوم می‌باشد، عملیات غالب در این کار، شیفت و جمع[5] بوده و از جمع‌کننده‌های پیشوندی موازی[6] استفاده شده است.

در [۱۷] به تحلیل احتمالی خطای جمع‌کننده‌های تقریبی پرداخته شده و در [۱۸] روشی کارا برای محاسبه خطاهای آماری جمع‌کننده‌های تقریبی مبتنی بر بلاک ارائه گردیده است. یک جمع‌کننده تقریبی قابل پیکربندی با پیش‌بینی کری در [۱۹] ارائه شده است. این جمع‌کننده در دو مد دقیق و تقریبی کار می‌کند و در فناوری ۱۵ نانومتر فین‌فت ارزیابی گردیده است. در [۲۰] با استفاده از تمام‌جمع‌کننده‌های تقریبی به ارائه یک تبدیل کسینوسی گسسته (DCT)[7] تقریبی برای فشرده‌سازی تصاویر پرداخته شده است. در این کار ضرب‌کننده‌های ممیز شناور، حذف و به جای آن از جمع صحیح و شیفت استفاده شده است.

با حذف برخی از ترانزیستورهای یک تمام‌جمع‌کننده آینه‌ای[8]، در [۲۱] و [۲۲] به ترتیب ۳ و ۴ تمام‌جمع‌کننده تقریبی ارائه گردیده است. این تمام‌جمع‌کننده‌های تقریبی به دلیل کاهش خازن‌های سوئیچینگ دارای تأخیر و توان مصرفی کمتر و همچنین به دلیل حذف برخی از ترانزیستورها دارای مساحت کمتری نسبت به تمام‌جمع‌کننده آینه‌ای دقیق می‌باشند. این تمام‌جمع‌کننده‌های تقریبی در چندین حالت نیز خروجی‌های نادرست تولید می‌نمایند. سه نوع تمام‌جمع‌کننده تقریبی مبتنی بر XOR و XNOR در [۲۳] ارائه شده و برای پیاده‌سازی گیت‌های XOR و XNOR از منطق ترانزیستورهای گذر[9] استفاده گردیده است. سه نوع تمام‌جمع‌کننده نادقیق با استفاده از گیت‌های استاندارد در [۲۴] ارائه شده ولی برای پیاده‌سازی گیت‌های استاندارد از منطق ترانزیستورهای گذر استفاده نموده است. در دو مقاله قبل، علاوه بر خروجی‌های نادرست برای برخی ورودی‌ها، مشکل دیگر این نوع تمام‌جمع‌کننده‌های تقریبی، افت سطوح ولتاژ به دلیل استفاده از ترانزیستورهای گذر می‌باشد [۲۵].

در [۲۶]، دو نوع تمام‌جمع‌کننده مبتنی بر XOR و MUX ارائه شده که برای پیاده‌سازی آن از منطق گیت انتقال[10] استفاده گردیده که مشکل افت سطوح ولتاژ ترانزیستورهای گذر را ندارد، ولی نسبت به سایر تمام‌جمع‌کننده‌های نادقیق توان مصرفی بیشتری دارد. در [۲۷] یک نیم‌جمع‌کننده، یک تمام‌جمع‌کننده و یک فشرده‌کننده ۴ به ۲ تقریبی برای ضرب‌کننده آرایه‌ای ارائه شده است. برای این کار برای تولید sum به جای یکی از گیت‌های XOR از گیت OR استفاده شده است. برای تولید نقلی نیز از گیت‌های AND و OR بین سه ورودی تمام‌جمع‌کننده استفاده گردیده است. در [۲۸] یک نیم‌جمع‌کننده و یک تمام‌جمع‌کننده

1. Wafer
2. Power-Delay-Product
3. Monte-Carlo
4. HSPICE
5. Shift and Add
6. Parallel Prefix Adders
7. Discrete Cosine Transform
8. Mirror Adder
9. Pass Transistors
10. Transmission Gate

جدول ۱: جدول درستی و پارامترهای خطا در تمام‌جمع‌کننده‌های دقیق و تقریبی.

Inputs			CMA	AMA۱	AMA۲	AMA۳	VAFA	NFAx	TGA۲	LOA	AFA۱	AFA۲	AFA۳	APFA۱	APFA۲
A	B	Cin	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS
۰	۰	۰	۰۰	۰۰	۰۱	۰۱	۰۰	۰۱	۰۰	۰۰	۰۱	۰۰	۰۰	۰۰	۰۰
۰	۰	۱	۰۱	۰۱	۰۱	۰۱	۰۱	۱۰	۰۱	۰۰	۰۱	۰۰	۰۰	۰۱	۰۱
۰	۱	۰	۰۱	۱۰	۰۱	۱۰	۰۱	۰۱	۱۰	۰۱	۰۱	۰۱	۰۱	۰۱	۰۱
۰	۱	۱	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۰۱	۰۱	۱۱	۰۱	۰۱	۰۱
۱	۰	۰	۰۱	۰۰	۰۱	۰۱	۰۱	۰۱	۱۰	۰۱	۰۱	۰۱	۰۱	۰۱	۰۱
۱	۰	۱	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۰۱	۱۰	۱۱	۱۱	۰۱	۱۱
۱	۱	۰	۱۰	۱۰	۱۰	۱۰	۰۱	۱۱	۱۰	۱۱	۱۰	۱۱	۱۱	۱۰	۱۰
۱	۱	۱	۱۱	۱۱	۱۰	۱۰	۱۰	۱۱	۱۱	۱۱	۱۰	۱۱	۱۱	۱۱	۱۱
ER			–	۰٫۲۵	۰٫۲۵	۰٫۳۷۵	۰٫۲۵	۰٫۳۷۵	۰٫۲۵	۰٫۵	۰٫۳۷۵	۰٫۵	۰٫۵	۰٫۲۵	۰٫۲۵
MRED			–	۰٫۲۵	۰٫۱۶۷	۰٫۲۹۲	۰٫۱۰۴	۰٫۳۱۲	۰٫۲۵	۰٫۳۱۲	۰٫۲۲۹	۰٫۳۱۲	۰٫۳۱۲	۰٫۱۲۵	۰٫۱۲۵
NMED			–	۰٫۰۸۳	۰٫۰۸۳	۰٫۱۲۵	۰٫۰۸۳	۰٫۱۲۵	۰٫۰۸۳	۰٫۱۲۵	۰٫۱۲۵	۰٫۱۶۷	۰٫۱۶۷	۰٫۰۸۳	۰٫۰۸۳

تقریبی با استفاده از گیت‌های NAND۲ ارائه شده است. طبق نتایج ارائه‌شده در مقاله، این تمام‌جمع‌کننده ارائه‌شده از نظر انرژی وضعیت خوبی دارد ولی از نظر خطا، جزء بدترین طراحی‌های موجود می‌باشد. در [۱۰] نیز ۳ تمام‌جمع‌کننده تقریبی در منطق CMOS ارائه شده و برای اولین بار اثرات تغییرپذیری را روی تمام‌جمع‌کننده تقریبی مورد ارزیابی قرار گرفته است.

همچنین اخیراً کارهای زیادی در زمینه واحدهای محاسباتی تقریبی به خصوص تمام‌جمع‌کننده‌های تقریبی در فناوری‌های ترانزیستور اثر میدانی نانولوله کربنی (CNFET)[۱] و پیوند تونل مغناطیسی (MTJ)[۲] انجام شده است. تمرکز این مقاله روی فناوری‌های ماسفت بوده و فناوری‌های فوق، خارج از حوزه کاری آن می‌باشد ولی به برخی از این کارها اشاره مختصری خواهیم داشت. در [۲۹] و [۳۰]، دو تمام‌جمع‌کننده تقریبی با استفاده از CNFET، ارائه و از آن در ساختار الگوریتم‌های تشخیص حرکت و تشخیص لبه استفاده شده است. همچنین یک تمام‌جمع‌کننده تقریبی با استفاده از CNFET در هر یک از [۳۱] و [۳۲]، ارائه و از آن در ساختار الگوریتم ترکیب تصویر[۳] استفاده گردیده است. در [۳۳]، دو تمام‌جمع‌کننده تقریبی با استفاده از فناوری MTJ برای کاربردهای محاسبه در حافظه[۴] ارائه شده و همچنین یک تمام‌جمع‌کننده تقریبی با استفاده از فناوری MTJ در [۳۴] آمده است.

تمام‌جمع‌کننده‌های تقریبی ارائه‌شده در مقالات فوق، از نظر توان مصرفی، تأخیر، دقت و مساحت با هم متفاوت هستند و جز [۹] و [۱۰]، هیچ یک از دیگر مقالات اثرات تغییرپذیری را در نظر نگرفته‌اند. هدف ما ارزیابی تمام‌جمع‌کننده‌های تقریبی از نظر کارایی (توان، تأخیر و PDP)، خطا و بررسی اثرات تغییرپذیری بوده و همچنین ارائه تمام‌جمع‌کننده‌های تقریبی با خطای کم، کارایی قابل قبول و آگاه از تغییرپذیری می‌باشد.

۳- تمام‌جمع‌کننده‌های تقریبی پیشنهادی

در یک تمام‌جمع‌کننده تقریبی با توجه به سه ورودی دودویی، هشت حالت خروجی امکان‌پذیر است. با افزایش تعداد حالات نادرست خروجی، دقت، پیچیدگی طراحی و توان کاهش یافته و با کاهش تعداد حالات نادرست خروجی، دقت، پیچیدگی طراحی و توان افزایش می‌یابد. با توجه به تمام‌جمع‌کننده‌های تقریبی موجود و ارزیابی‌های انجام‌شده در این مقاله، زمانی که ۲ حالت از ۸ حالت خروجی نادرست باشد، مصالحه مناسبی بین دقت، پیچیدگی طراحی و توان مصرفی وجود خواهد داشت. در این مقاله با توجه به این مشاهده، تمامی حالاتی را که می‌توان یک تمام‌جمع‌کننده تقریبی با ۲ حالت خروجی نادرست از ۸ حالت ممکن داشت، مورد ارزیابی قرار دادیم. برای این کار یک جمع‌کننده ۸بیتی مبتنی بر RCA با فرض $Cin_0=0$ در نظر گرفته و از تمام‌جمع‌کننده‌های تقریبی در ساختار آن استفاده نمودیم.

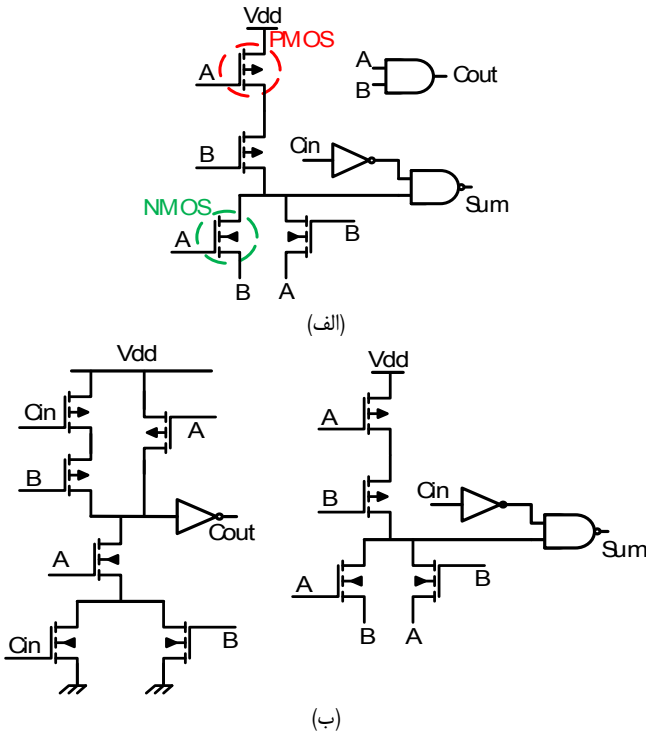
با اعمال تمامی حالات ورودی ممکن برای جمع‌کننده، بهترین تمام‌جمع‌کننده‌های تقریبی از نظر پارامترهای خطا را جستجو نمودیم. حاصل این کار دو تمام‌جمع‌کننده تقریبی APFA۱ و APFA۲ است که از نظر پارامترهای خطا بهتر از همه تمام‌جمع‌کننده‌های تقریبی موجود می‌باشند. جدول درستی این تمام‌جمع‌کننده‌های تقریبی در جدول ۱ ارائه شده است. در ادامه برای پیاده‌سازی این تمام‌جمع‌کننده‌های تقریبی در سطح ترانزیستور، طراحی‌های گوناگونی را ارزیابی و بهترین طراحی را از نظر مصالحه بین پارامترهای توان، تأخیر و PDP انتخاب نموده‌ایم. شکل ۱ ساختار سطح ترانزیستور این دو تمام‌جمع‌کننده تقریبی پیشنهادی را نشان می‌دهد. روابط منطقی این تمام‌جمع‌کننده‌های تقریبی در (۱) و (۲) ارائه شده است

$$APFA۱: Cout = AB, Sum = A\overline{B} + \overline{A}B + Cin \quad (۱)$$

$$APFA۲: Cout = A(B+C), Sum = A\overline{B} + \overline{A}B + Cin \quad (۲)$$

با توجه به شکل، برای پیاده‌سازی خروجی Sum در APFA۱ و APFA۲ از گیت XNOR۲ در منطق ترانزیستور گذر[۵] استفاده شده است. منطق ترانزیستور گذر دارای ۲ مشکل می‌باشد که عبارت هستند از: توان ایستا و مسئله کاهش/افزایش سطح ولتاژ. با توجه به این که تنها از دو ترانزیستور گذر در طراحی تمام‌جمع‌کننده‌های پیشنهادی استفاده شده است، لذا توان ایستای بالایی نداشته و توان مصرفی کل این طراحی‌ها قابل قبول است (بر اساس نتایج ارائه‌شده در فناوری ۶۵ نانومتر برای تمام‌جمع‌کننده‌های تقریبی مبتنی بر ترانزیستور گذر دارای ۶ الی ۸ ترانزیستور، توان ایستا حدود ۲ درصد از توان مصرفی کل را شامل می‌شود [۲۳]). برای حل

1. Carbon Nanotube Field-Effect Transistor
2. Magnetic Tunnel Junction
3. Image Blending
4. Computing-in-Memory
5. Pass Transistor Logic



شکل ۱: تمام‌جمع‌کننده‌های تقریبی پیشنهادی، (الف) APFA۱ و (ب) APFA۲.

مسئله کاهش/ افزایش سطح ولتاژ در ترانزیستور گذر، از گیت Nand۲ در منطق CMOS در خروجی این مدارها استفاده شده و از این رو کاهش یا افزایش در سطح ولتاژ را اصلاح خواهد نمود.

با توجه به (۱)، تمام‌جمع‌کننده تقریبی APFA۱ برای محاسبه Cout به نقلی طبقه قبل نیازی ندارد و به همین دلیل تأخیر مسیر بحرانی جمع‌کننده‌هایی که از این تمام‌جمع‌کننده تقریبی استفاده می‌نمایند، کمتر می‌باشد. در جدول ۱، تمام‌جمع‌کننده‌های تقریبی را از نظر دقت با تمام‌جمع‌کننده دقیق، مقایسه و جدول درستی آنها را ارائه نموده‌ایم. در این جدول ستون‌های CS بیانگر بیت‌های خروجی تمام‌جمع‌کننده بوده که بیت کم‌ارزش (سمت راست) متعلق به حاصل‌جمع (S) و بیت پرارزش (سمت چپ) متعلق به نقلی (C) می‌باشد. هر گاه خروجی تمام‌جمع‌کننده تقریبی نادرست باشد، بیت متناظر با آن در ستون CS جدول ۱ با رنگ قرمز مشخص می‌گردد.

در این مقاله از تمام‌جمع‌کننده دقیق آینه‌ای ارائه‌شده در [۲۲] به عنوان طراحی پایه استفاده می‌گردد که در ادامه مقاله با نام CMA شناخته خواهد شد و ۱۰ تمام‌جمع‌کننده تقریبی مختلف از مقالات دیگر مورد ارزیابی قرار خواهند گرفت. نام‌های اختصاری آنها در این مقاله عبارت هستند از: AMA۱، AMA۲، AMA۳، VAFA، NFAx، TGA۲، LOA، AFA۱، AFA۲ و AFA۳. تمام‌جمع‌کننده‌های تقریبی AMA از [۲۲]، تمام‌جمع‌کننده تقریبی VAFA از [۲۷]، تمام‌جمع‌کننده تقریبی NFAx از [۲۸]، تمام‌جمع‌کننده تقریبی TGA۲ از [۲۶]، تمام‌جمع‌کننده تقریبی LOA از [۱۳] و تمام‌جمع‌کننده‌های تقریبی AFA از [۱۰] اخذ گردیده است. با توجه به نتایج ارائه‌شده [۱۰]، به دلیل این که تمام‌جمع‌کننده‌های AXA و InXA [۲۳] و [۲۴] دارای مشکلات افت ولتاژ، پارامترهای خطای قابل توجه و حساسیت زیاد نسبت به تغییرپذیری می‌باشند، در این مقاله مقایسه‌ای با کارهای ذکرشده نخواهیم داشت.

برای ارزیابی خطا با توجه به [۲۲] از سه پارامتر نرخ خطا (ER)[1]،

1. Error Rate

جدول ۲: مقادیر پارامترهای فناوری ۳۲ نانومتر و معکوس‌کننده پایه.

Tech	۳۲ nm	Vdd	۰٫۹ V	Leff	۱۲٫۶ nm
Process	TT	Vth	۰٫۱۶ V	Wn=Wp/۲	۶۴ nm
Temp	۲۵ °C	Tox	۱ nm	Ln=Lp	۳۲ nm

میانگین فاصله خطای نرمال‌شده (NMED)[2] و میانگین نسبی فاصله خطا (MRED)[3] استفاده گردیده است. در ادامه هر یک از این پارامترها شرح داده خواهند شد. در این روابط n بیانگر تعداد کل حالت‌های ورودی است

$$ER = \frac{Number\ of\ Erroneos\ Outputs}{n} \quad (۳)$$

$$NMED = \frac{\frac{1}{n}\sum_{i=1}^{n}\left|Exact\ Output_i - Approximate\ Output_i\right|}{Exact\ Output_{max}} \quad (۴)$$

$$MRED = \frac{1}{n}\sum_{i=1}^{n}\frac{\left|Exact\ Output_i - Approximate\ Output_i\right|}{Exact\ Output_i} \quad (۵)$$

در ۳ سطر آخر جدول ۱، مقادیر پارامترهای خطا برای تمام‌جمع‌کننده‌های تقریبی ارائه شده است. برای محاسبه MRED برای تمام‌جمع‌کننده‌های تقریبی مانند AMA۲، AMA۳، NFAx و AFA۱ با توجه به این که برای حالت ورودی‌های $A=B=Cin=0$ دارای خطا می‌باشیم و با توجه به (۵)، مقدار RED در این حالت بی‌نهایت می‌گردد ولی ما در این حالت مقدار RED را ۱ فرض می‌نماییم. با توجه به جدول ۱، کمترین میزان خطا متعلق به VAFA بوده و پس از آن APFA۱ و APFA۲ هر دو در جایگاه دوم قرار دارند.

۳-۱ ارزیابی کارایی تمام‌جمع‌کننده‌های تقریبی

در این بخش یک تمام‌جمع‌کننده دقیق آینه‌ای و ۱۲ تمام‌جمع‌کننده تقریبی را از نظر پارامترهای توان مصرفی، تأخیر، PDP و مساحت با هم مقایسه می‌کنیم. برای این کار از شبیه‌ساز HSPICE در فناوری ۳۲ نانومتر PTM [۳۵] استفاده شده است. برای خازن بار در خروجی‌های تمام‌جمع‌کننده‌ها از ۴ معکوس‌کننده استفاده نموده و در عمل هر خروجی تمام‌جمع‌کننده، ۴ معکوس‌کننده را درایو می‌کند. منظور از مساحت، تعداد ترانزیستورهای موجود در آن تمام‌جمع‌کننده می‌باشد. در جدول ۲، مقادیر پارامترهای فناوری ۳۲ نانومتر (ولتاژ تغذیه، ولتاژ آستانه، طول مؤثر کانال، دما و ضخامت اکسید گیت) و همچنین پهنا و طول ترانزیستورهای نوع P و نوع N برای معکوس‌کننده پایه ارائه شده است.

برای به دست آوردن توان، تأخیر و PDP، تمامی حالت‌هایی را که ورودی‌های تمام‌جمع‌کننده می‌توانند داشته باشند به عنوان سناریوهای ورودی به آن داده و مقدار میانگین و ماکسیمم را در جدول ۳ ارائه نموده‌ایم. مثلاً سناریوی اول، تغییر ورودی از حالت $ABCin=000$ به حالت $ABCin=001$ است، سناریوی دوم تغییر ورودی از حالت $ABCin=000$ به حالت $ABCin=010$ بوده و به همین ترتیب تا سناریوی آخر که تغییر ورودی از حالت $ABCin=111$ به حالت

2. Normalized Mean Error Distance
3. Mean Relative Error Distance

جدول ۳: توان، تأخیر، PDP متوسط و ماکسیمم و مساحت تمام‌جمع‌کننده‌ها.

FAs	Power (µw)		Delay (ps)		PDP (aj)		Area
	Avg	Max	Avg	Max	Avg	Max	# of Tran
CMA	۶٫۰۴	۱۰٫۶۳	۲۴٫۸۱	۴۰٫۰۰	۱۵۱٫۶۹	۲۸۷٫۷۲	۲۸
AMA۱	۴٫۲۴	۶٫۸۰	۱۸٫۷۳	۳۳٫۵۹	۸۲٫۲۱	۱۸۹٫۸۸	۲۰
AMA۲	۳٫۷۷	۴٫۸۹	۲۱٫۵۵	۲۸٫۳۷	۸۰٫۹۸	۱۱۸٫۳۱	۱۴
AMA۳	۳٫۳۶	۴٫۳۱	۲۰٫۷۶	۲۵٫۴۶	۶۹٫۵۲	۱۰۰٫۶۲	۱۱
VAFA	۶٫۸۹	۱۱٫۱۵	۲۷٫۵۸	۴۳٫۴۱	۲۰۵٫۸۰	۴۵۴٫۰۶	۲۴
NFAx	۳٫۲۵	۴٫۸۹	۱۴٫۶۶	۱۹٫۳۵	۴۷٫۱۶	۷۶٫۴۵	۱۴
TGA۲	۴٫۵۹	۷٫۶۵	۱۹٫۴۸	۳۹٫۶۰	۱۰۰٫۱۰	۲۸۶٫۱۱	۲۲
LOA	۲٫۷۷	۵٫۰۲	۱۳٫۶۹	۱۷٫۱۲	۳۸٫۴۶	۷۸٫۷۴	۱۲
AFA۱	۲٫۰۱	۲٫۵۸	۱۲٫۵۹	۱۹٫۱۵	۲۵٫۶۶	۴۷٫۷۶	۸
AFA۲	۳٫۷۸	۶٫۵۵	۱۵٫۵۷	۲۱٫۵۲	۵۹٫۳۰	۱۱۷٫۳۰	۱۸
AFA۳	۲٫۷۶	۴٫۹۹	۱۳٫۷۵	۱۹٫۱۵	۳۸٫۴۵	۷۳٫۱۳	۱۴
APFA۱	۳٫۳۳	۷٫۸۶	۱۵٫۱۵	۲۶٫۵۹	۵۴٫۷۲	۲۰۹٫۰۸	۱۶
APFA۲	۳٫۵۳	۷٫۸۸	۱۴٫۹۶	۲۶٫۴۵	۵۶٫۷۵	۲۰۸٫۲۷	۱۸

$ABCin = ۱۱۰$ می‌باشد. در بازه‌های زمانی ۲۵۰ پیکوثانیه‌ای، سناریوها را تغییر می‌دهیم و با توجه به این که حداکثر تأخیر کمتر از ۵۰ پیکوثانیه می‌باشد، در نتیجه زمان قابل توجهی (بیش از ۱۵۰ پیکوثانیه) ورودی‌ها و خروجی‌های مدار ثابت بوده و از این طریق توان ایستا نیز در توان مصرفی کل لحاظ شده است.

برای گزارش تأخیر، از بین تأخیر Sum و Cout بزرگ‌ترین را به عنوان تأخیر آن تمام‌جمع‌کننده لحاظ می‌کنیم. در جدول ۳ مقادیری که با رنگ سبز مشخص شده‌اند بیانگر بهترین مقدار، مقادیری که با رنگ آبی مشخص شده‌اند بیانگر دومین بهترین مقدار و مقادیری که با رنگ قرمز مشخص شده‌اند بیانگر بدترین مقدار هستند (این قرارداد برای تمامی جداول بعدی نیز صادق است). بر اساس جدول ۳ کمترین؛ توان متوسط، توان ماکسیمم، تأخیر متوسط، PDP متوسط و PDP ماکسیمم متعلق به AFA۱ بوده و کمترین تأخیر ماکسیمم متعلق به LOA می‌باشد. از نظر مساحت نیز AFA۱ با ۸ ترانزیستور کمترین مساحت را دارا است. بیشترین مقدار توان، تأخیر، PDP و مساحت متعلق به VAFA بوده و علتش این است که در این تمام‌جمع‌کننده تقریبی از گیت XOR۲ در منطق CMOS استفاده شده که نسبت به گیت‌های ساده‌تری مانند And۲ و Or۲ دارای توان و تأخیر بیشتری می‌باشد. با توجه به جدول ۳، AFA۱ نسبت به CMA توان متوسط، تأخیر متوسط، PDP متوسط و مساحت را به میزان ۶۶٫۷۲٪، ۴۹٫۲۴٪، ۸۳٫۰۹٪ و ۷۱٫۴۳٪ کاهش می‌دهد. APFA۱ نسبت به CMA توان متوسط، تأخیر متوسط، PDP متوسط و مساحت را به میزان ۴۴٫۸۰٪، ۳۸٫۹۲٪، ۶۳٫۹۳٪ و ۴۲٫۸۶٪ کاهش می‌دهد. همچنین APFA۲ نسبت به CMA توان متوسط، تأخیر متوسط، PDP متوسط و مساحت را به میزان ۴۱٫۵۲٪، ۳۹٫۶۹٪، ۶۲٫۵۹٪ و ۳۵٫۷۱٪ کاهش می‌دهد.

با توجه به جدول ۱، تمام‌جمع‌کننده‌های تقریبی VAFA، APFA۱ و APFA۲ از نظر ER و NMED یکسان هستند ولی از نظر MRED وضعیت VAFA از بقیه بهتر است. اما بر اساس جدول ۳، VAFA از نظر توان، تأخیر، PDP و مساحت، بدترین وضعیت را دارد و نمی‌تواند انتخاب مناسبی برای کاربردهای تحمل‌پذیر عدم دقت باشد. بر اساس جداول ۱ و ۳، هیچ تمام‌جمع‌کننده تقریبی وجود ندارد که از نظر توان، تأخیر، PDP و دقت همواره بهتر از بقیه باشد. در نتیجه باید از این تمام‌جمع‌کننده‌های تقریبی در ساختارهای بزرگ‌تری مانند RCA و یا الگوریتم‌های پردازش تصویر استفاده شود تا بتوان نتیجه‌گیری قابل اعتمادی را ارائه نمود. این کار در بخش‌های بعد انجام شده است.

۳-۲ ارزیابی اثرات تغییرپذیری روی تمام‌جمع‌کننده‌های تقریبی

در این بخش تمام‌جمع‌کننده‌های تقریبی را از نظر اثرات تغییرپذیری، ارزیابی خواهیم کرد. با توجه به [۶]، [۹] و [۱۰]، ولتاژ آستانه مهم‌ترین پارامتر در تغییرپذیری فناوری‌های جدید بوده و اثرات تغییرپذیری D2D حدوداً ۲ الی ۳ برابر اثرات تغییرپذیری WID می‌باشد [۱۰]. به همین دلیل در این مقاله اثرات تغییرپذیری فرایند D2D پارامتر V_{th} روی تمام‌جمع‌کننده‌ها مورد ارزیابی قرار خواهند گرفت. تمامی شبیه‌سازی‌ها در فناوری ۳۲ نانومتر PTM با استفاده از HSPICE انجام شده است و برای ارزیابی اثرات تغییرپذیری از شبیه‌سازی ۱۰۲۴نقطه‌ای مونت‌کارلو در HSPICE استفاده گردیده است.

میزان تغییرات V_{th} نسبت به حالت نامینال را ۲۰ درصد با توزیع گوسی در نظر خواهیم گرفت که این فرض در بقیه بخش‌های این مقاله نیز در نظر گرفته می‌شود. برای ارزیابی اثرات تغییرپذیری پارامتر V_{th} روی تمام‌جمع‌کننده‌های مختلف، تمامی سناریوهای ورودی ممکن را اعمال می‌نماییم. مثلاً برای هر یک از سناریوها، یک شبیه‌سازی مونت‌کارلوی ۱۰۲۴نقطه‌ای اجرا شده و مقادیر توان، تأخیر و PDP به دست آمده و میزان اثرات تغییرپذیری توان، تأخیر و PDP محاسبه می‌شود (نحوه محاسبه تغییرپذیری در ادامه آمده است). نهایتاً میانگین تغییرپذیری این سناریوها به عنوان تغییرپذیری نهایی در نظر گرفته می‌شود. برای ارزیابی اثرات تغییرپذیری از برخی فرمول‌های ریاضی بر اساس [۶] استفاده می‌نماییم. به همین منظور با استفاده از شبیه‌سازی مونت‌کارلو و توزیع گوسی برای پارامتر V_{th}، مقادیر توان، تأخیر و PDP را به دست می‌آوریم. بر اساس فرمول‌های زیر، ابتدا میانگین $(\mu(x))$، واریانس[1] $(Var(x))$ و انحراف معیار[2] $(\sigma(x))$ هر یک از ملاک‌های کارایی (توان، تأخیر و PDP) را بر اساس نتایج حاصل از شبیه‌سازی‌ها، محاسبه نموده و سپس با استفاده از (۶) ضریب تغییرپذیری (C_v) را به دست می‌آوریم. ابتدا

1. Variance
2. Standard Deviation

جدول ۴: میانگین اثرات تغییرپذیری D2D ولتاژ آستانه روی توان، تأخیر و PDP تمام‌جمع‌کننده‌ها.

FAs	Power (μw)			Delay (ps)			PDP (aj)		
	Mean	S.D	C.V (%)	Mean	S.D	C.V (%)	Mean	S.D	C.V (%)
CMA	۶٫۵۶	۱٫۹۴	۲۹٫۵۶	۲۷٫۵۰	۷٫۱۵	۲۶٫۰۰	۱۷۷٫۹۴	۴۷٫۶۴۷۷	۲۶٫۷۷
AMA۱	۴٫۶۸	۱٫۶۴	۳۵٫۱	۲۰٫۴۳	۴٫۶۸	۲۲٫۸۹	۹۶٫۱۵	۲۷٫۴۳	۲۸٫۵۳
AMA۲	۴٫۰۷	۱٫۱۱	۲۷٫۱۴	۲۳٫۷۲	۵٫۸۳	۲۴٫۵۹	۹۴٫۶۶	۲۸٫۰۴	۲۹٫۶۲
AMA۳	۳٫۶۴	۱٫۰۱	۲۷٫۸۸۲۷	۲۲٫۶۳	۵٫۱۸	۲۲٫۸۹	۸۰٫۶۶	۲۳٫۳۷	۲۸٫۹۸
VAFA	۷٫۵۳	۲٫۵۶	۳۳٫۹۶	۳۰٫۵۶	۷٫۶۲	۲۴٫۸۷	۲۴۳٫۵۰	۹۹٫۴۱	۴۰٫۸۳
NFAx	۳٫۶۲	۱٫۳۶	۳۷٫۵۲	۱۵٫۳۷	۳٫۰۵	۱۹٫۳۶	۵۵٫۰۹	۱۶٫۹۶	۳۰٫۸۷
TGA۲	۵٫۳۰	۳٫۰۰	۵۶٫۶۷	۲۱٫۲۳	۴٫۹۹	۲۳٫۴۸	۱۲۰٫۳۴	۵۷٫۶۴	۴۷٫۹۰
LOA	۳٫۱۰	۱٫۲۵	۴۰٫۳۳	۱۴٫۷۹	۳٫۰۵	۲۰٫۵۹	۴۵٫۳۴	۱۴٫۷۸	۳۲٫۵۹
AFA۱	۲٫۲۴	۰٫۷۹	۳۵٫۴۶	۱۳٫۵۴	۲٫۷۰	۱۹٫۹۶	۳۰٫۱۸	۹٫۸۴	۳۲٫۶۱
AFA۲	۴٫۱۷	۱٫۵۰	۳۵٫۸۹	۱۷٫۰۱	۳٫۸۹	۲۲٫۸۸	۶۹٫۷۸	۲۲٫۱۰	۳۱٫۶۷
AFA۳	۳٫۱۳	۱٫۳۷	۴۳٫۶۶	۱۴٫۹۰	۳٫۱۴	۲۱٫۰۷	۴۵٫۹۳	۱۶٫۴۸	۳۵٫۸۹
APFA۱	۳٫۶۳	۱٫۷۴	۴۷٫۹۸	۱۷٫۶۰	۴٫۲۶	۲۴٫۹۶	۶۵٫۳۲	۲۸.۳۲۸	۴۲٫۹۱
APFA۲	۳٫۸۷	۱٫۷۹	۴۶٫۱۷	۱۶٫۸۸	۴٫۰۷	۲۴٫۱۴	۶۸٫۴۹	۲۰٫۳۳	۴۱٫۳۷

شبیه‌سازی مونت‌کارلوی ۱۰۲۴نقطه‌ای برای سناریوهای ورودی انجام شده و مثلاً برای سناریوی ۱، ۱۰۲۴ مقدار برای توان، ۱۰۲۴ مقدار برای تأخیر و ۱۰۲۴ مقدار برای PDP به دست می‌آید. برای آن که تغییرپذیری توان برای سناریوی ۱ را محاسبه نماییم، ابتدا میانگین و انحراف معیار این ۱۰۲۴ مقدار توان را محاسبه نموده و با (۷) مقدار C_v توان را به دست می‌آوریم و به همین ترتیب بر اساس ۱۰۲۴ مقدار تأخیر و ۱۰۲۴ مقدار PDP، مقادیر C_v تأخیر و PDP را به دست می‌آوریم. این کار برای همه سناریوهای ورودی انجام شده و در نهایت میانگین C_v های توان، میانگین C_v های تأخیر و میانگین C_v های PDP محاسبه می‌شود. برای تمام‌جمع‌کننده‌های با میانگین تقریباً برابر، هرچه ضریب تغییرپذیری عدد کوچک‌تری باشد، بیانگر تأثیر کمتر تغییرپذیری روی آن تمام‌جمع‌کننده خواهد بود. در نتیجه آن تمام‌جمع‌کننده از نظر مقاومت در برابر تغییرپذیری بسیار مناسب است

$$C_v = \frac{\sigma(x)}{\mu(x)} \quad (۶)$$

$$\mu(x) = \frac{\sum_{i=1}^{n} x_i}{n} \quad (۷)$$

$$Var(x) = \frac{\sum_{i=1}^{n} (x_i - \mu(x))^2}{n-1} \quad (۸)$$

$$\sigma(x) = \sqrt{Var(x)} \quad (۹)$$

بر اساس راهنمای HSPICE، رابطه بین خطای نسبی با تعداد تکرارهای مونت‌کارلو به صورت زیر می‌باشد

$$Relative\ Error = \frac{1}{\sqrt[3]{Number\ of\ Monte\ Carlo\ Iteration}} \quad (۱۰)$$

با توجه به (۱۰) و با در نظر گرفتن تعداد تکرارهای مونت‌کارلو برابر با ۱۰۲۴، مقدار خطای نسبی حدود ۳٫۱٪ می‌شود. بر اساس راهنمای HSPICE، اگر مداری در تمامی این ۱۰۲۴ تکرار درست کار کند، آن گاه با احتمال ۹۹٪، این مدار برای بیش از ۹۶٫۹٪ از مقادیر کامپوننت‌های ممکن نیز درست کار خواهد کرد. بر اساس شبیه‌سازی‌های انجام‌شده در این مقاله، وقتی تعداد تکرارهای مونت‌کارلو را ۱۰۰۰۰ انتخاب کنیم، مقادیر میانگین، انحراف معیار و ضریب تغییرپذیری بین 10^{-4} تا 10^{-2} نسبت به حالت شبیه‌سازی با ۱۰۲۴ تکرار، تفاوت خواهند داشت که این میزان تفاوت ناچیز بوده و می‌توان دقت شبیه‌سازی مونت‌کارلوی هر دو حالت را تقریباً یکسان در نظر گرفت. اما زمان شبیه‌سازی مونت‌کارلو با ۱۰۰۰۰ تکرار، تقریباً ۱۰ برابر بیشتر می‌باشد و از این رو در این مقاله تعداد تکرارها را ۱۰۲۴ در نظر گرفته‌ایم.

نتایج حاصل از ارزیابی تغییرپذیری D2D پارامتر V_{th} روی توان، تأخیر و PDP تمام‌جمع‌کننده‌ها در جدول ۴ ارائه شده است. همان گونه که در این جدول مشاهده می‌شود، تغییرپذیری موجب افزایش میانگین توان، تأخیر و PDP تمام‌جمع‌کننده‌ها می‌گردد. کمترین اثرات تغییرپذیری توان، تأخیر و PDP به ترتیب متعلق به AMA۲، NFAx و AMA۱ با میزان C_v به ترتیب ۲۷٫۱۴٪، ۱۹٫۳۶٪ و ۲۸٫۵۳٪ می‌باشد. بیشترین اثرات تغییرپذیری توان و PDP متعلق به TGA۲ با میزان C_v به ترتیب ۵۶٫۶۷٪ و ۴۷٫۹۰٪ بوده و بیشترین اثرات تغییرپذیری تأخیر متعلق به APFA۱ با ۲۴٫۹۶٪ می‌باشد.

از دلایل حساسیت بالای مدارهای TGA۲، APFA۱ و APFA۲ در برابر تغییرپذیری، به طراحی سطح ترانزیستور این تمام‌جمع‌کننده‌ها مربوط است. در طراحی TGA۲ از گیت‌های انتقال و در طراحی بخشی از APFA۱ و APFA۲ از ترانزیستور گذر استفاده شده است. گیت‌های انتقال و ترانزیستور گذر به تغییرپذیری حساس بوده و از این رو مقادیر C_v در مدارهای فوق نسبت به سایر مدارها بیشتر می‌باشد. در طراحی بخش اول از خروجی Sum در APFA۱ و APFA۲ از ترانزیستور گذر استفاده شده که این ترانزیستورها دارای مشکل کاهش/ افزایش سطح ولتاژ بوده و در برابر تغییرپذیری نیز بسیار حساس می‌باشند. با استفاده از گیت Nand۲ در منطق CMOS در بخش دوم خروجی Sum، مشکل کاهش/ افزایش سطح ولتاژ کاملاً برطرف شده و حساسیت به تغییرپذیری نیز تا حدی کاهش می‌یابد.

در مورد APFA۱ و APFA۲ دلیل دوم برای بالابودن مقدار C_v، مقادیر نسبتاً کم برای میانگین توان، تأخیر و PDP می‌باشد. به عنوان مثال APFA۱ و AMA۲ از نظر PDP، انحراف معیار تقریباً مشابهی دارند (۲۸٫۰۳ و ۲۸٫۰۴) اما مقدار میانگین در APFA۱ بسیار کمتر از

AMA۲ است (۶۵٫۳۲ در برابر ۹۴٫۶۶). این مسئله به دلیل وجود معدود نقاطی در شبیه‌سازی مونت‌کارلو می‌باشد که مقادیر توان، تأخیر یا PDP بسیار کمی نسبت به مقدار میانگین داشته و از این رو موجب افزایش انحراف معیار و در نتیجه افزایش مقدار C_v می‌گردد. بر اساس مشاهدات انجام‌شده روی نتایج حاصل از شبیه‌سازی مونت‌کارلو، برخی سناریوهای خاص ورودی دارای ضریب تغییرپذیری بسیار بزرگ می‌باشند که همین سناریوهای خاص، باعث افزایش میانگین ضریب تغییرپذیری می‌گردند. زمانی که از این تمام‌جمع‌کننده‌های تقریبی در کاربردهای واقعی استفاده می‌شود، به ازای برخی ورودی‌ها احتمال رخداد این سناریوها کمتر بوده و میزان تغییرپذیری این تمام‌جمع‌کننده‌های تقریبی به تغییرپذیری سایر تمام‌جمع‌کننده‌های تقریبی نزدیک می‌گردد.

٤- ارزیابی جمع‌کننده RCA تقریبی با استفاده از تمام‌جمع‌کننده‌های تقریبی

در این بخش قصد داریم از تمام‌جمع‌کننده‌های تقریبی بررسی‌شده در بخش قبل، در ساختار جمع‌کننده RCA استفاده نموده و در این حالت کارایی، خطا و اثرات تغییرپذیری را مورد ارزیابی قرار دهیم. در مقالاتی که به ارائه تمام‌جمع‌کننده تقریبی می‌پردازند، معمولاً از آن در ساختار جمع‌کننده با انتشار نقلی (RCA)[1] استفاده می‌نمایند و به دلیل ساختار جمع‌کننده با پیش‌بینی رقم نقلی (CLA)[2]، نمی‌توان از تمام‌جمع‌کننده تقریبی در این جمع‌کننده‌ها استفاده نمود (در CLA معمولاً از گیت‌های Xor، And و Or استفاده می‌شود). همچنین جمع‌کننده RCA از نظر توان مصرفی بهتر از CLA است ولی از نظر تأخیر CLA بهتر می‌باشد. در نتیجه با توجه به قابلیت استفاده مستقیم از واحدهای تمام‌جمع‌کننده تقریبی در ساختار جمع‌کننده RCA، در این بخش از جمع‌کننده RCA برای ارزیابی استفاده خواهد شد. برای این منظور یک جمع‌کننده RCA با ۸ بیت طراحی نموده و در بیت‌های اول تا چهارم آن از تمام‌جمع‌کننده‌های تقریبی استفاده می‌نماییم. در نتیجه ۴ دسته مختلف خواهیم داشت که در دسته اول (NAB۱) از تمام‌جمع‌کننده‌های تقریبی تنها در ۱ بیت کم‌ارزش، در دسته دوم (NAB۲) از تمام‌جمع‌کننده‌های تقریبی تنها در ۲ بیت کم‌ارزش و در دسته چهارم (NAB۴) از تمام‌جمع‌کننده‌های تقریبی در ۴ بیت کم‌ارزش استفاده خواهد شد. تعداد بیت‌های تقریبی یک جمع‌کننده را NAB می‌نامیم. همچنین برای خانواده‌های AMA، AFA و APFA برای طراحی RCA، حالت‌های مختلف قرارگیری تمام‌جمع‌کننده‌های از یک خانواده را در کنار هم مورد ارزیابی قرار داده و به دنبال افزایش دقت در کنار کارایی قابل قبول می‌باشیم.

٤-۱ ارائه بهترین جمع‌کننده تقریبی RCA بر اساس خانواده‌های AFA و APFA

در این بخش ما ترکیب‌های مختلف قرارگیری تمام‌جمع‌کننده‌های از یک خانواده را در کنار هم مورد ارزیابی قرار می‌دهیم. برای یافتن بهترین ترکیب برای RCA به ازای مقادیر مختلف N و NAB، همه حالات ممکن را در نظر گرفته و مقادیر توان، تأخیر و خطا را محاسبه می‌نماییم. بر اساس نتایج حاصل از شبیه‌سازی‌ها، ترکیب‌های مختلف از تمام‌جمع‌کننده‌های خانواده AMA همواره منتج به افزایش خطا نسبت به حالتی می‌شود که فقط از یکی از تمام‌جمع‌کننده‌های خانواده AMA (حالت تک) در RCA استفاده می‌شود. به عنوان مثال برای NAB۴ بهترین ترکیب از تمام‌جمع‌کننده‌های تقریبی خانواده AMA در ساختار RCA تقریبی دارای NMED = ۰٫۰۰۴۹۸ و MRED = ۰٫۰۱۴۱۲ بوده و این در حالی است که AMA۱ در ساختار RCA تقریبی دارای NMED = ۰٫۰۰۴۷۹ و MRED = ۰٫۰۱۳۶۲ می‌باشد.

برخلاف خانواده AMA، در خانواده AFA و APFA همواره حالاتی یافت می‌شود که موجب کاهش خطا نسبت به حالت تک می‌گردد. در خانواده AFA، تمام‌جمع‌کننده AFA۱ و AFA۳ از نظر مدار تولید Cout کاملاً مشابه بوده ولی از نظر مدار Sum دقت AFA۱ بیشتر می‌باشد. همچنین توان، تأخیر و PDP در AFA۱ کمتر از AFA۳ می‌باشد و به همین دلیل بهترین مصالحه از نظر دقت و کارایی (توان، تأخیر و PDP) زمانی رخ می‌دهد که در بیت‌های کم‌ارزش تقریبی از AFA۳ و در پرارزش‌ترین بیت تقریبی از AFA۱ استفاده نماییم (به علت دقت بیشتر). این جمع‌کننده تقریبی را BestAFA می‌نامیم که نسبت به جمع‌کننده‌های تقریبی ساخته‌شده از AFA۱ تنها و AFA۳ تنها، دارای دقت به مراتب بیشتری بوده و از نظر توان، تأخیر و PDP از AFA۳ بهتر می‌باشد. ساختار جمع‌کننده تقریبی N بیتی BestAFA در شکل ۲- الف ارائه شده است. با توجه به شکل، برای $NAB = ۱$ از AFA۱ در کم‌ارزش‌ترین بیت استفاده شده و برای سایر بیت‌های از CMA استفاده می‌نماییم. برای $NAB > ۱$ در بیت‌های ۰ تا $NAB - ۲$ از AFA۳، در بیت $NAB - ۱$ از AFA۱ و در بیت‌های NAB تا $N - ۱$ از CMA استفاده می‌نماییم.

همچنین برای خانواده APFA روند بالا تقریباً صادق می‌باشد. تمام‌جمع‌کننده‌های تقریبی APFA۱ و APFA۲ از نظر مدار Sum کاملاً مشابه بوده ولی از نظر Cout مدار APFA۲ به دلیل استفاده از Cin طبقه قبل، دقیق‌تر از APFA۱ می‌باشد. در نتیجه بهترین مصالحه بین دقت و کارایی زمانی رخ می‌دهد که از APFA۲ در بیت‌های پرارزش‌تر تقریبی استفاده شود. این جمع‌کننده تقریبی را BestAPFA می‌نامیم که نسبت به جمع‌کننده‌های تقریبی ساخته‌شده از APFA۲ تنها، دارای دقت و کارایی بهتری بوده و نسبت به APFA۱ برای NABهای کوچک از نظر دقت مثل هم بوده و هرچه میزان NAB افزایش می‌یابد، میزان دقت BestAPFA بهتر از APFA۱ می‌گردد. از نظر کارایی همواره APFA۱ وضعیت بهتری دارد.

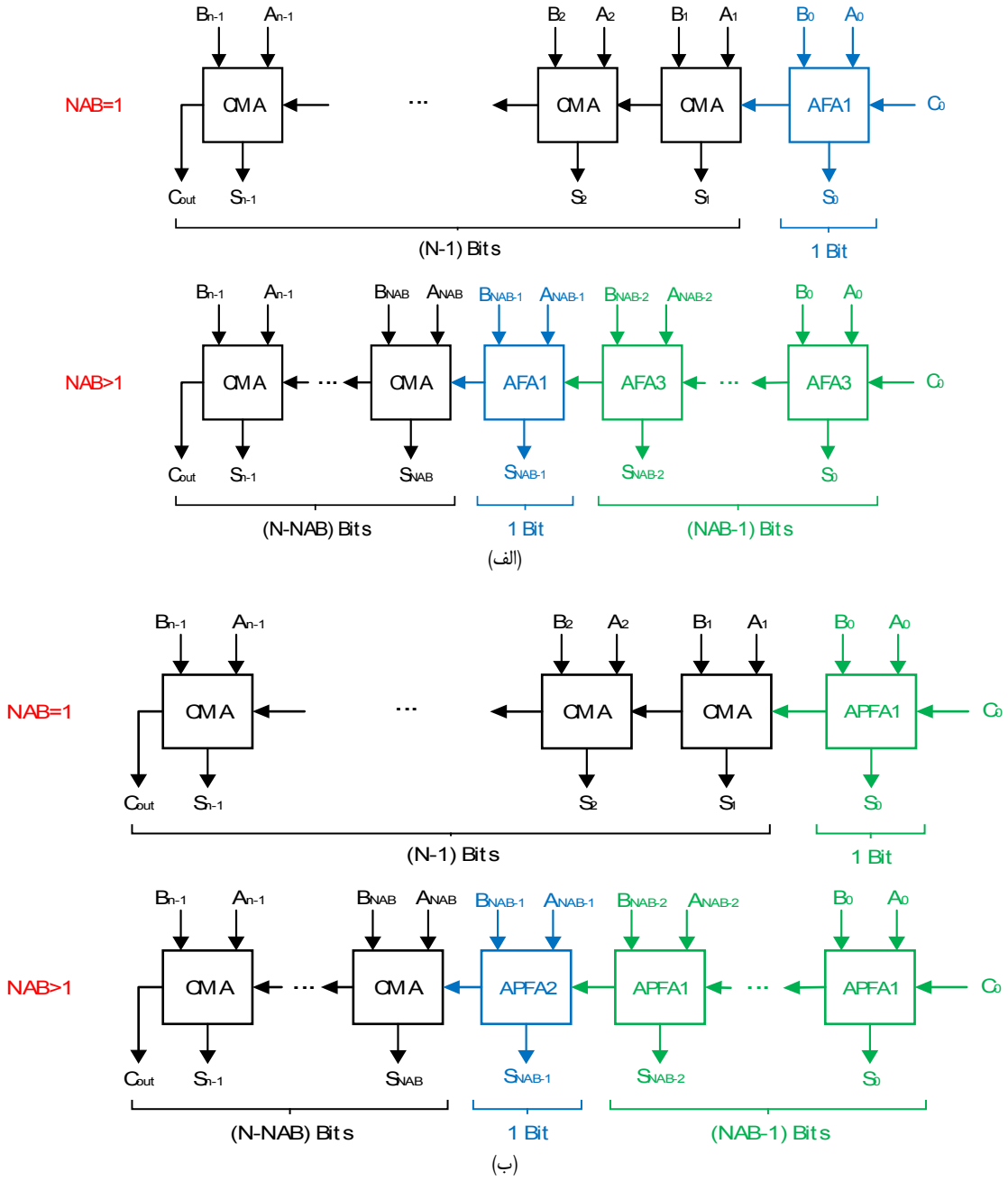
ساختار جمع‌کننده تقریبی N بیتی BestAPFA در شکل ۲- ب ارائه شده که با توجه به شکل، برای $NAB = ۱$ از APFA۱ در کم‌ارزش‌ترین بیت استفاده گردیده و برای سایر بیت‌ها از CMA استفاده می‌نماییم. با توجه به جدول ۱، تمام‌جمع‌کننده‌های تقریبی APFA۱ و APFA۲ زمانی که $Cin = ۰$ باشد، خروجی‌هایشان دقیق است. همچنین برای جمع دو عدد بدون علامت $C۰ = ۰$ بوده و در حالت NAB۱ تنها کم‌ارزش‌ترین بیت تقریبی بوده و بقیه بیت‌ها دقیق می‌باشند. در نتیجه در APFA۱ و APFA۲ برای NAB۱ جمع‌کننده دقیق عمل می‌کند و به دلیل کارایی بهتر APFA۱ برای $NAB = ۱$ از آن در ساختار BestAPFA استفاده می‌نماییم. برای $NAB > ۱$ در بیت‌های ۰ تا $NAB - ۲$ از APFA۱، در بیت $NAB - ۱$ از APFA۲ و در بیت‌های NAB تا $N - ۱$ از CMA استفاده می‌نماییم.

٤-۲ ارزیابی کارایی جمع‌کننده RCA تقریبی

به منظور ارزیابی کارایی (توان، تأخیر و PDP) RCA تقریبی ۸بیتی از شبیه‌ساز HSPICE و فناوری ۳۲ nm استفاده می‌نماییم. برای این کار،

1. Ripple Carry Adder
2. Carry Look-Ahead Adder

مثلاً در RCA تقریبی ۸بیتی که بیت کم‌ارزش آن از تمام‌جمع‌کننده



شکل ۲: ساختار جمع‌کننده‌های تقریبی پیشنهادی، (الف) BestAFA و (ب) BestAPFA.

تقریبی تشکیل شده است (NAB۱)، تمامی حالات (۶۵۵۳۶ سناریوی ورودی) جمع دو عدد ۸بیتی بدون علامت را تحت شبیه‌سازی قرار داده و مقادیر میانگین و ماکسیمم پارامترهای توان، تأخیر و PDP را به دست می‌آوریم. این کار برای هر یک از دسته‌های NAB۲ تا NAB۴ نیز انجام می‌گیرد. نتایج حاصل برای NAB۴ در جدول ۵ ارائه شده است.

با توجه به جدول ۵ در RCA تقریبی ۸بیتی با NAB۴، از نظر کارایی (توان، تأخیر و PDP)، همواره LOA بهترین بوده و جایگاه دوم متعلق به APFA۱ می‌باشد. بدترین کارایی تقریباً متعلق به VAFA است، به جز تأخیر متوسط که AMA۲ بدترین می‌باشد. چنین نتایجی برای NAB۱ تا NAB۳ نیز صادق است. کمترین مساحت به ترتیب مربوط به LOA و AFA۱ بوده و VAFA بیشترین مساحت را اشغال می‌کند.

بر اساس نتایج میانگین جدول ۵ در مقایسه با CMA، خانواده AMA موجب کاهش توان ۲۵ تا ۳۵ درصدی، کاهش تأخیر ۱۳ تا ۲۶ درصدی و کاهش PDP حدود ۳۵ تا ۵۱ درصدی می‌گردد. خانواده AFA موجب کاهش توان ۲۲ تا ۳۸ درصدی، کاهش تأخیر ۱۶ تا ۲۶ درصدی و کاهش PDP حدود ۳۵ تا ۵۴ درصدی می‌گردد. همچنین خانواده APFA موجب کاهش توان ۲۹ تا ۴۱ درصدی، کاهش تأخیر ۲۶ تا ۳۲ درصدی و کاهش PDP حدود ۴۷ تا ۵۹ درصدی می‌گردد. مثلاً APFA۱ موجب کاهش توان، تأخیر و PDP به میزان ۴۱٫۷۲٪، ۳۱٫۹۱٪ و ۵۹٫۱۷٪ می‌گردد. از نظر میانگین PDP نسبت به CMA، جمع‌کننده‌های VAFA، NFAx، TGA۲ و LOA به ترتیب موجب کاهش ۳۳٫۰۹٪، ۵۵٫۵۹٪، ۵۵٫۱۸٪ و ۶۱٫۷٪ می‌شوند. همچنین از نظر میانگین PDP نسبت به CMA، جمع‌کننده‌های تقریبی BestAFA و BestAPFA به ترتیب موجب کاهش PDP حدود ۵۰٫۴۸٪ و ۵۴٫۵۹٪ می‌شوند.

۴-۳ ارزیابی خطای جمع‌کننده RCA تقریبی

برای ارزیابی خطای جمع‌کننده RCA تقریبی، در محیط Matlab تمامی حالات ورودی ممکن برای جمع دو عدد ۸بیتی بدون علامت را در

جدول ۵: توان، تأخیر، PDP متوسط و ماکسیمم و مساحت جمع‌کننده‌ها در NAB۴.

Adders	Power (µw)		Delay (ps)		PDP (fj)		Area
	Avg	Max	Avg	Max	Avg	Max	# of Tran
CMA	۲۰٫۹۵	۲۴٫۸۰	۱۲۷٫۳۳	۲۹۶٫۹۰	۲٫۶۵	۵٫۲۳	۲۲۴
AMA۱	۱۵٫۳۹	۲۰٫۳۱	۹۴٫۵۷	۱۶۹٫۶۰	۱٫۴۸	۲٫۸۷	۱۹۲
AMA۲	۱۵٫۶۶	۱۸٫۳۴	۱۱۰٫۳۹	۱۹۲٫۶۰	۱٫۷۱	۲٫۷۳	۱۶۸
AMA۳	۱۳٫۴۷	۱۷٫۷۲	۹۳٫۳۶	۱۷۰٫۷۰	۱٫۱۹	۲٫۳۰	۱۵۶
VAFA	۱۷٫۳۲	۲۵٫۰۱	۹۷٫۸۶	۲۴۶٫۶۰	۱٫۷۷	۴٫۶۷	۲۰۸
NFAx	۱۲٫۶۶	۱۷٫۷۲	۸۷٫۴۹	۱۷۳٫۷۰	۱٫۱۷	۲٫۵۶	۱۶۸
TGA۲	۱۳٫۲۷	۱۷٫۵۶	۸۷٫۳۶	۱۶۳٫۴۰	۱٫۱۹	۲٫۲۸	۲۰۰
LOA	۱۱٫۴۱	۱۵٫۶۹	۸۶٫۵۹	۱۶۱٫۲۰	۱٫۰۱	۸۹٫۱	۱۴۲
AFA۱	۱۲٫۸۳	۱۶٫۳۳	۹۳٫۴۵	۱۷۹٫۴۰	۱٫۲۱	۲۱٫۲	۱۴۴
AFA۲	۱۶٫۲۱	۱۹٫۴۶	۱۰۶٫۷۵	۱۸۵٫۹۰	۱٫۷۲	۷۸٫۲	۱۸۴
AFA۳	۱۴٫۲۷	۱۷٫۷۰	۹۳٫۳۵	۱۷۹٫۵۰	۱٫۳۴	۴۵٫۲	۱۶۸
APFA۱	۱۲٫۲۱	۱۶٫۲۴	۸۶٫۷۰	۱۶۱٫۳۰	۱٫۰۸	۱۵٫۲	۱۷۶
APFA۲	۱۴٫۷۱	۱۸٫۴۵	۹۳٫۸۵	۱۸۲٫۷۰	۱٫۳۹	۶٫۲	۱۸۴
BestAFA	۱۳٫۹۳	۵۶٫۱۷	۹۳٫۳۶	۱۷۹٫۵۰	۱٫۳۱	۴۲٫۲	۱۶۲
BestAPFA	۱۲٫۹۵	۱۷٫۵۵	۹۱٫۱۰	۱۸۱٫۹۰	۱٫۲۰	۴۰٫۲	۱۷۸

نظر گرفته و از پارامترهای خطای ER، NMED و MRED (۳) تا (۵) استفاده می‌نماییم. در شکل‌های ۳ تا ۵ پارامترهای خطا نشان داده شده است. با توجه به جدول ۱، تمام‌جمع‌کننده‌های تقریبی APFA۱ و APFA۲ زمانی که $Cin=0$ باشد، خروجی‌هایشان دقیق هستند. همچنین برای جمع دو عدد بدون علامت $Cin=0$ بوده و در حالت NAB۱ تنها کم‌ارزش‌ترین بیت تقریبی بوده و ۷ بیت دیگر دقیق می‌باشند. در نتیجه در APFA۱، APFA۲ و BestAPFA برای NAB۱ تمام ۸ بیت جمع‌کننده، دقیق عمل کرده و به همین دلیل در شکل‌های ۳ تا ۵ پارامترهای خطا در NAB۱ برای این جمع‌کننده‌های تقریبی برابر صفر می‌باشند.

بر اساس شکل ۳، جمع‌کننده‌های تقریبی APFA۱، APFA۲ و BestAPFA کاملاً مشابه هم بوده و کمترین نرخ خطا را به ازای NABهای مختلف دارا هستند. بیشترین نرخ خطا نیز متعلق به NFAx می‌باشد. با توجه به شکل ۴، کمترین خطای NMED در $NAB=1,2$ مشترکاً متعلق به APFA۱، APFA۲ و BestAPFA است، در $NAB=3$ کمترین NMED مشترکاً متعلق به APFA۱ و BestAPFA بوده و در $NAB=4$ کمترین NMED متعلق به BestAPFA می‌باشد. برای $NAB=3,4$ به ترتیب APFA۲ و APFA۱ در جایگاه دوم قرار دارند. بیشترین NMED نیز متعلق به NFAx می‌باشد. بر اساس شکل ۵، کمترین خطای MRED در $NAB=1,2$ مشترکاً متعلق به APFA۱، APFA۲ و BestAPFA است، در $NAB=3$ کمترین MRED مشترکاً متعلق به APFA۱ و BestAPFA است و در $NAB=4$ کمترین NMED متعلق به BestAPFA می‌باشد. برای $NAB=3,4$ به ترتیب APFA۲ و APFA۱ در جایگاه دوم قرار دارند. بیشترین MRED در $NAB=1$ متعلق به AMA۳ بوده و برای $NAB=2,3,4$ متعلق به NFAx می‌باشد.

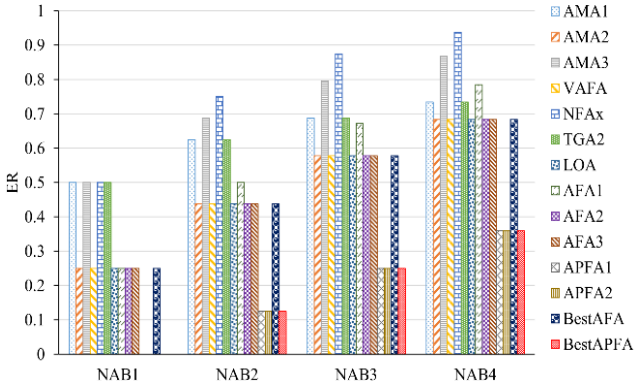
با توجه به شکل‌های ۴ و ۵، جمع‌کننده BestAFA از نظر خطا همواره بهتر از AFA۱ و AFA۳ می‌باشد (به جز NAB۱ که از نظر خطا مشابه است)، ولی جمع‌کننده BestAPFA برای $NAB=1,2,3$ از نظر خطا مشابه APFA۱ بوده و برای $NAB=4$ خطای کمتری دارد. هرچه تعداد بیت‌های تقریبی را افزایش دهیم، عملکرد BestAPFA از نظر خطا نسبت به APFA۱ بهتر شده که علت آن استفاده از APFA۲ در پرارزش‌ترین بیت تقریبی BestAPFA می‌باشد که موجب افزایش دقت برای محاسبه بیت نقلی ورودی به بخش دقیق (CMA) می‌گردد. جمع‌کننده‌های AMA۲ و AMA۳ نسبت به خانواده APFA دارای خطای به مراتب بیشتری (خطای حدوداً ۲ الی ۴٫۵ برابری دارند) هستند. مثلاً در NAB۲ برای AMA۳ دارای $NMED=0.002206$ و برای APFA۱ دارای $NMED=0.00049$ بوده است که بیانگر خطای ۴٫۵ برابری می‌باشد.

به منظور مقایسه بهتر بین جمع‌کننده‌های تقریبی، کارایی و پارامترهای خطا را یک‌جا در نظر می‌گیریم. برای این منظور دو معیار PAN[1] و PAM[2] را برای جمع‌کننده‌های تقریبی تعریف می‌کنیم. معیار PAN حاصل‌ضرب سه پارامتر PDP متوسط، مساحت و NMED بوده و معیار PAM حاصل‌ضرب سه پارامتر PDP متوسط، مساحت و MRED است. در طراحی مدارهای تقریبی در صورت امکان همواره دنبال کاهش PDP، مساحت و خطا هستیم. در نتیجه هرچه معیارهای PAN و PAM کوچک‌تر باشند، بیانگر طراحی بهتری از نظر کارایی و خطا خواهند بود. در جدول ۶ مقادیر معیارهای PAN و PAM برای جمع‌کننده‌های تقریبی مختلف به ازای NABهای گوناگون ارائه شده است.

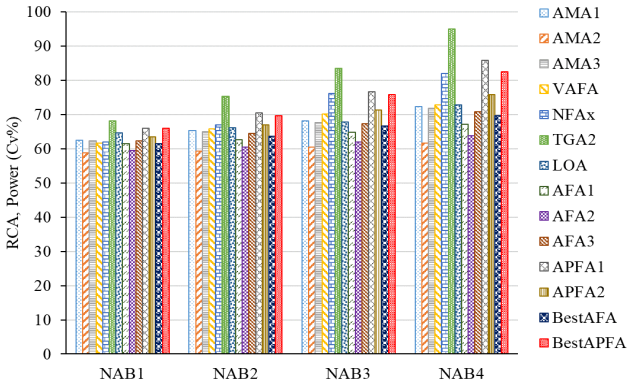
بر اساس جدول ۶، برای معیار PAN همواره APFA۱ بهترین بوده و جایگاه دوم متعلق به BestAPFA است. بدترین PAN در $NAB=1$ برای AMA۱، در $NAB=2$ برای NFAx و در $NAB=3,4$ برای AFA۲ می‌باشد. جمع‌کننده تقریبی BestAFA نسبت به AFA۳ به ازای $NAB=1,2,3,4$ موجب کاهش PAN به ترتیب ۴٫۷۲٪، ۲۰٫۸۸٪، ۲۳٫۲۱٪ و ۲۳٫۴۳٪ می‌گردد. در نتیجه BestAFA از نظر مصالحه بین کارایی و دقت نسبت به خانواده AFA بهتر می‌باشد.

با توجه به جدول ۶، جمع‌کننده تقریبی BestAPFA نسبت به APFA۲ به ازای $NAB=2,3,4$ به ترتیب ۴٫۹۳٪، ۱۷٫۴۹٪ و ۲۵٫۲۱٪ موجب کاهش PAN می‌گردد. در نتیجه BestAPFA از نظر مصالحه بین

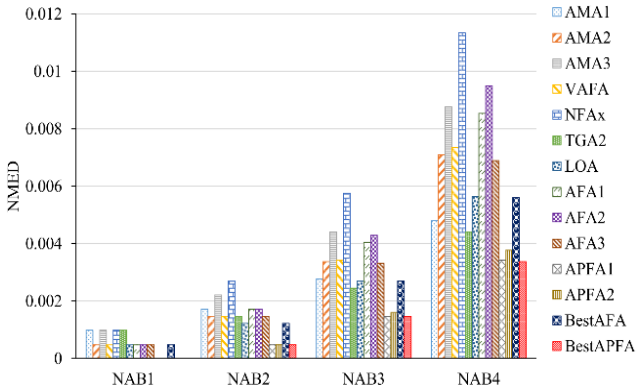
1. PDPxAreaxNMED
2. PDPxAreaxMRED



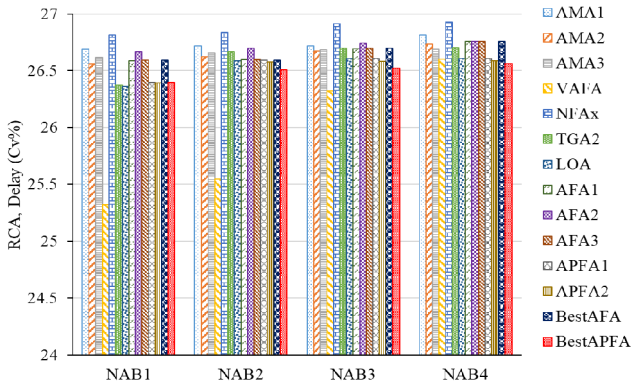
شکل ۳: نرخ خطای جمع‌کننده‌های ۸بیتی مختلف برای NABهای گوناگون.



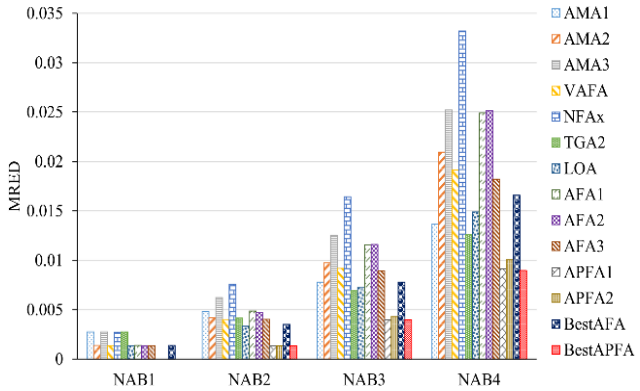
شکل ۶: اثرات تغییرپذیری روی توان جمع‌کننده‌های تقریبی به‌ازای NABهای مختلف.



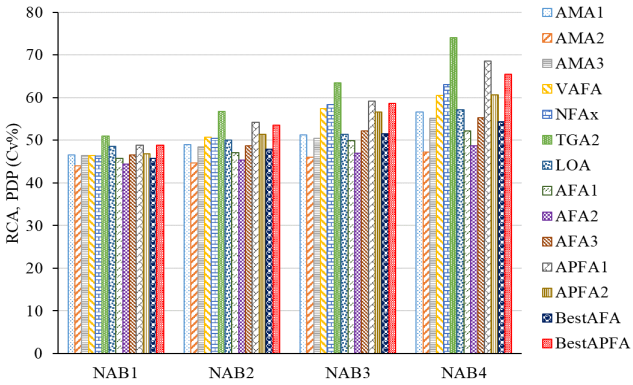
شکل ۴: NMED جمع‌کننده‌های ۸بیتی مختلف برای NABهای گوناگون.



شکل ۷: اثرات تغییرپذیری روی تأخیر جمع‌کننده‌های تقریبی به‌ازای NABهای مختلف.



شکل ۵: MRED جمع‌کننده‌های ۸بیتی مختلف برای NABهای گوناگون.



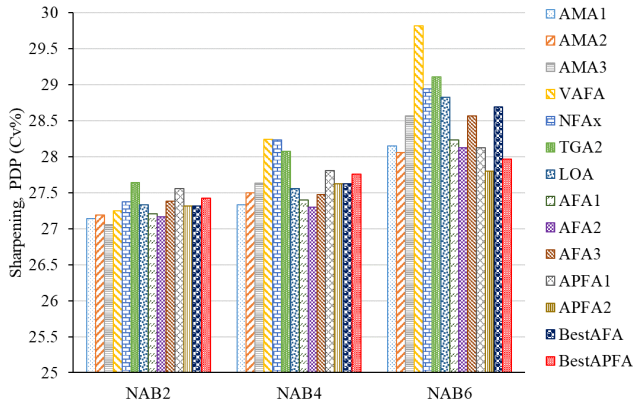
شکل ۸: اثرات تغییرپذیری روی PDP جمع‌کننده‌های تقریبی به‌ازای NABهای مختلف.

کارایی و دقت نسبت APFA۲ بهتر می‌باشد. با توجه به این که APFA۱ و APFA۲ در حالت جمع دو عدد بدون علامت برای NAB۱ کاملاً دقیق می‌باشند، در نتیجه مقادیر PAN و PAM متناظر با این حالات برابر صفر است. در مورد معیار PAM نیز روند نتیجه‌گیری‌های فوق صادق می‌باشد.

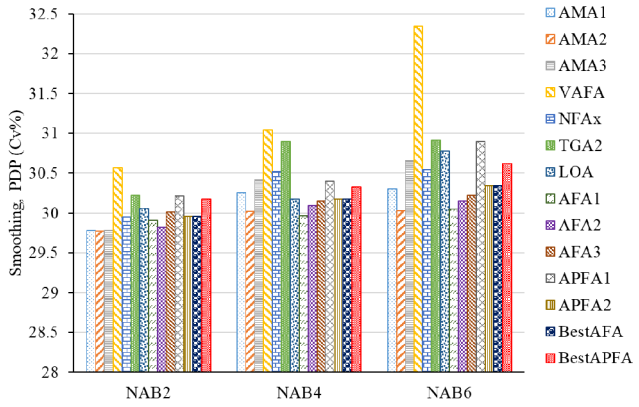
٤-٤ ارزیابی تغییرپذیری جمع‌کننده RCA تقریبی

به منظور ارزیابی تغییرپذیری فرایند D2D پارامتر V_{th} روی RCA تقریبی ۸بیتی از شبیه‌ساز HSPICE، فناوری ۳۲ nm و شبیه‌سازی ۱۰۲۴نقطه‌ای مونت‌کارلو استفاده می‌کنیم. برای ارزیابی اثرات تغییرپذیری پارامتر V_{th} روی جمع‌کننده‌های مختلف، تمامی سناریوهای ورودی ممکن را اعمال نموده و اثرات تغییرپذیری توان، تأخیر و PDP با استفاده از (۶) تا (۹) محاسبه می‌گردد. در نهایت میانگین تغییرپذیری همه سناریوهای ورودی به عنوان تغییرپذیری نهایی در نظر گرفته می‌شود. در شکل‌های ۶ تا ۸، مقادیر C_v توان، تأخیر و PDP برای جمع‌کننده‌های مختلف ارائه شده است.

بر اساس شکل‌های ۶ تا ۸، با افزایش NAB مقدار تغییرپذیری توان، تأخیر و PDP جمع‌کننده‌های تقریبی افزایش می‌یابد. با توجه به شکل ۶، کمترین تغییرپذیری‌های توان به ترتیب متعلق به AMA۲ با حدود ۶۰/۱ درصد، AFA۲ با حدود ۶۱/۴ درصد و AFA۱ با حدود ۶۴ درصد می‌باشد. بیشترین تغییرپذیری‌های توان به ترتیب متعلق به TGA۲ با حدود ۸۰/۵ درصد و APFA۱ با حدود ۷۴/۷۵ درصد می‌باشد. بر اساس شکل ۷، تغییرپذیری تأخیر جمع‌کننده‌های تقریبی مختلف بسیار به هم نزدیک است، به گونه‌ای که کمترین تغییرپذیری تأخیر متعلق به VAFA با حدود ۲۵/۹۵ درصد و بیشترین آن متعلق به NFAx با ۲۶/۸۷ درصد می‌باشد. با توجه به شکل ۸، کمترین تغییرپذیری‌های PDP به ترتیب متعلق به AMA۲ با حدود ۴۵/۴۶ درصد، AFA۲ با حدود ۴۶/۳۵ درصد و AFA۱ با حدود ۴۸/۷۵ درصد می‌باشد. بیشترین تغییرپذیری‌های PDP به ترتیب متعلق به TGA۲ با حدود ۶۱/۳٪ و APFA۱ با حدود ۵۷/۷۳٪ است. درصدهایی که در این قسمت گزارش نمودیم، میانگین تغییرپذیری‌های



شکل ۹: اثرات تغییرپذیری روی PDP کاربرد Sharpening به‌ازای NABهای مختلف.



شکل ۱۰: اثرات تغییرپذیری روی PDP کاربرد Smoothing به‌ازای NABهای مختلف.

جدول ۶: مقادیر معیارهای PAN و PAM برای جمع‌کننده‌های تقریبی ۸بیتی مختلف به ازای NABهای گوناگون.

Adders	PAN (10^{-16})				PAM (10^{-16})			
	NAB۱	NAB۲	NAB۳	NAB۴	NAB۱	NAB۲	NAB۳	NAB۴
AMA۱	۴٫۹۸	۷٫۲۸	۹٫۸۱	۱۳٫۶۱	۱۳٫۹۹	۲۰٫۵۱	۲۷٫۷۴	۳۸٫۶۶
AMA۲	۲٫۵۸	۶٫۴۷	۱۲٫۱۵	۲۰٫۴۲	۷٫۳۰	۱۸٫۴۴	۳۵٫۱۰	۶۰٫۳۱
AMA۳	۴٫۶۷	۸٫۱۰	۱۲٫۳۰	۱۰٫۴۱	۱۳٫۱۶	۲۲٫۸۷	۳۴٫۹۶	۵۰٫۱۰
VAFA	۲٫۶۷	۶٫۹۶	۱۳٫۵۵	۲۷٫۰۷	۷٫۳۶	۱۸٫۹۶	۳۶٫۲۷	۷۰٫۴۱
NFAx	۴٫۷۹	۱۰٫۰۹	۱۵٫۳۴	۲۲٫۳۷	۱۳٫۳۷	۲۸٫۴۰	۴۳٫۷۸	۶۵٫۵۴
TGA۲	۴٫۶۷	۵٫۷۷	۷٫۶۸	۱۰٫۴۶	۱۳٫۱۱	۱۶٫۲۷	۲۲٫۳۰	۲۹٫۸۴
LOA	۲٫۲۱	۴٫۰۳	۶٫۲۸	۸٫۱۱	۶٫۰۸	۱۱٫۰۲	۱۶٫۹۴	۲۱٫۴۲
AFA۱	۲٫۲۹	۵٫۹۸	۱۰٫۲۷	۱۴٫۸۱	۶٫۴۸	۱۶٫۹۶	۲۹٫۴۱	۴۳٫۲۰
AFA۲	۲٫۶۳	۷٫۸۵	۱۶٫۵۱	۲۹٫۹۸	۷٫۲۵	۲۱٫۵۰	۴۴٫۶۹	۷۹٫۴۵
AFA۳	۲٫۴۱	۵٫۷۰	۱۰٫۰۵	۱۵٫۵۴	۶٫۶۳	۱۵٫۶۰	۲۷٫۱۵	۴۱٫۰۶
APFA۱	۰	۱٫۷۶	۴٫۰۶	۶٫۵۴	۰	۴٫۸۵	۱۱٫۰۲	۱۷٫۴۲
APFA۲	۰	۲٫۰۰	۵٫۲۴	۹٫۶۲	۰	۵٫۴۸	۱۴٫۲۴	۲۵٫۶۶
BestAFA	۲٫۲۹	۴٫۵۱	۷٫۷۲	۱۱٫۹۰	۶٫۴۸	۱۲٫۸۸	۲۲٫۳۳	۳۵٫۱۸
BestAPFA	۰	۱٫۹۰	۴٫۳۳	۷٫۱۷	۰	۵٫۲۱	۱۱٫۷۵	۱۹٫۱۹

NAB۱ تا NAB۴ است. از نظر تغییرپذیری توان و PDP، جمع‌کننده تقریبی BestAFA بهتر از BestAPFA بوده و از نظر تغییرپذیری تأخیر تقریباً مشابه هم هستند.

۵- نتایج شبیه‌سازی‌ها روی کاربردهای واقعی پردازش تصویر

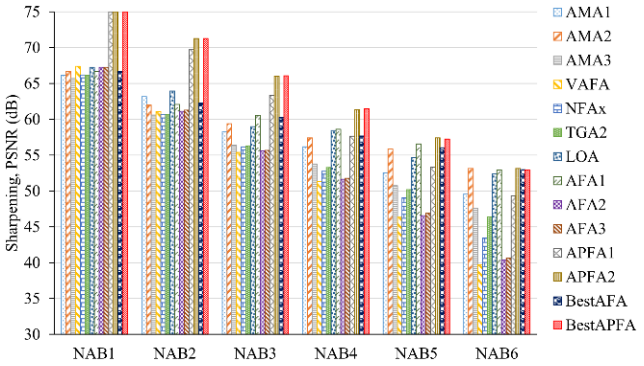
از کاربردهای پردازش تصویر Smoothing و Sharpening به منظور ارزیابی تمام‌جمع‌کننده‌های تقریبی استفاده می‌نماییم [۳۶]. الگوریتم Sharpening از ضرب‌کننده، جمع‌کننده، تقسیم‌کننده و تفریق‌کننده تشکیل شده که در بیشتر مواقع اجرای کاربرد از ضرب‌کننده و جمع‌کننده استفاده می‌گردد. الگوریتم Smoothing نیز از ضرب‌کننده، جمع‌کننده و تقسیم‌کننده تشکیل گردیده که بیشتر زمان اجرای کاربرد مربوط به ضرب‌کننده و جمع‌کننده می‌باشد. در این مقاله از جمع‌کننده‌های تقریبی ۱۴بیتی با ساختار RCA به جای جمع‌کننده‌های دقیق موجود در کاربردهای فوق استفاده شده و سایر واحدها دقیق می‌باشند.

۵-۱ ارزیابی تغییرپذیری جمع‌کننده‌های تقریبی روی کاربردهای پردازش تصویر

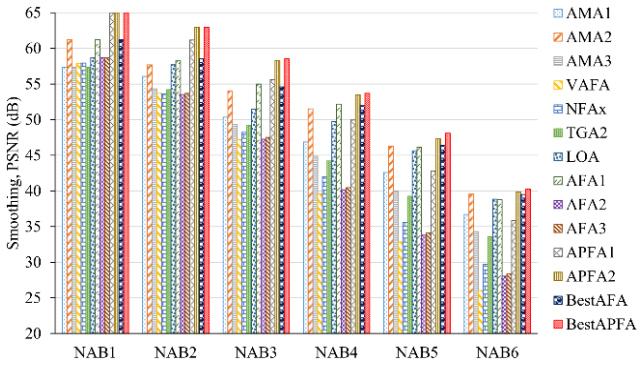
ابتدا کاربردهای پردازش تصویر Smoothing و Sharpening را در محیط HSPICE پیاده‌سازی نموده و به جای جمع‌کننده‌های دقیق از جمع‌کننده‌های تقریبی ۱۴بیتی با $NAB = 2,4,6$ استفاده می‌نماییم. ۵ تصویر ۲۵۶×۲۵۶ را به عنوان ورودی به آن اعمال می‌نماییم. تصاویر استفاده‌شده در مقاله عبارت هستند از Lena، Cameraman، Baboon، House و Rice. استفاده از جمع‌کننده‌های تقریبی در ساختار کاربردهای پردازش تصویر Smoothing و Sharpening موجب کاهش توان، تأخیر و PDP می‌گردد، ولی با توجه به این که بخش اصلی توان، تأخیر و PDP در این کاربردها متعلق به ضرب‌کننده دقیق است، در نتیجه میزان کاهش نسبت به بخش ۲-۴ (RCA) کمتر می‌باشد.

برای ارزیابی اثرات تغییرپذیری فرایند D2D پارامتر V_{th} روی این کاربردها، از شبیه‌سازی ۱۰۲۴نقطه‌ای مونت‌کارلو در فناوری ۳۲ nm استفاده می‌نماییم. میزان تغییرات V_{th} نسبت به حالت نامینال را ۲۰٪ با توزیع گوسی در نظر خواهیم گرفت. میانگین تغییرپذیری همه سناریوهای ورودی به عنوان تغییرپذیری نهایی در نظر گرفته می‌شود. در شکل‌های ۹ و ۱۰ اثرات تغییرپذیری روی PDP برای کاربردهای Sharpening و Smoothing به ازای NABهای گوناگون ارائه شده است.

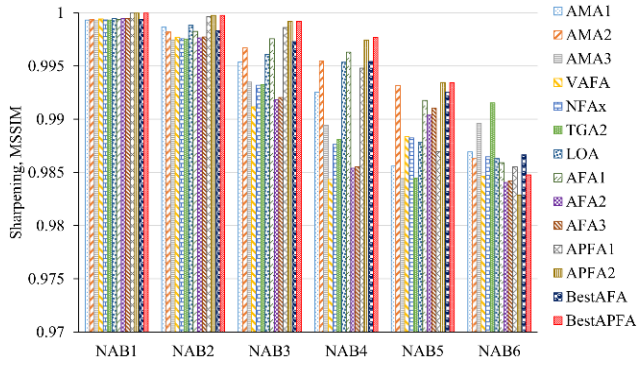
با توجه به شکل ۹ برای Sharpening، کمترین مقدار میانگین C_v متعلق به AFA۲ با حدود ۲۷٫۵۳ درصد و AMA۱ با ۲۷٫۵۴ درصد می‌باشد و بیشترین آن متعلق به VAFA با ۲۸٫۴۴ درصد است. برای کاربرد Smoothing بر اساس شکل ۱۰، کمترین مقدار میانگین C_v متعلق به AMA۲ با حدود ۲۹٫۹۴٪ و AFA۱ با ۲۹٫۹۷٪ می‌باشد و



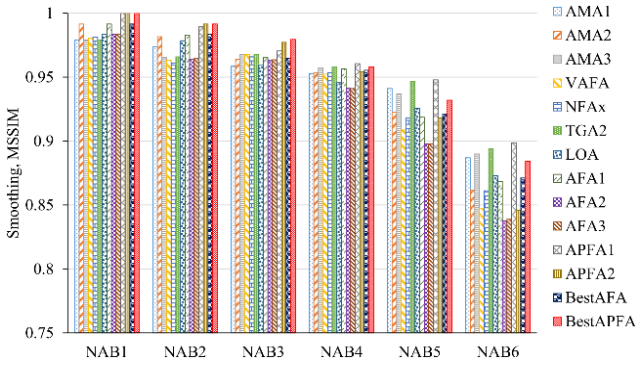
شکل ۱۱: میانگین PSNR برای ۵ تصویر مختلف به‌ازای NABهای گوناگون در الگوریتم Sharpening.



شکل ۱۳: میانگین PSNR برای ۵ تصویر مختلف به‌ازای NABهای گوناگون در الگوریتم Smoothing.



شکل ۱۲: میانگین MSSIM برای ۵ تصویر مختلف به‌ازای NABهای گوناگون در الگوریتم Sharpening.



شکل ۱۴: میانگین MSSIM برای ۵ تصویر مختلف به‌ازای NABهای گوناگون در الگوریتم Smoothing.

بیشترین آن متعلق به VAFA با ۳۱٫۳۲ درصد است. همان گونه که در شکل‌های ۹ و ۱۰ مشاهده می‌شود در کاربردهای مورد نظر، تغییرپذیری PDP تمام‌جمع‌کننده‌های تقریبی مختلف تقریباً نزدیک به هم می‌باشند که علت آن، سهم کمتر جمع‌کننده‌های تقریبی در PDP کاربردهای فوق نسبت به ضرب‌کننده دقیق می‌باشد. برای نتایج فوق، از C_v سه حالت NAB۲، NAB۴ و NAB۶ در شکل‌ها میانگین گرفته و آن را به عنوان میانگین C_v در نظر می‌گیریم.

وقتی شکل ۸ را با شکل‌های ۹ و ۱۰ مقایسه می‌نماییم، دو تفاوت مشاهده می‌گردد. اولاً اثرات تغییرپذیری (C_v) در شکل ۸ حدود ۵۰٪ است، ولی این مقادیر برای شکل‌های ۹ و ۱۰ حدود ۳۰٪ می‌باشد. علت این امر، سهم کمتر جمع‌کننده‌های تقریبی در PDP این کاربردها است، زیرا در این کاربردها ضرب‌کننده‌ها بیشترین سهم PDP را دارا بوده و در نتیجه میزان C_v کل کاربرد، تأثیر کمتری از C_v جمع‌کننده‌های تقریبی می‌پذیرد. ثانیاً روند تغییرپذیری در این شکل‌ها یکسان نیست. مثلاً در شکل ۸ جمع‌کننده‌های TGA۲ و NFAx بیشترین تغییرپذیری را داشتند ولی در کاربردهای فوق معمولاً VAFA بیشترین تغییرپذیری را دارد. علت این تفاوت آن است که تغییرپذیری به ورودی وابسته بوده و ورودی‌های جمع‌کننده‌های تقریبی در شکل ۸ دارای توزیع یکنواخت هستند، ولی در کاربردهای واقعی فوق و برای تصاویر مختلف، یکنواختی در مقادیر پیکسل‌های ورودی وجود ندارد.

۵-۲ ارزیابی خطای جمع‌کننده‌های تقریبی روی کاربردهای پردازش تصویر

در الگوریتم‌های پردازش تصویر مانند Sharpening و Smoothing، برخی از مهم‌ترین پارامترهایی که برای مقایسه روش‌های مختلف به کار می‌روند عبارت هستند از MSE، PSNR و MSSIM که در ادامه شرح داده می‌شوند [۳۷]:

۱) میانگین مربع خطا[1] (MSE)

$$MSE = \frac{1}{m \times n} \sum_{i=1}^{m} \sum_{j=1}^{n} (P_{i,j} - \hat{P}_{i,j})^2 \qquad (11)$$

۲) حداکثر نسبت سیگنال به نویز[2] (PSNR)

$$PSNR = 10 \log \frac{255^2}{MSE} \qquad (12)$$

۳) میانگین شباهت ساختاری[3] (MSSIM)

$$MSSIM = \frac{1}{m \times n} \sum_{i=1}^{m} \sum_{j=1}^{n} SSIM(P_{i,j}, \hat{P}_{i,j}) \qquad (13)$$

در روابط فوق، $P_{i,j}$ بیانگر مقدار دقیق پیکسل در سطر i و ستون j تصویر نتیجه در حالت دقیق و $\hat{P}_{i,j}$ بیانگر مقدار تقریبی پیکسل در سطر i و ستون j تصویر نتیجه در حالت تقریبی است. m و n نیز به ترتیب بیانگر اندازه سطر و ستون تصویر می‌باشند.

به منظور مقایسه تمام‌جمع‌کننده‌های تقریبی از نظر خطا با یکدیگر، کاربردهای Sharpening و Smoothing را در Matlab پیاده‌سازی نموده و به جای جمع‌کننده‌های دقیق از جمع‌کننده‌های تقریبی ۱۴بیتی با $NAB = 1 \text{ to } 6$ استفاده می‌نماییم. برای ورودی نیز ۵ تصویر ۲۵۶×۲۵۶ را به این کاربردها داده و مقدار میانگین PSNR و MSSIM این تصاویر را به ازای $NAB = 1 \text{ to } 6$ در شکل‌های ۱۱ تا ۱۴ ارائه نموده‌ایم. همان گونه که در بخش ۳-۴ توضیح دادیم، جمع‌کننده‌های

1. Mean Square Error
2. Peak Signal-to-Noise Ratio
3. Mean Structural SIMilarity Index

شکل ۱۵: خروجی کاربرد Sharpening برای تصویر ورودی Lena به‌ازای NAB۴ برای جمع‌کننده‌های تقریبی مختلف.

تقریبی APFA۱ و APFA۲ در NAB۱ برای جمع دو عدد بدون علامت کاملاً دقیق می‌باشند، به همین دلیل در شکل‌های ۱۱ و ۱۳ برای NAB۱ این جمع‌کننده‌ها مقدار PSNR بی‌نهایت بوده که ما در شکل ۱۱ به جای بی‌نهایت از ۷۵ dB و در شکل ۱۳ به جای بی‌نهایت از ۶۵ dB استفاده نموده‌ایم. مقدار MSSIM نیز در این حالات برابر ۱ است. در نتیجه بیشترین مقدار PSNR و MSSIM برای NAB۱ در این کاربردها متعلق به APFA۱، APFA۲ و BestAPFA می‌باشد.

بر اساس شکل ۱۱ در کاربرد Sharpening، برای $NAB = 2 \text{ to } 4$ همواره BestAPFA و برای $NAB = 5,6$ همواره APFA۲ بیشترین PSNR را داشته و جایگاه دوم در $NAB = 2$ برای APFA۱، در $NAB = 3,4$ برای APFA۲، در $NAB = 5$ برای BestAPFA و در $NAB = 6$ برای AMA۲ می‌باشد. کمترین PSNR در $NAB = 1,2$ متعلق به AMA۳ و در $NAB = 3 \text{ to } 6$ برای VAFA است. با توجه به شکل ۱۲، بیشترین میزان MSSIM در $NAB = 2 \text{ to } 4$ برای BestAPFA، در $NAB = 5$ برای APFA۲ و در $NAB = 6$ متعلق به TGA۲ می‌باشد. کمترین میزان MSSIM در $NAB = 1,2,5$ برای AMA۳، در $NAB = 3,4$ برای VAFA و در $NAB = 6$ متعلق به APFA۲ است.

بر اساس شکل ۱۳ در کاربرد Smoothing، برای $NAB = 2 \text{ to } 6$ همواره BestAPFA بیشترین PSNR را داشته و جایگاه دوم متعلق به APFA۲ می‌باشد. کمترین PSNR در $NAB = 1$ مشترکاً متعلق به AMA۱، AMA۳ و TGA۲ بوده و در $NAB = 2$ برای NFAx و در $NAB = 3 \text{ to } 6$ برای VAFA است. با توجه به شکل ۱۴، بیشترین میزان MSSIM در $NAB = 2,3$ برای BestAPFA و در $NAB = 4 \text{ to } 6$ متعلق به APFA۱ می‌باشد. کمترین میزان MSSIM در $NAB = 1,3$ برای AMA۱، در $NAB = 2$ برای NFAx، در $NAB = 4,5$ برای AFA۳ و در $NAB = 6$ متعلق به AFA۲ است.

برای مقایسه شهودی کیفیت خروجی جمع‌کننده‌های مختلف، در شکل ۱۵ برای الگوریتم Sharpening و تصویر ورودی Lena به ازای NAB۴، تصاویر خروجی به همراه مقادیر PSNR برای جمع‌کننده‌های مختلف ارائه شده است. روند نمودارهای شکل ۱۱ نیز در این شکل تکرار شده و همان گونه که مشاهده می‌شود، بیشترین مقدار PSNR متعلق به

BestAPFA و APFA۲ است. با توجه به این که مقادیر PSNR در این شکل بالا می‌باشد (حدود ۵۱/۴۳ دسی‌بل تا ۶۱/۳۳ دسی‌بل)، از نظر چشم انسان تفاوت چندانی بین این خروجی‌ها وجود ندارد ولی به ازای افزایش تعداد بیت‌های بخش تقریبی (افزایش NAB) این تفاوت‌ها نیز به چشم خواهند آمد.

٦- نتیجه‌گیری

در این مقاله دو تمام‌جمع‌کننده تقریبی جدید (APFA۱ و APFA۲) و یک جمع‌کننده تقریبی (BestAPFA) ارائه شده و اثرات تغییرپذیری فرایند ساخت D2D پارامتر V_{th} روی تمام‌جمع‌کننده‌های تقریبی مورد ارزیابی قرار گرفته است. بر اساس نتایج شبیه‌سازی‌ها، در جمع‌کننده تقریبی از نظر معیار PAN، بهترین عملکرد متعلق به APFA۱ بوده و BestAPFA در جایگاه دوم قرار گرفت. به ازای NABهای مختلف APFA۱ نسبت به بدترین جمع‌کننده‌های تقریبی، موجب کاهش PAN حدود ۷۵ تا ۸۳ درصدی می‌گردد. تمام‌جمع‌کننده‌های TGA۲ و VAFA تغییرپذیری بیشتری نسبت به سایر تمام‌جمع‌کننده‌ها داشته و پس از آنها تغییرپذیری تمام‌جمع‌کننده‌ها و جمع‌کننده‌های پیشنهادی نیز قابل توجه می‌باشد. در کاربردهای Sharpening و Smoothing از نظر میانگین PSNR برای ۵ تصویر مختلف به ازای NABهای گوناگون، BestAPFA بیشترین PSNR را داشته و APFA۲ در جایگاه دوم قرار دارد. همچنین VAFA کمترین PSNR را دارد. در نتیجه از نظر مصالحه بین کارایی، دقت و تغییرپذیری، جمع‌کننده تقریبی APFA۱ برای ورودی‌های با توزیع یکنواخت و جمع‌کننده تقریبی BestAPFA برای کاربردهای واقعی، بهترین عملکرد را دارا می‌باشند.

مراجع

[1] M. A. Laurenzano, P. Hill, M. Samadi, S. Mahlke, J. Mars, and L. Tang, "Input responsiveness: using canary inputs to dynamically steer approximation," *ACM SIGPLAN Notices*, vol. 51, no. 6, pp. 161-176, Santa Barbara CA, USA, 13 - 17 Jun. 2016.

[2] H. Esmaeilzadeh, A. Sampson, L. Ceze, and D. Burger, "Architecture support for disciplined approximate programming," *ACM SIGPLAN Notices*, vol. 47, no. 4, pp. 301-312, London UK, 3-7 Mar. 2012.

[3] S. Mittal, "A survey of techniques for approximate computing," *ACM Computing Surveys*, vol. 48, no. 4, Article ID: 62, 33 pp., May 2016.

[4] H. Jiang, C. Liu, L. Liu, F. Lombardi, and J. Han, "A review, classification, and comparative evaluation of approximate arithmetic circuits," *ACM J. on Emerging Technologies in Computing Systems*, vol. 13, no. 4, Article ID: 60, pp 1-34, Oct. 2017.

[5] C. Hernandez, A. Roca, F. Silla, J. Flich, and J. Duato, "On the impact of within-die process variation in GALS-based NoC performance," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 31, no. 2, pp. 294-307, Feb. 2012.

[6] M. Mirzaei, M. Mosaffa, and S. Mohammadi, "Variation-aware approaches with power improvement in digital circuits," *Integration, the VLSI J.*, vol. 48, pp. 83-100, Jan. 2015.

[7] M. Mirzaei, M. Mosaffa, S. Mohammadi, and J. Trajkovic, "Power and variability improvement of an asynchronous router using stacking and dual-Vth approaches," in *Proc. Euromicro Conf. on Digital System Design,* pp. 327-334, Los Alamitos, CA, USA, 4-6 Sert. 2013.

[8] S. M. T. Adl, M. Mirzaei, and S. Mohammadi, "Elastic buffer evaluation for link pipelining under process variation," *IET Circuits, Devices & Systems*, vol. 12, no. 5, pp. 645-654, Sept. 2018.

[9] M. Mirzaei and S. Mohammadi, "Low-power and variation-aware approximate arithmetic units for Image Processing Applications," *AEU-International J. of Electronics and Communications*, vol. 138, Article ID: 153825, 13 pp., Aug. 2021.

[10] M. Mirzaei and S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications," *Computers & Electrical Engineering*, vol. 87, Article ID: 106761, 14 pp., Oct. 2020.

[11] T. Yang, T. Ukezono, and T. Sato, "A low-power configurable adder for approximate applications," in *Proc. 19th Int. Symp. on Quality Electronic Design, ISQED'18,* pp. 347-352, Santa Clara, CA, USA, 13-14 Mar. 2018.

[12] T. Ukezono, "An error corrector for dynamically accuracy-configurable approximate adder," in *Proc. 6th Int. Symp. on Computing and Networking Workshops, CANDARW'18,* pp. 145-151, Takayama, Japan, 27-30 Nov. 2018.

[13] H. R. Mahdiani, A. Ahmadi, S. M. Fakhraie, and C. Lucas, "Bio-inspired imprecise computational blocksfor efficient VLSI implementation of soft-computing applications," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 57, no. 4, pp. 850-862, Apr. 2009.

[14] A. M. Hassani, M. Rezaalipour, and M. Dehyadegari, "A novel ultra low power accuracy configurable adder at transistor level in *Proc. 8th Int.Conf. on Computer and Knowledge Engineering, ICCKE'18,* pp. 165-170, Mashhad, Iran, 25-26 Oct. 018.

[15] A. Dalloo, A. Najafi, and A. Garcia-Ortiz, "Systematic design of an approximate adder: the optimized lower part constant-or adder," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 8, pp. 1595-1599, Aug. 2018.

[16] L. B. Soares, M. M. A. da Rosa, C. M. Diniz, E. A. C. da Costa, and S. Bampi, "Design methodology to explore hybrid approximate adders for energy-efficient image and video processing accelerators," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 66, no. 6, pp. 2137-2150, Jun. 2019.

[17] S. Mazahir, M. K. Ayub, O. Hasan, and M. Shafique, "Probabilistic error analysis of approximate adders and multipliers," *Approximate Circuits: Springer*pp. 99-120, Dec. 2019.

[18] Y. Wu, Y. Li, X. Ge, Y. Gao, and W. Qian, "An efficient method for calculating the error statistics of block-based approximate adders," *IEEE Trans. on Computers*, vol. 68, no. 1, pp. 21-38, Jan. 2018.

[19] O. Akbari, M. Kamal, A. Afzali-Kusha, and M. Pedram, "RAP-CLA: a reconfigurable approximate carry look-ahead adder," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 65, no. 8, pp. 1089-1093, Nov. 2016.

[20] H. A. Almurib, T. N. Kumar, and F. Lombardi, "Approximate DCT image compression using inexact computing," *IEEE Trans. on Computers*, vol. 67, no. 2, pp. 149-159, Jul. 2017.

[21] V. Gupta, D. Mohapatra, S. P. Park, A. Raghunathan, and K. Roy, "IMPACT: imprecise adders for low-power approximate computing," in *Proc. of the 17th IEEE/ACM Int. Symp. on Low-Power Electronics and Design,* pp. 409-414, Fukuoka, Japan, 1-3 Aug. 2011.

[22] V. Gupta, D. Mohapatra, A. Raghunathan, and K. Roy, "Low-power digital signal processing using approximate adders," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 32, no. 1, pp. 124-137, Dec. 2012.

[23] Z. Yang, A. Jain, J. Liang, J. Han, and F. Lombardi, "Approximate XOR/XNOR-based adders for inexact computing," in *Proc. 13th IEEE Int. Conf. on Nanotechnology, IEEE-NANO'13*, pp. 690-693, Beijing, China, 5-8 Aug. 2013.

[24] H. A. Almurib, T. N. Kumar, and F. Lombardi, "Inexact designs for approximate low power addition bycell replacement," in *Proc. Design, Automation & Test in Europe Conf. & Exhibition, DATE'16,* , pp. 660-665, Dresden, Germany, 14-18 Mar. 2016.

[25] N. H. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson Education India, 2015.

[26] Z. Yang, J. Han, and F. Lombardi, "Transmission gate-based approximate adders for inexact computing," in *Proc. of the IEEE/ACM Int. Symp. on Nanoscale Architectures, NANOARCH'15,* pp. 145-150, Boston, MA, USA, 08-10 Jul. 2015.

[27] S. Venkatachalam and S. B. Ko, "Design of power and area efficient approximate multipliers," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 5, pp. 1782-1786, Jan. 2017.

[28] H. Waris, C. Wang, and W. Liu, "High-performance approximate half and full adder cellsusing NAND logic gate," *IEICE Electronics Express*, vol.16, no.6, pp. 36-43, Jun. 2019.

[29] Y. S. Mehrabani, S. G. Gigasari, M. Mirzaei, and H. Uoosefian, "A novel highly-efficient inexact full adder cell for motion and edge detection systems of image processing in CNFET technology," *ACM J. of Emerging Technologies in Computing System*, vol. 18, no. 3, pp. 127-142, Mar. 2022.

[30] Z. Zareei, M. Bagherizadeh, M. Shafiabadi, and Y. S. Mehrabani, "Design of efficient approximate 1-bit full adder cells using CNFET technology applicable in motion detector systems," *Microelectronics J.*, vol. 108, Article ID: 104962, 15 pp., Feb. 2021.

[31] S. H. Shahrokhi, M. Hosseinzadeh, M. Reshadi, and S. Gorgin, "High-performance and low-energy approximate full adder design for error-resilient image processing," *International J. of Electronics*, vol. 109, no. 6, pp. 1059-1079, Aug. 2021.

[32] Y. S. Mehrabani, M. Parsapour, M. Moradi, and M. Bagherizadeh, "A novel efficient CNFET-based inexact full adder design for image processing applications," *International J. of Nanoscience*, vol. 20, no. 2, pp. 21-30, Jan. 2015.

[33] S. Salavati, M. H. Moaiyeri, and K. Jafari, "Ultra-efficient nonvolatile approximate full-adder with spin-Hall-assisted MTJ cells for in-memory computing applications," *IEEE Trans. on Magnetics*, vol. 57, no. 5, pp. 1-11, Mar. 2021.

[34] G. Gulafshan, D. Hasan, and M. Khan, "Fast and Area Efficient Hybrid MTJ-CMOS Spintronic Approximate Adder," in *Proc. , 5th IEEE Int. Conf. on Emerging Electronic, ICEE'20,* New Delhi, India, 26-28 Nov. 2022.

[35] -, *Predictive Technology Model*, Retrived on Jan. 2, 2020, http://ptm.asu.edu

[36] H. R. Myler and A. R. Weeks, *The Pocket Handbook of Image Processing Algorithms in C*, Prentice Hall Press, 2009.

[37] Z. Wang, A. C. Bovik, H. R. Sheikh, and E. P. Simoncelli, "Image quality assessment: from error visibility to structural similarity," *IEEE Trans. on Image Processing*, vol. 13, no. 4, pp. 600-612, Apr. 2004.

محمد میرزایی تحصیلات خود را در مقطع کارشناسی مهندسی کامپیوتر (گرایش سخت‌افزار) در سال ۱۳۸۸ از دانشگاه مازندران (دانشگاه صنعتی نوشیروانی بابل) و در مقاطع کارشناسی ارشد و دکترا مهندسی کامپیوتر (معماری کامپیوتر) به‌ترتیب در سال‌های ۱۳۹۲ و ۱۴۰۰ از دانشگاه تهران به پایان رسانده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: محاسبات تقریبی، تغییرپذیری فرایند، شبکه‌های روی تراشه، مدارهای آسنکرون و پردازش تصویر.

سیامک محمدی تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکترا در رشته الکترونیک به ترتیب در سال‌های ۱۳۶۹، ۱۳۷۱ و ۱۳۷۵ در دانشگاه پاریس ۱۱ (اورسی) در فرانسه به پایان رسانده است و از سال ۱۳۸۴ مشغول فعالیت در دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران است و هم اکنون دانشیار در همین دانشکده است. نام‌برده قبل از پیوستن به دانشگاه تهران بین سال های ۱۳۷۵ تا ۱۳۷۸ پژوهشگر در دانشگاه منچستر انگلستان بوده و سپس از ۱۳۷۸ تا ۱۳۸۴ در شرکت‌های صنعتی در کانادا مهندس طراح مدارهای مجتمع بوده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارهای کم‌توان، معماری کامپیوتر، امنیت سخت افزاری، درستی سنجی مدارهای دیجیتال و طراحی سامانه‌های مانیتورینگ در حوزه سلامت.