مقاله پژوهشی

ارزیابی کارایی سلول حافظه SRAM مبتنی بر ترانزیستورهای TMDFET در مقایسه با فناوری Si-MOSFET

فرزانه ایزدی‌نسب و مرتضی قلی‌پور

چکیده: ترانزیستورهای دی‌کلکوژناید فلزات واسطه (TMDFET) از جمله افزاره‌های نوظهور هستند که در سال‌های اخیر مورد توجه محققین قرار گرفته‌اند. در این مقاله ابتدا اثر تغییر پارامترها، دما و منبع تغذیه بر عملکرد ترانزیستورهای TMDFET در مقایسه با تکنولوژی Si-MOSFET مورد بررسی قرار گرفته است و نتایج بیانگر میزان حساسیت کمتر TMDFET به این تغییرات در مقایسه با افزاره Si-MOSFET است. در ادامه با انتخاب مناسب نسبت‌های ابعاد ترانزیستورها، به ارزیابی کارایی سلول حافظه دسترسی تصادفی استاتیک شش‌ترانزیستوری پایه مبتنی بر TMDFET در مقایسه با فناوری Si-MOSFET در تکنولوژی ۱۶ nm پرداخته شده است. شبیه‌سازی‌ها در دمای اتاق، ولتاژ تغذیه ۰/۷ ولت و شرایط یکسان برای هر دو افزاره TMDFET و Si-MOSFET در نظر گرفته شده است. نتایج حاصل از شبیه‌سازی‌ها نشان می‌دهند که در SRAM مبتنی بر ترانزیستور TMDFET مقدار *WTP* به میزان ۲۹/۴۴٪ بیشتر و به همین نسبت توانایی نوشتن آن بیشتر است. علاوه بر آن مقدار $WTI \times WTV$ به میزان ۴۹/۴۹٪ بیشتر است که بیانگر حاشیه نویز نوشتن بالاتر می‌باشد. مقدار تأخیر خواندن نیز به اندازه ۲۹/۴۸٪ کمتر است. به عبارت دیگر یک سلول SRAM مبتنی بر TMDFET از نظر توانایی نوشتن، حاشیه نویز استاتیکی خواندن و تأخیر خواندن عملکرد بهتری نسبت به Si-MOS-SRAM از خود نشان می‌دهد.

کلیدواژه: **۶T SRAM، حافظه دسترسی تصادفی استاتیک، ترانزیستور دی‌کلکوژناید فلزات واسطه (TMDFET)، تغییرات فرایند، ولتاژ و دما (PTV).**

۱- مقدمه

با توسعه و پیشرفت تکنولوژی، کوچک‌سازی افزاره‌های نیمه‌هادی برای دستیابی به سرعت بالاتر، هزینه کمتر و اتلاف انرژی کمتر به عنوان کلید تکامل الکترونیکی پدید آمده است. در سال‌های اخیر، صنعت نیمه‌هادی با افزایش تعداد ترانزیستورها بر روی یک تراشه با کاهش ابعاد ترانزیستورها، پیشرفت‌های چشم‌گیری داشته است. ترانزیستورهای اثر میدان نیمه‌هادی اکسید فلزی (MOSFETs)[1] به دلیل کوچک‌ترشدن ابعاد ترانزیستورها مطابق قانون مور، به چالش اصلی صنعت مقیاس بسیار بزرگ امروزی (VLSI)[2] تبدیل شده بودند. در دو دهه گذشته، اندازه MOSFET از اندازه چند میکرون به ۱۶ نانومتر کاهش یافته است. از آنجا که ویژگی اندازه ترانزیستور به طور مداوم در حال کاهش است، بسیاری از مسایل مانند اثرات کانال کوتاه، کاهش سد ناشی از درین و کاهش ولتاژ آستانه عملکرد افزاره‌های MOSFET را تحت تأثیر قرار می‌دهد. کاهش ویژگی اندازه فناوری نیمه‌هادی فلز- اکسید (MOS) منجر به ایجاد چالش‌های اساسی و مشکلاتی از جمله افزایش جریان نشت گیت، اتلاف توان و تضعیف قابلیت اطمینان می‌شود [۱]. در نتیجه با وجود این محدودیت‌ها، تقاضا برای افزاره‌های نانوالکترونیک افزایش یافته است.

به منظور برطرف‌کردن برخی از این مشکلات، بسیاری از افزاره‌های نوظهور فناوری نانو مانند FinFET [۲]، ترانزیستورهای اثر میدان نانولوله کربنی (CNTFET)[3] [۳]، ترانزیستورهای اثر میدان نانونوار گرافن (GNRFET)[4] [۴] و ترانزیستورهای دی‌کلکوژناید فلزات واسطه (TMDFET)[5] [۵] و [۶]، طی چند سال گذشته مورد توجه قرار گرفتند. از میان این افزاره‌ها ترانزیستورهای دی‌کلکوژناید فلزات واسطه به دلیل ویژگی‌های قابل توجهی که دارند می‌توانند به عنوان گزینه مناسبی برای طراحی مدارهای الکترونیکی از جمله سلول SRAM[6] معرفی شوند. TMDها به دلیل ویژگی‌های قابل توجه از جمله شکاف انرژی مناسب برای ساخت ترانزیستور، انعطاف‌پذیری مکانیکی و شفافیت نوری برای ساخت تجهیزات الکترونیکی امروزه مورد توجه خاصی قرار گرفته‌اند. این افزاره‌ها برای طول کانال کمتر از ۱۰ nm مناسب هستند [۷].

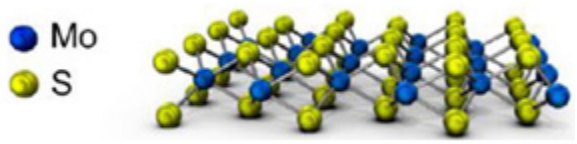
در این مقاله ابتدا اثر تغییر پارامترها، دما و منبع تغذیه بر عملکرد ترانزیستورهای TMDFET در مقایسه با تکنولوژی Si-MOSFET مورد بررسی قرار گرفته و سپس با انتخاب نسبت‌های *CR*[7] و *PR*[8] مناسب بر اساس نتایج حاصل‌شده از این مقایسه، به ارزیابی کارایی سلول SRAM شش‌ترانزیستوری پایه مبتنی بر ترانزیستورهای TMDFET در مقایسه با فناوری Si-MOSFET در تکنولوژی ۱۶ nm پرداخته شده است. در بخش ۲ این مقاله به معرفی ترانزیستور TMDFET و بررسی اثر تغییر پارامترها، دما و منبع تغذیه بر روی عملکرد ترانزیستورهای TMDFET و Si-MOSFET و مقایسه آنها و همچنین معرفی سلول حافظه SRAM شش‌ترانزیستوری پایه پرداخته شده است. در بخش ۳ با تغییرات نسبت‌های *CR* و *PR*، اثرگذاری ابعاد ترانزیستورها نسبت به

این مقاله در تاریخ ۱۰ آبان ماه ۱۳۹۹ دریافت و در تاریخ ۶ تیر ماه ۱۴۰۰ بازنگری شد.

فرزانه ایزدی‌نسب، دانشجوی کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران (email: f.izadinasab@nit.ac.ir).

مرتضی قلی‌پور، استادیار دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران (email: m.gholipour@nit.ac.ir).

1. Metal Oxide Semiconductor Field Effect Transistor
2. Very Large Scale Integration
3. Carbon-Nanotube Field Effect Transistor
4. Graphene Nanoribbon Field Effect Transistor
5. Transition Metal Dichalcogenide Field Effect Transistor
6. Static Random Access Memory
7. Cell Ratio
8. Pull-up Ratio



شکل ۱: ساختار اتمی تک‌لایه MoS_2 [۷].

هم بر کارایی سلول حافظه بررسی گردیده است. مقایسه سلول‌های SRAM مبتنی بر ترانزیستورهای TMDFET و Si-MOSFET در تکنولوژی ۱۶ nm در بخش ۴ صورت گرفته و نهایتاً در بخش ۵ نتیجه‌گیری انجام شده است.

۲- ترانزیستور اثر میدان TMDFET

۲-۱ مواد TMD

مواد TMD به عنوان مواد دوبعدی با فرمول شیمیایی MX_2 دارای ساختار لایه‌ای متشکل از فلز واسطه M و اتم کلکوژن X هستند که توسط پیوندهای کوالانسی $X-M-X$ و با برهم‌کنش‌های واندروالسی در کنار یکدیگر قرار گرفته‌اند [۸]. به خاطر وجود این پیوندهای واندروالسی بین لایه‌ای ضعیف، می‌توان آن را با روش‌های پوسته پوسته‌سازی[1] مکانیکی و یا شیمیایی به صورت یک یا چندلایه‌ای ایجاد کرد [۹] تا [۱۱]. یکی از این مواد TMD، مولیبدنایت (MoS_2) است که ساختار آن در شکل ۱ نشان داده شده است. از ویژگی‌های قابل توجه این مواد می‌توان به داشتن شکاف انرژی مناسب برای ساخت ترانزیستورها، داشتن ساختار صفحه‌ای، شفافیت نوری و قابلیت انعطاف‌پذیری مکانیکی اشاره کرد که آنها را برای ساخت تجهیزات الکترونیکی، مناسب می‌سازد. فرایند ساخت این افزاره‌ها نیز با فرایند ساخت CMOS[2] سازگار است [۱۲].

۲-۲ ترانزیستورهای دی‌کلکوژناید فلزات واسطه (TMDFET)

ساختار فیزیکی یک ترانزیستور TMDFET در شکل ۲ نشان داده شده که کانال آن می‌تواند از مواد TMD تک‌لایه[3]، دولایه[4] و سه‌لایه[5] ساخته شود. رفتار و منشأ اثرات کانال کوتاه در ترانزیستورهای TMD در مقایسه با ترانزیستورهای سیلیکونی متفاوت است و این ناشی از موارد زیر می‌باشد [۷]:

۱) اساساً ترانزیستورهای TMD افزاره‌های حامل‌های اکثریت با انباشت حامل‌ها در حالت روشن هستند و این در حالی است که ترانزیستورهای سیلیکونی حامل‌های اقلیت می‌باشند و در حالت روشن با وارونگی حامل‌ها همراه هستند.

۲) نواحی سورس- درین TMDFETها اتصالات نیمه‌هادی هستند و آلایش[6] زیاد ندارند.

۳) TMDها دارای ضخامت کم و ثابت دی‌الکتریک پایین هستند و به همین جهت طول مشخصه ترانزیستورهای TMD کانال کوتاه کمتر است، از این رو جایگزین مناسبی برای سیلیکون به شمار می‌آیند [۷].

1. Exfoliation
2. Complementary Metal Oxide Semiconductor
3. Monolayer
4. Bilayer
5. Tri-Layer
6. Doping

جدول ۱: ابعاد افزاره‌های TMDFET و Si-MOSFET.

پارامتر	TMDFET	Si-MOSFET
W_{CH} (nm): عرض کانال ترانزیستور	۲۰	۲۰
L_{CH} (nm): طول کانال ترانزیستور	۱۶	۱۶
t_{ox} (nm): ضخامت اکسید بالا	۲/۸	۰/۹۵
t_{ox2} (nm): ضخامت اکسید پشت	۱۰	–
Strain: کشش	۰	۰

۲-۳ بررسی اثر تغییرات پارامترها بر روی ترانزیستور

پارامترهای ترانزیستورها در فرایند ساخت، در گستره وسیعی تغییر می‌کنند و این تغییرات باید در طراحی مورد توجه قرار گیرند. در ترانزیستورهای TMDFET مانند ترانزیستورهای MOSFET، پارامترهای طول کانال ترانزیستور، عرض ترانزیستور و ضخامت لایه اکسید از جمله پارامترهای مستعد تغییر در فرایند ساخت هستند. علاوه بر آن تغییرات پارامترهای محیطی همچون دما و ولتاژ تغذیه نیز می‌توانند بر عملکرد افزاره‌ها اثرگذار باشند. در این بخش به بررسی اثر تغییر هر یک از این پارامترها بر عملکرد ترانزیستور TMDFET و مقایسه آن با ترانزیستور Si-MOSFET پرداخته شده است.

۲-۳-۱ تنظیمات شبیه‌سازی

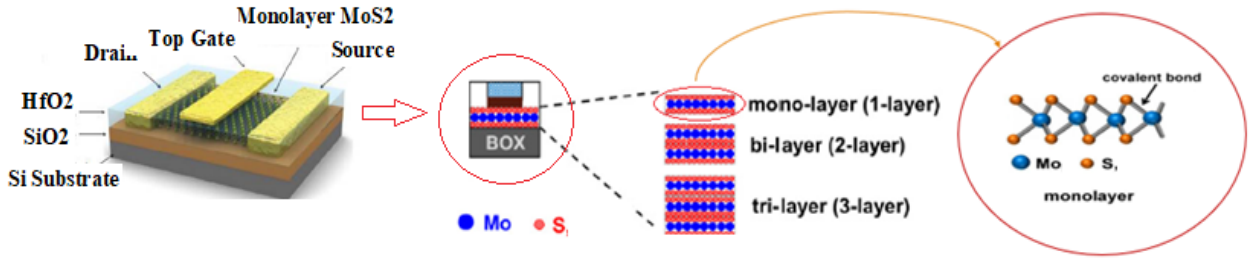
به منظور مقایسه دو افزاره TMDFET و Si-MOSFET به ترتیب از مدل ارائه‌شده در [۷] و مدل CMOS پیش‌بین (PTM) در تکنولوژی ۱۶ nm استفاده گردیده و شبیه‌سازی‌ها با استفاده از HSPICE انجام شده است. جهت قضاوت منصفانه عملکرد این دو افزاره، شرایط شبیه‌سازی کاملاً یکسان بوده و ابعاد ترانزیستورها مطابق جدول ۱ در نظر گرفته شده است. شبیه‌سازی‌ها در تکنولوژی ۱۶ nm، ولتاژ تغذیه ۰/۷ ولت و دمای اتاق انجام شده است.

۲-۳-۲ تغییر ولتاژ تغذیه

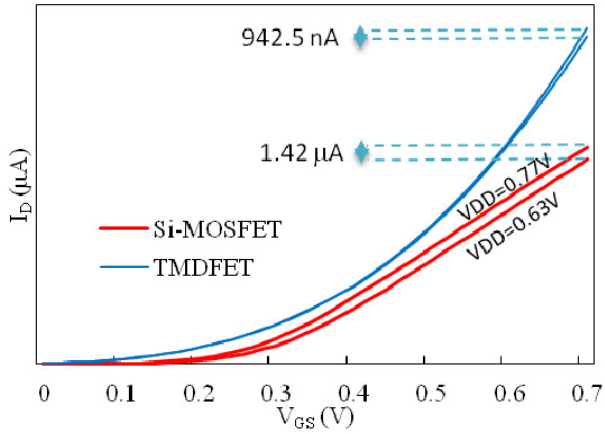
تغییرات در ولتاژ تغذیه به دلایل مختلف از جمله وجود مقاومت در قسمت‌های مختلف تراشه می‌تواند رخ دهد. از این رو این تغییرات نیز باید توسط طراح مورد توجه قرار گیرد، با افت ولتاژ تغذیه، سرعت مدار و در نتیجه کارایی آن کاهش می‌یابد. با در نظر گرفتن این مسأله، با کاهش ۱۰٪ ولتاژ تغذیه در کل مدار در مرحله شبیه‌سازی، نتایج به دست آمده‌اند. همان طور که در شکل ۳ مشاهده می‌شود، با افت ۱۰٪ ولتاژ تغذیه، جریان درایو ترانزیستور TMDFET تغییرات ۱/۵ مرتبه کمتر نسبت به ترانزیستور Si-MOSFET از خود نشان می‌دهد و این به معنی حساسیت کمتر ترانزیستور TMDFET به افت ولتاژ تغذیه در مقایسه با Si-MOSFET است.

۲-۳-۳ تغییرات دما

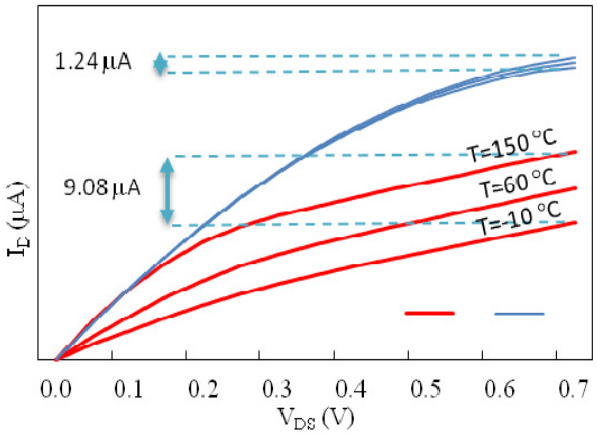
تغییرات دما همواره بر عملکرد ترانزیستورها اثرگذار بوده و به همین جهت باید اثرات آن در طراحی منظور گردد. به طور مثال افزایش دما منجر به افزایش ولتاژ آستانه و کاهش سرعت مدار می‌شود. از این رو با اعمال تغییرات دما از ۱۰- درجه تا ۱۵۰- درجه سانتی‌گراد بر روی ترانزیستورها، اثرات آن بر روی منحنی مشخصه‌های I_D-V_{GS} و I_D-V_{DS} مورد بررسی قرار گرفته است. با توجه به شکل‌های ۴ و ۵، مشاهده می‌شود که با افزایش دما، میزان تغییرات جریان درایو ترانزیستور TMDFET در مقایسه با Si-MOSFET، در هر دو منحنی مشخصه به میزان ۷/۳۲ برابر کمتر است و این نشان‌دهنده پایداری حرارتی بسیار



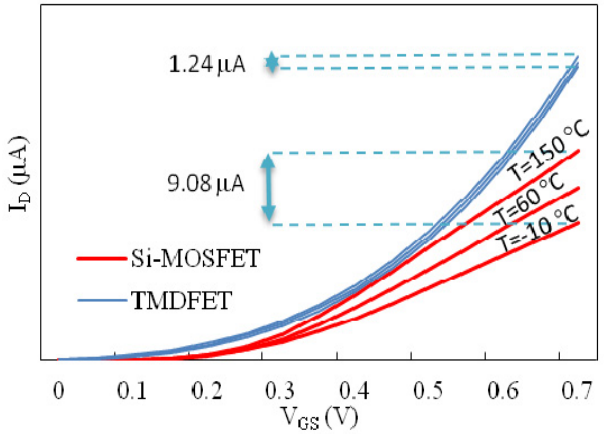
شکل ۲: ساختار فیزیکی یک ترانزیستور با کانال TMD تک‌لایه، دولایه و سه‌لایه [۶] و [۷].



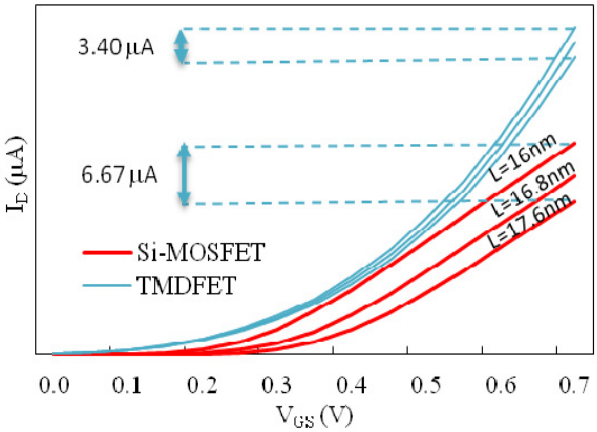
شکل ۳: اثر کاهش ۱۰٪ ولتاژ تغذیه بر منحنی مشخصه $I_D - V_{GS}$ در ترانزیستورهای TMDFET و Si-MOSFET.



شکل ۵: اثر تغییر دما از ۱۰- درجه تا ۱۵۰+ درجه سانتی‌گراد بر منحنی مشخصه $I_D - V_{DS}$ در ترانزیستورهای TMDFET و Si-MOSFET.



شکل ۴: اثر تغییر دما از ۱۰- درجه تا ۱۵۰+ درجه سانتی‌گراد بر منحنی مشخصه $I_D - V_{GS}$ در ترانزیستورهای TMDFET و Si-MOSFET.



شکل ۶: اثر تغییر ۱۰٪+ طول کانال ترانزیستور بر منحنی مشخصه $I_D - V_{GS}$ در ترانزیستورهای TMDFET و Si-MOSFET.

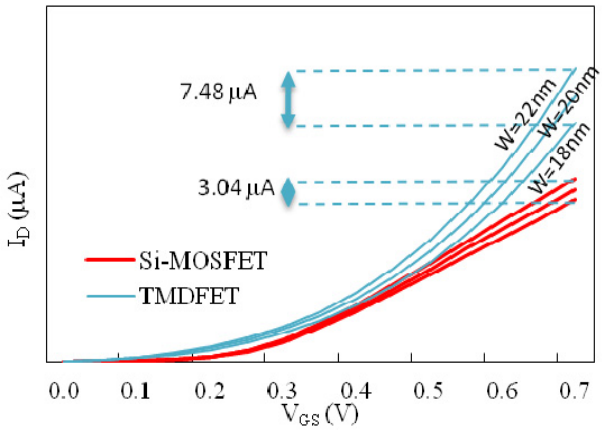
خوب ترانزیستور TMDFET در مقایسه با Si-MOSFET می‌باشد.

۲-۳-٤ تغییر در طول و عرض کانال ترانزیستور

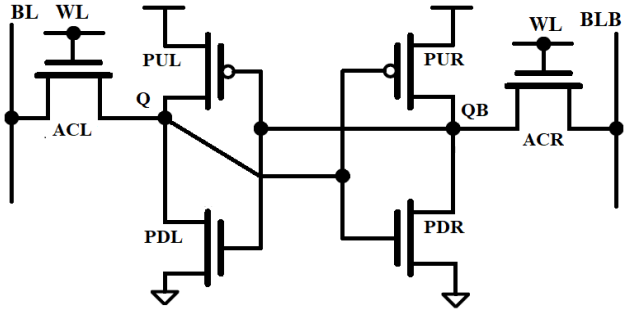
با توجه به این که ترانزیستورهای Si-MOSFET را می‌توان تنها تا طول کانال ۱۶ nm کاهش داد و از طرفی طول کانال ترانزیستورها در این مقاله ۱۶ nm در نظر گرفته شده است، از این رو تنها اثر تغییر افزایش ۱۰٪ طول کانال در دو ترانزیستور TMDFET و Si-MOSFET بررسی شده است. در شکل ۶ جریان درایو ترانزیستورهای TMDFET و Si-MOSFET به ازای تغییر ۱۰٪+ در طول کانال ترانزیستورها نشان داده شده است. با توجه به این شکل، مشاهده می‌شود که با تغییر اعمال‌گردیده در طول کانال ترانزیستورها، تغییرات جریان درایو ترانزیستور TMDFET در مقایسه با Si-MOSFET به میزان ۱/۹۶ مرتبه کمتر است و این به معنی حساسیت کمتر ترانزیستور TMDFET نسبت به Si-MOSFET می‌باشد.

جریان درایو ترانزیستورها به ازای تغییر ۱۰٪± در عرض کانال در تکنولوژی ۱۶ nm در شکل ۷ نشان داده شده است. از این شکل مشاهده می‌شود که با تغییر ۱۰٪± عرض کانال ترانزیستور، تغییرات جریان درایو ترانزیستور TMDFET به میزان ۲/۴۶ مرتبه بیشتر از تغییرات جریان درایو ترانزیستور Si-MOSFET است و بیانگر حساسیت بیشتر ترانزیستور TMDFET به تغییر عرض کانال ترانزیستور در مقایسه با ترانزیستور Si-MOSFET می‌باشد.

نتایج حاصل از شبیه‌سازی‌های انجام‌شده در بررسی اثر تغییر پارامترها بر عملکرد ترانزیستور نوظهور TMDFET و مقایسه آن با ترانزیستور MOSFET، نشان می‌دهد که این افزاره به مراتب، اثرپذیری کمتری در برابر تغییر پارامترها در مقایسه با ترانزیستور Si-MOSFET از خود نشان می‌دهد و از این رو می‌تواند به عنوان جایگزین بالقوه‌ای برای ترانزیستورهای سیلیکونی مورد استفاده قرار گیرد.



شکل ۷: اثر تغییر ۱۰٪± عرض کانال ترانزیستور بر منحنی مشخصه $I_D - V_{GS}$ در ترانزیستورهای TMDFET و Si-MOSFET.



شکل ۸: سلول SRAM شش‌ترانزیستوری [۶].

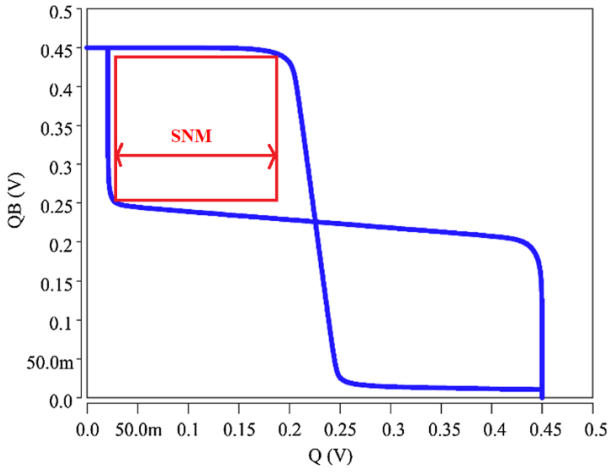
۲-٤ سلول حافظه SRAM شش‌ترانزیستوری

ساختار سلول SRAM پایه در شکل ۸ آمده است. همان طور که مشاهده می‌شود این سلول از یک معکوس‌کننده با تزویج حلقوی ساخته شده که می‌تواند یک بیت داده را در خود ذخیره کند. ترانزیستورهای $M1$ و $M2$ ترانزیستورهای دسترسی[1] هستند که گیت آنها به خط کلمه (WL)[2] متصل شده و سورس یا درین آنها به خط بیت (BL)[3] متصل است. مقدار داده در گره Q و مقدار مکمل آن در گره QB ذخیره می‌شود. این سلول در سه حالت عملیاتی خواندن، نوشتن و نگهداری داده کار می‌کند که در ادامه به تشریح هر یک پرداخته شده است:

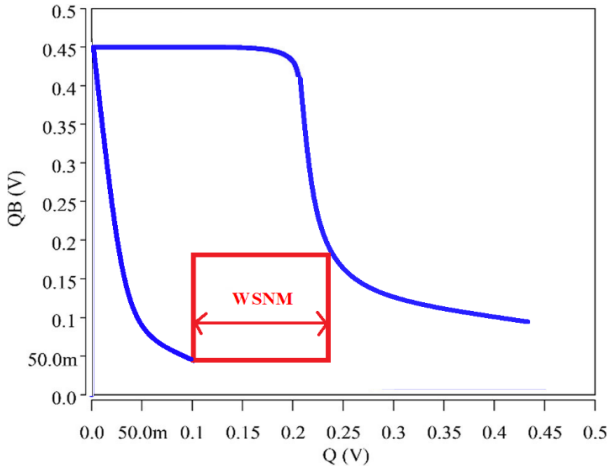
۱) مد عملیاتی نگهداری داده: در این حالت ترانزیستورهای دسترسی خاموش هستند و هدف، حفظ داده ذخیره‌شده درون سلول است. برای بررسی میزان نویزپذیری سلول در این حالت از معیاری به نام حاشیه نویز استاتیکی نگهداری داده $(HSNM)$[4] استفاده می‌شود. مطابق شکل ۹- الف، $HSNM$ به عنوان طول بزرگ‌ترین مربع محاط‌شده در هر یک از بال‌های منحنی پروانه‌ای[5] معرفی می‌شود که بیانگر بیشترین میزان نویز DC قابل تحمل در گره‌های ذخیره‌کننده داده بدون تغییر داده‌های ذخیره‌شده در حالت نگهداری داده است.

۲) مد عملیاتی خواندن داده از سلول: این حالت مشابه حالت نگهداری داده است با این تفاوت که در این مد، ترانزیستورهای دسترسی

1. Access
2. Word Line
3. Bit Line
4. Hold Static Noise Margin
5. Butterfly



(الف)



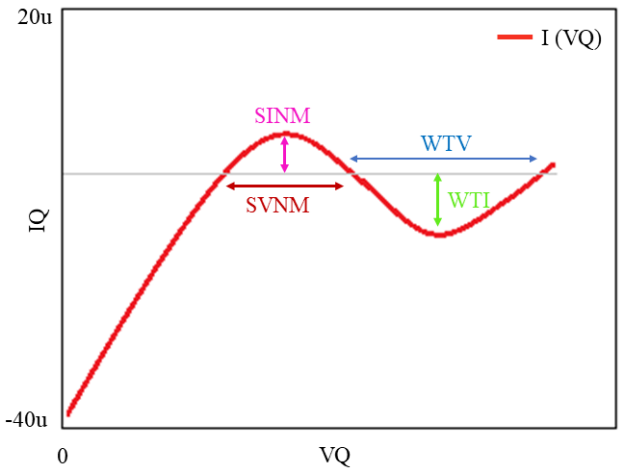
(ب)

شکل ۹: روش ترسیمی با استفاده از منحنی پروانه‌ای برای محاسبه (الف) $HSNM$ و $RSNM$ و (ب) $WSNM$.

روشن هستند. برای خواندن داده از سلول ابتدا باید خطوط بیت تا مقدار VDD پیش بارگذاری شوند و سپس با فعال‌شدن ترانزیستورهای دسترسی، مقدار ذخیره‌شده در سلول بر روی خطوط بیت قرار خواهند گرفت. معیار نویزپذیری در این حالت، حاشیه نویز استاتیکی خواندن $(RSNM)$[6] نامیده می‌شود که مشابه $HSNM$ محاسبه می‌گردد. در سلول ۶T-SRAM همواره $HSNM$ بیشتر از $RSNM$ است و هرچه این دو پارامتر بیشتر باشند، میزان نویزپذیری سلول بیشتر خواهد بود.

۳) مد عملیاتی نوشتن داده درون سلول: در این مد که بیانگر ذخیره داده در سلول است، مقدار داده مورد نظر ابتدا باید بر روی یکی از خطوط بیت قرار داده شود و سپس با فعال‌شدن ترانزیستورهای دسترسی، داده مورد نظر در سلول نوشته خواهد شد. معیار بررسی نویزپذیری سلول در این حالت، حاشیه نویز استاتیکی خواندن $(WSNM)$[7] نامیده می‌شود و به عنوان طول کوچک‌ترین مربع محاط‌شده بین منحنی مشخصه‌های هر یک از معکوس‌کننده‌ها معرفی می‌شود و مطابق شکل ۹- ب به دست می‌آید. هرچه $WSNM$ بزرگ‌تر باشد، میزان نویزپذیری سلول در حالت نوشتن بیشتر خواهد بود.

6. Read Static Noise Margin
7. Write Static Noise Margin



شکل ۱۰: منحنی N برای یک سلول حافظه.

برای انجام عملکرد صحیح سلول حافظه شش‌ترانزیستوری باید شرایط خاصی در تعیین سایز ترانزیستورهای دسترسی برقرار باشد. در بخش بعدی به بررسی اثر تغییر سایز ترانزیستورها بر مشخصه‌های اختصاصی طراحی ۶T-SRAM پرداخته شده است.

۳- بررسی اثر تغییر نسبت‌های *CR* و *PR*

در طراحی سلول حافظه در تکنولوژی‌های مختلف باید پارامترهای مهم طراحی از جمله عرض کانال ترانزیستورهای دسترسی، پایین‌بر و بالابر و نسبت طول به عرض (W/L) این ترانزیستورها مورد توجه قرار گیرند و به گونه‌ای تنظیم شوند که مصالحه‌ای بین معیارهای مهم ارزیابی سلول حافظه مانند توان مصرفی، سرعت و پایداری سلول برقرار شود. نحوه ارزیابی سلول حافظه بر اساس معیارهای اختصاصی آن در ادامه توضیح داده شده است.

به منظور ارزیابی پایداری خواندن سلول حافظه از دو معیار *SVNM* [۱] و *SINM* [۲] که به کمک منحنی N [۳] محاسبه می‌شوند استفاده می‌شود. در این منحنی که در شکل ۱۰ نشان داده شده است، *SVNM* به عنوان بیشترین ولتاژ نویز DC قابل تحمل در گره ذخیره‌کننده صفر قبل از تغییر داده درون سلول تعریف می‌شود و *SINM* بیانگر بیشترین جریان نویز DC است که می‌توان به سلول تزریق کرد قبل از آن که محتوای درون سلول تغییر کند. هرچه میزان *SINM* و *SVNM* بیشتر باشد بیانگر میزان پایداری بهتر سلول در هنگام خواندن است. به منظور ارزیابی بهتر از معیاری به نام *SPNM* [۴] که از (۱) به دست می‌آید، استفاده می‌شود

$$SPNM = SINM(\mu A) \times SVNM(mv) \qquad (۱)$$

برای ارزیابی میزان حاشیه نویز استاتیکی نوشتن از معیارهای *WTI* [۵] و *WTV* [۶] استفاده می‌شود که این دو معیار نیز توسط منحنی N محاسبه می‌گردند. کمیت *WTI* بیانگر جریان لغزش نوشتن بوده و معادل کمترین مقدار جریان لازم برای نوشتن در سلول حافظه است زمانی که خطوط بیت در مقدار *VDD* نگه داشته شده‌اند. همچنین *WTV* بیانگر ولتاژ لغزش نوشتن است که معادل افت ولتاژ مورد نیاز برای تغییر گره

1. Static Voltage Noise Margin
2. Static Current Noise Margin
3. N-Curve
4. Static Power Noise Margin
5. Write Trip Current
6. Write Trip Voltage

جدول ۲: پارامترهای شبیه‌سازی در سلول پایه مبتنی بر دو افزاره TMDFET و SI-MOSFET در مرحله اول.

پارامتر	TMDFET	Si-MOSFET
طول کانال : L_{CH} (nm)	۱۶	۱۶
عرض کانال : W_{CH_PU} (nm)	۱۶	۱۶
ترانزیستورهای بالابر		
نسبت PR : $PR = W_{PU}/W_{ACCESS}$	۰٫۶۷	۰٫۶۷
نسبت CR : $CR = W_{PD}/W_{ACCESS}$	روبش ۱ → ۲	روبش ۱ → ۲

ذخیره‌کننده "۱" سلول است وقتی که خطوط بیت تا *VDD* پر شده‌اند. هرچه میزان *WTI* و *WTV* کمتر باشد منجر به حاشیه نویز استاتیکی نوشتن کمتر می‌شود. برای نتیجه‌گیری بهتر در ارزیابی حاشیه نویز استاتیکی نوشتن از حاصل‌ضرب $WTI(\mu A) \times WTV(mv)$ استفاده می‌شود. منحنی N همراه با چهار معیار ذکرشده در شکل ۱۰ آمده است.

جهت ارزیابی میزان توانایی نوشتن در سلول حافظه نیز از معیار *WTP* [۷] استفاده می‌شود. *WTP* به عنوان بیشترین مقدار ولتاژ مورد نیاز بر روی سیگنال خط بیت که می‌تواند در هنگام نوشتن محتوای سلول را به مقدار مورد نظر تغییر دهد تعریف می‌شود. میزان *WTP* بیشتر به معنای توانایی نوشتن بهتر درون سلول است.

اکنون به تحلیل و بررسی تأثیر تغییر ابعاد ترانزیستورها و نسبت عرض کانال آنها بر روی معیارهای ارزیابی سلول حافظه در تکنولوژی ۱۶ nm در SRAM مبتنی بر ترانزیستورهای TMDFET و Si-MOSFET که از این پس به ترتیب TMD-SRAM و Si-MOS-SRAM نامیده می‌شوند پرداخته شده است. در سلول SRAM پایه دو نسبت برای ترانزیستورها در نظر گرفته شده که به صورت نسبت اندازه عرض کانال ترانزیستورهای بالابر به اندازه عرض ترانزیستورهای دسترسی تحت عنوان نسبت بالابر (CR) و نسبت اندازه عرض ترانزیستورهای پایین‌بر به اندازه عرض ترانزیستورهای دسترسی تحت عنوان نسبت سلولی (CR) تعریف می‌شوند که به ترتیب با (۲) و (۳) محاسبه می‌گردند. تغییرات در سه مرحله برای TMD-SRAM و Si-MOS-SRAM در شرایط یکسان انجام می‌شود که در ادامه به تشریح هر یک پرداخته شده است

$$PR = \frac{W_{PULL_UP}}{W_{ACCESS}} \qquad (۲)$$

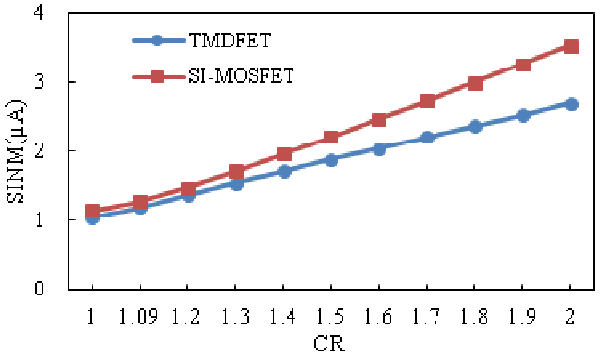
$$PR = \frac{W_{PULL_UP}}{W_{DOWN}} \qquad (۳)$$

۳-۱ تغییر نسبت *CR*

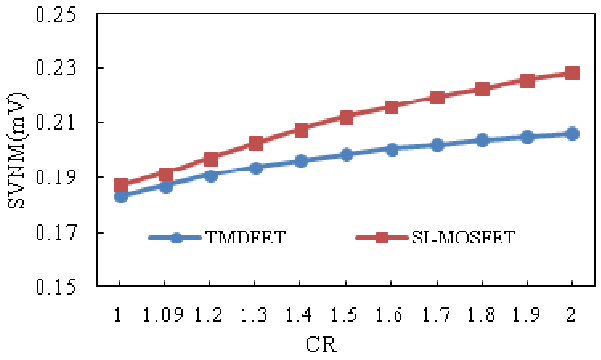
در گام نخست، سایز ترانزیستورهای بالابر و *PR* ثابت فرض گردیده و سپس با تغییر نسبت *CR*، اثر تغییرات عملکرد سلول حافظه بررسی شده است. پارامترهای شبیه‌سازی در سلول شش‌ترانزیستوری برای هر دو افزاره در جدول ۲ آمده و شبیه‌سازی‌ها در دمای ۲۵ درجه و منبع تغذیه ۰٫۷ ولت انجام شده است. شکل‌های ۱۱ تا ۱۳ تغییرات پارامترهای اختصاصی سلول حافظه را با افزایش نسبت *CR* در *PR* ثابت برای TMD-SRAM در مقایسه با Si-MOS-SRAM نشان می‌دهند.

با توجه به نتایج حاصل از شکل‌های ۱۱ تا ۱۳، مشاهده می‌شود که با افزایش نسبت *CR*، مقادیر *SVNM* و *SINM* برای هر دو تکنولوژی افزایش می‌یابند که در نتیجه آن *SPNM* افزایش یافته و منجر به

7. Write Trip Point

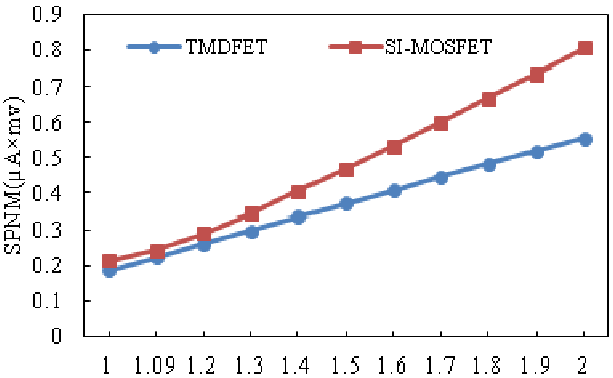


(الف)

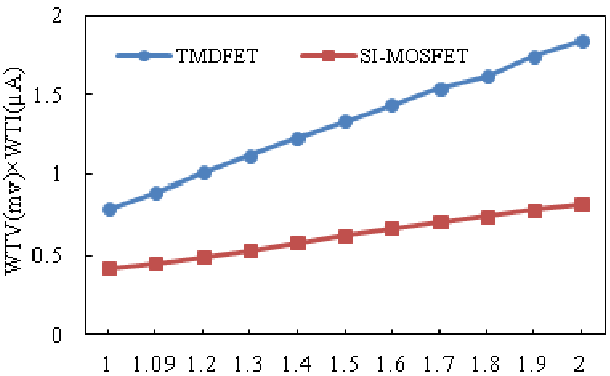


(ب)

شکل ۱۱: اثر تغییرات CR بر روی (الف) $SINM$ و (ب) $SVNM$ به ازای $PR=۰٫۶$، $VDD=۰٫۷\,V$ و $W_P=۱۶\,nm$.



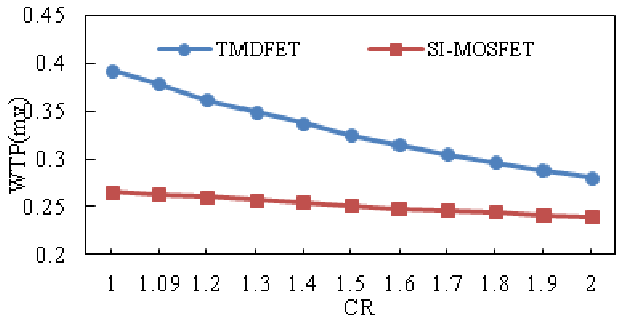
(الف)



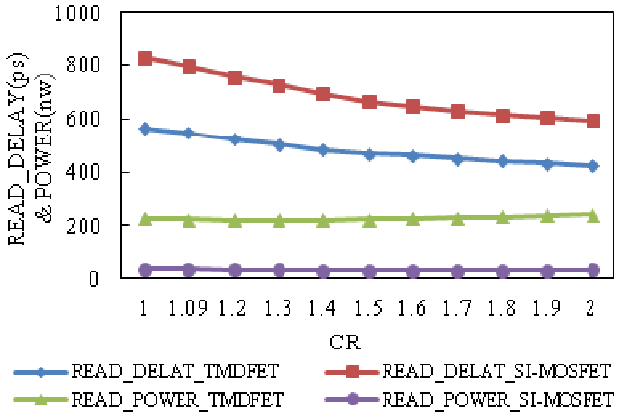
(ب)

شکل ۱۲: اثر تغییر CR بر روی (الف) $SPNM$ و (ب) $WTI\times WTV$ به ازای $PR=۰٫۶$، $VDD=۰٫۷\,V$ و $W_P=۱۶\,nm$.

افزایش پایداری سلول در هنگام خواندن می‌شود. همچنین مقادیر WTI و WTV نیز افزایش می‌یابند که در این صورت با افزایش مقدار CR،

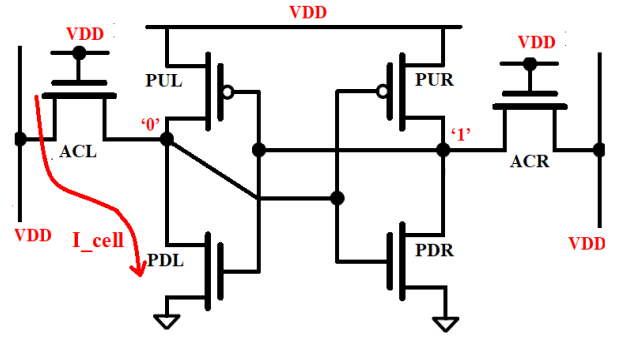


(الف)



(ب)

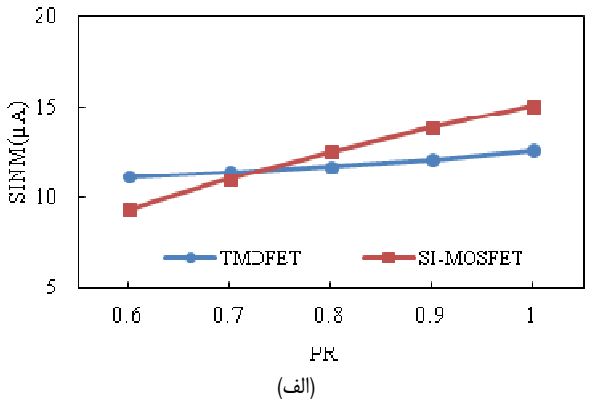
شکل ۱۳: اثر تغییر CR بر (الف) WTP و (ب) $READDELAY_READ\ POWER$ به ازای $PR=۰٫۶$، $VDD=۰٫۷\,V$ و $W_P=۱۶\,nm$.



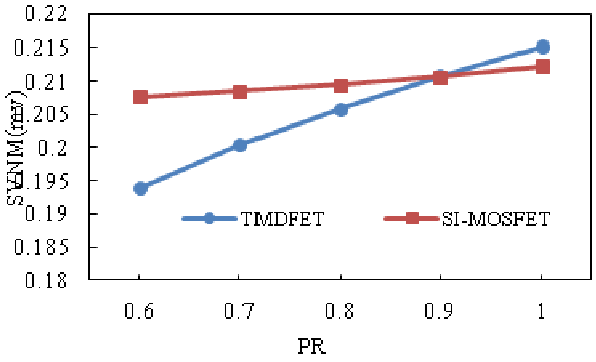
شکل ۱۴: آسیب‌پذیری سلول ۶T-SRAM نسبت به نویز در هنگام خواندن داده.

معیار حاصل‌ضرب $WTI\times WTV$ در TMD-SRAM در مقایسه با Si-MOS-SRAM افزایش قابل توجهی پیدا می‌کند که این مسأله منتج به بهبود حاشیه نویز استاتیک نوشتن در TMD-SRAM نسبت به Si-MOS-SRAM می‌شود. همچنین مقادیر WTP برای هر ۲ تکنولوژی با افزایش CR، کاهش می‌یابد ولی این کاهش در TMD-SRAM در مقایسه با Si-MOS-SRAM چشم‌گیرتر است. در CR یکسان مقدار WTP مربوط به Si-MOS-SRAM کمتر از همتای TMD-SRAM خود می‌باشد و حاکی از توانایی نوشتن بیشتر در TMD-SRAM نسبت به حافظه مبتنی بر سیلیکون است. میزان تأخیر خواندن و توان خواندن با افزایش CR در هر دو تکنولوژی به ترتیب کاهش و افزایش اندک می‌یابند. در CR یکسان تأخیر خواندن TMD-SRAM نسبت به همتای Si-MOS-SRAM خود کمتر و توان خواندن آن بیشتر می‌باشد.

در هنگام خواندن در سلول حافظه، بیشترین آسیب‌پذیری در گره ذخیره‌کننده "۰" اتفاق می‌افتد. مطابق شکل ۱۴، به این صورت که با عبور جریان از مسیر $M۱$ و $M۳$ به منظور تخلیه خط بیت، مقدار ولتاژ در گره Q بالا می‌رود و باعث روشن‌شدن ترانزیستور $M۴$ شده و در

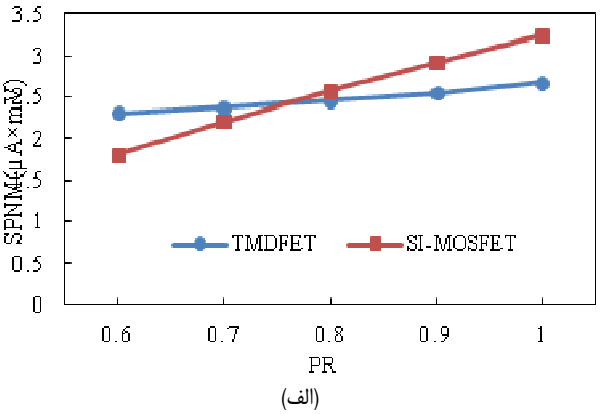


(الف)

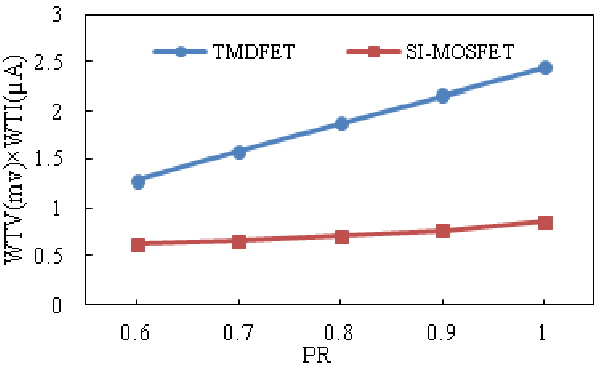


(ب)

شکل ۱۵: اثر تغییر PR بر روی (الف) $SINM$ و (ب) $SVNM$ به ازای $CR=۱/۵$، $VDD=۰/۷\,V$ و $W_n=۴۰\,nm$.



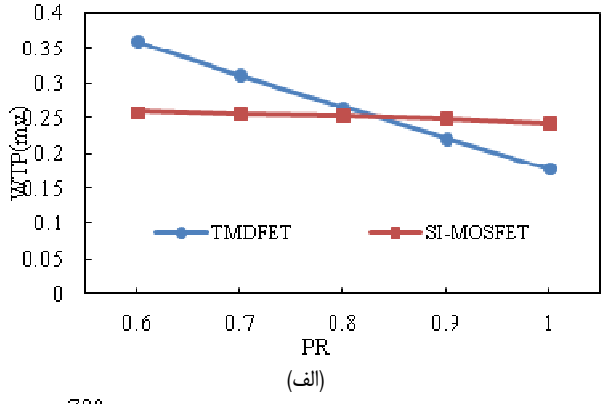
(الف)



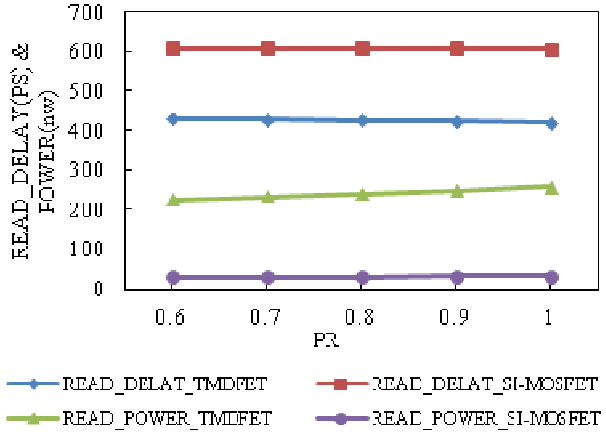
(ب)

شکل ۱۶: اثر تغییر PR بر روی (الف) $SPNM$ و (ب) $WTI\times WTV$ به ازای $CR=۱/۵$، $VDD=۰/۷\,V$ و $W_n=۴۰\,nm$.

نتیجه ولتاژ گره QB را پایین می‌آورد و باعث تغییر داده ذخیره‌شده درون سلول می‌شود. به منظور جلوگیری از رخداد این شرایط، باید با تعیین نسبت مناسب ترانزیستورهای پایین‌بر به ترانزیستورهای دسترسی، میزان



(الف)



(ب)

شکل ۱۷: اثر تغییر PR بر (الف) WTP و (ب) $READDELAY_READ\ POWER$ به ازای $CR=۱/۵$، $VDD=۰/۷\,V$ و $W_n=۴۰\,nm$.

جدول ۳: پارامترهای شبیه‌سازی در سلول پایه مبتنی بر دو افزاره TMDFET و SI-MOSFET در مرحله دوم.

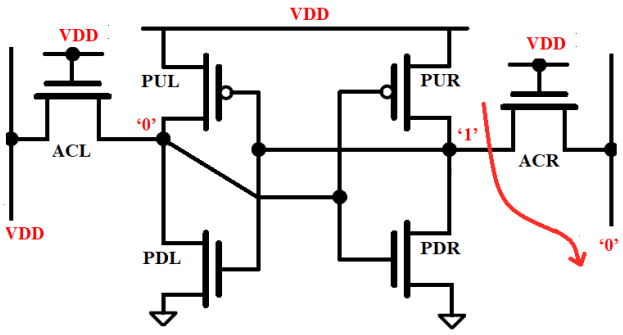
پارامتر	TMDFET	Si-MOSFET
L_{CH}(nm): طول کانال	۱۶	۱۶
W_{CH_PU}(nm): عرض کانال ترانزیستورهای پایین‌بر	۴۰	۴۰
CR نسبت: $CR=W_{PD}/W_{ACCESS}$	۱/۵	۱/۵
PR نسبت: $PR=W_{PU}/W_{ACCESS}$	روبش ۰/۶ → ۱	روبش ۰/۶ → ۱

تغییر ولتاژ در گره Q کنترل شود. در واقع پایداری خواندن، یک نسبت معین بین ترانزیستورهای پایین‌بر و دسترسی تحمیل می‌کند. هر مقدار که نسبت CR افزایش یابد، میزان افزایش ولتاژ در گره Q کاهش می‌یابد.

۳-۲ تغییر نسبت PR

در مرحله دوم تأثیر تغییرات PR به ازای CR ثابت و سایز ترانزیستورهای پایین‌بر ثابت مورد بررسی قرار گرفته و به همین منظور نسبت PR از ۰/۶ تا ۱ افزایش داده شده است. پارامترهای شبیه‌سازی این مرحله در سلول شش‌ترانزیستوری برای هر دو افزاره در جدول ۳ گزارش شده است. نتایج حاصل‌شده از این شبیه‌سازی‌ها در شکل‌های ۱۵ تا ۱۷ آمده‌اند.

نتایج شبیه‌سازی در این مرحله نشان می‌دهد که در نسبت PRهای پایین، مقدار SPNM برای TMD-SRAM بیشتر از Si-MOS-SRAM است که بیانگر پایداری خواندن پایین‌تر در Si-MOS-SRAM می‌باشد. اما با افزایش نسبت PR در CR ثابت، این مقدار به شکل معکوس تغییر می‌کند و می‌توان ادعا کرد در PRهای بالا، Si-MOS-SRAM دارای



شکل ۱۸: نوشتن در سلول ۶T-SRAM

جدول ۴: پارامترهای شبیه‌سازی سلول پایه مبتنی بر دو افزاره TMDFET و SI-MOSFET در مرحله سوم.

پارامتر	TMDFET	Si-MOSFET
طول کانال : L_{CH} (nm)	۱۶	۱۶
عرض کانال : W_{CH_PU} (nm) ترانزیستورهای بالابر	۱۶	۱۶
عرض کانال : W_{CH_PD} (nm) ترانزیستورهای پایین‌بر	۴۰	۴۰
نسبت : $PR = W_{PU}/W_{ACCESS}$	روبش ۱ → ۰٫۴	روبش ۱ → ۰٫۴
نسبت : $CR = W_{PD}/W_{ACCESS}$	روبش ۱ → ۲٫۵	روبش ۱ → ۲٫۵

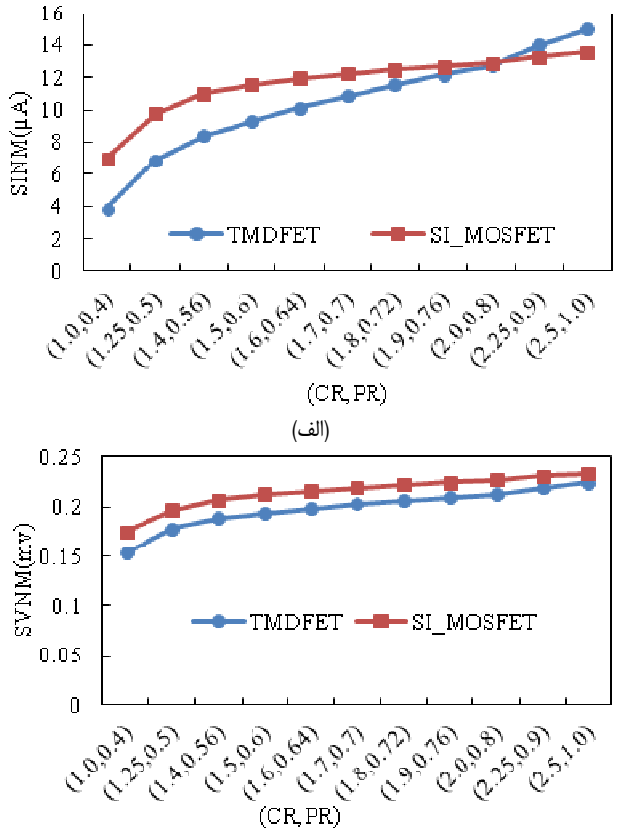
پایداری خواندن قابل توجه‌تری نسبت به همتای TMDFET خود است. مقدار $WTI \times WTV$ نیز با افزایش نسبت PR در هر دو تکنولوژی افزایش می‌یابد. در PR یکسان این مقدار برای TMD-SRAM بیشتر از Si-MOS-SRAM است و این به معنی داشتن حاشیه نویز بهتر در حافظه مبتنی بر TMDFET است. مقدار WTP با افزایش PR کاهش می‌یابد ولی این تغییرات در TMD-SRAM محسوس‌تر است. طبق نتایج حاصل‌شده می‌توان ادعا کرد که در $PR = ۰٫۶$ میزان حاشیه نویز نوشتن و توانایی نوشتن در TMD-SRAM بهتر هستند. همچنین تأخیر خواندن و توان خواندن نیز با افزایش PR در هر دو تکنولوژی به ترتیب کاهش و افزایش می‌یابند ولی در PR یکسان، میزان تأخیر خواندن و توان خواندن در TMD-SRAM نسبت به Si-MOS-SRAM به ترتیب کمتر و بیشتر است.

نوشتن موفق درون سلول به سایز ترانزیستورهای بالابر و دسترسی بستگی دارد. برای انجام درست این عملیات با توجه به مدار شکل ۱۸ باید ولتاژ گره QB به زیر آستانه سوئیچینگ پایین بیاید. از یک طرف ترانزیستور $M۲$ سعی در "۰"کردن گره Q دارد و از سوی دیگر $M۶$ می‌خواهد گره Q را در وضعیت "۱" نگه دارد. برای انجام صحیح عمل نوشتن باید قدرت ترانزیستورهای دسترسی بیشتر از ترانزیستورهای بالابر باشد و از این رو با تعیین درست نسبت PR می‌توان عمل نوشتن موفق را تضمین نمود.

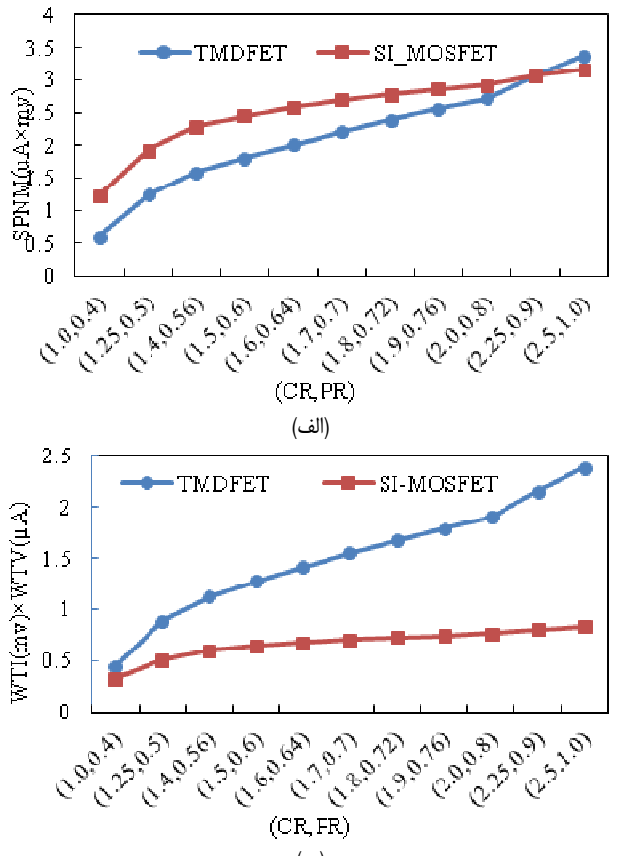
۳-۳ تغییر هم‌زمان نسبت‌های CR و PR

در مرحله سوم، شبیه‌سازی در شرایط سایز ترانزیستورهای بالابر و پایین‌بر ثابت و تغییر نسبت‌های CR و PR انجام داده شده است. پارامترهای شبیه‌سازی این مرحله در سلول شش‌ترانزیستوری برای هر دو افزاره مطابق جدول ۴ در نظر گرفته شده است.

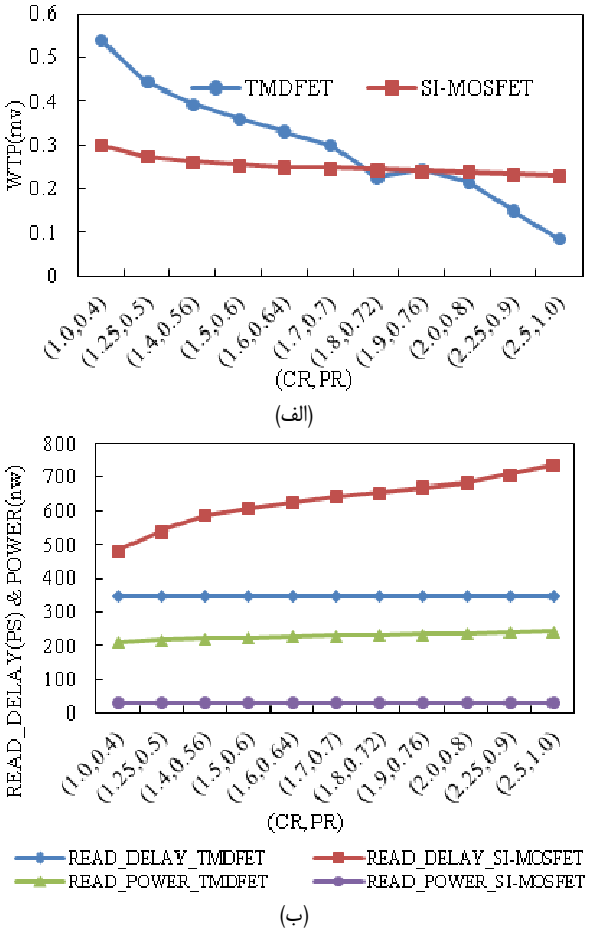
نتایج حاصل از مرحله سوم در شکل‌های ۱۹ تا ۲۱ آمده است. همان طور که مشاهده می‌شود با کاهش سایز ترانزیستورهای دسترسی، میزان



شکل ۱۹: اثر تغییر در PR و CR بر روی (الف) $SINM$ و (ب) $SVNM$ به ازای $VDD = ۰٫۷$V، $W_n = ۴۰$nm و $W_P = ۱۶$nm.



شکل ۲۰: اثر تغییر در PR و CR بر روی (الف) $SPNM$ و (ب) $WTI \times WTV$ به ازای $VDD = ۰٫۷$V، $W_n = ۴۰$nm و $W_P = ۱۶$nm.



شکل ۲۱: اثر تغییر در PR و CR بر روی (الف) WTP و (ب) $READ\ DELAY_READ\ POWER$ به ازای $VDD=۰/۷$ V، $W_n=۴۰$ nm و $W_P=۱۶$ nm.

پایداری خواندن سلول در هر دو تکنولوژی افزایش می‌یابد اما این افزایش در TMD-SRAM بیشتر از Si-MO-SRAM است. در CRهای کوچک، میزان پایداری خواندن در Si-MOS-SRAM بیشتر از TMD-SRAM است اما در CRهای بزرگ این شرایط به صورت معکوس تغییر می‌کند، به طوری که می‌توان گفت در نسبت‌های CR در همسایگی ۱ میزان پایداری خواندن TMD-SRAM بالاتر از Si-MOS-SRAM است. همچنین با توجه به مقدار $WTI\times WTV$، حاشیه نویز استاتیکی نوشتن با کاهش سایز ترانزیستورهای دسترسی افزایش می‌یابد و در PR و CR یکسان، حاشیه نویز نوشتن در TMD-SRAM نسبت به Si-MOS-SRAM بیشتر است. در CRهای کوچک با توجه به WTP، میزان توانایی نوشتن در Si-MOS-SRAM بیشتر از همتای TMDFET خود است در حالی که با افزایش CR این شرایط به صورت عکس تغییر می‌کند. به طوری که می‌توان ادعا کرد در نسبت‌های CR در بازه ۱ تا ۱/۶۴، توانایی نوشتن در TMD-SRAM نسبت به Si-MOS-SRAM بیشتر است.

همان طور که مشاهده می‌شود نسبت سایز سلول‌های پایین‌بر به سایز ترانزیستورهای بالابر به طور مستقیم بر حاشیه نویز اثرگذار هستند، به طوری که با کاهش سایز ترانزیستورهای بالابر میزان نویزپذیری سلول کاهش می‌یابد در حالی که تغییر حالت داده درون سلول راحت‌تر انجام می‌شود. با توجه به رقابتی که بین ترانزیستورها برای تغییر حالت سلول وجود دارد، باید نسبت سایز ترانزیستورها را به گونه‌ای تعیین کرد که سازشی بین معیارهای طراحی به وجود آید و سلولی طراحی شود که در عین داشتن حاشیه نویز مناسب، دارای سرعت بالا و توان مصرفی پایینی باشد.

جدول ۵: پارامترهای شبیه‌سازی سلول پایه مبتنی بر دو افزاره TMDFET و SI-MOSFET در شرایط یکسان و ثابت.

پارامتر	TMDFET	Si-MOSFET
طول کانال : L_{CH} (nm)	۱۶	۱۶
عرض کانال : W_{CH_PU} (nm) ترانزیستورهای بالابر	۱۶	۱۶
نسبت PR : $PR=W_{PU}/W_{ACCESS}$	۰/۶	۰/۶
نسبت CR : $CR=W_{PD}/W_{ACCESS}$	۱/۵	۱/۵

جدول ۶: نتایج حاصل از بررسی و مقایسه TMD-SRAM و SI-MOS-SRAM در تکنولوژی ۱۶ NM با $CR=۱/۵$، $PR=۰/۶$ و $W_{PULL_UP}=۱۶$ nm در شرایط یکسان.

Parameter	TMDFET – ۶T SRAM	Si – MOSFET – ۶T SRAM
$SINM$ (μA)	۹/۳۱۸۵	۱۱/۵۴
$SVNM$ (V)	۰/۱۹۳۹	۰/۲۱۲۳
$SPNM$ (V×μA)	۱/۸۰۶۸	۲/۴۵
WTV (V)	۰/۳۰۱۱	۰/۳۵۲۸
WTI (μA)	۴/۲۳۵۳	۱/۸۲۶
$WTV\times WTI$ (V×μA)	۱/۲۷۵۴	۰/۶۴۴۲
WTP (V)	۰/۳۶	۰/۲۵۴
$READ\ DELAY$ (ps)	۴۲۸/۴۶۷	۶۰۷/۶۶۳
$READ\ POWER$ (nw)	۲۵۵/۴۰۳	۳۰/۳۳۲
$WRITE\ DELAY$ (ps)	۵۹/۳۰۱	۴۶/۱۴۵
$WRITE\ POWER$ (nw)	۱۶۷/۴۴۷	۱۵/۹۱۱

۴- بررسی و مقایسه TMD-SRAM و SI-MOS-SRAM در تکنولوژی ۱۶ NM

در این بخش، در شرایط یکسان سلول حافظه مبتنی بر ترانزیستورهای TMDFET در مقایسه با همتای Si-MOSFET خود مورد ارزیابی قرار داده شده‌اند. به همین منظور شبیه‌سازی‌ها در تکنولوژی ۱۶ nm، ولتاژ تغذیه ۰/۷ ولت، دمای اتاق و عرض کانال ترانزیستورهای بالابر ۱۶ nm انجام شده است. با توجه به نتایج به دست آمده در آزمایش‌های انجام‌شده در مراحل قبل، نسبت $CR=۱/۵$ و $PR=۰/۶$ در نظر گرفته شده است. پارامترهای شبیه‌سازی این مرحله در سلول شش‌ترانزیستوری برای هر دو افزاره مطابق جدول ۵ در نظر گرفته شده و نتایج حاصل‌گردیده از این مقایسه در جدول ۶ گزارش شده است. با توجه به نتایج جدول ۶ مشاهده می‌شود که مقدار WTP در TMD-SRAM به میزان ۲۹/۴۴٪ بیشتر است که بیانگر توانایی نوشتن بیشتر آن می‌باشد. علاوه بر آن، مقدار $WTI\times WTV$ به اندازه ۴۹/۴۹٪ بیشتر بوده و به همین نسبت حاشیه نویز نوشتن بالاتر است. مقدار تأخیر خواندن نیز به اندازه ۲۹/۴۸٪ کمتر است. در این شرایط، یک سلول TMD-SRAM از نظر توانایی نوشتن و حاشیه نویز استاتیکی خواندن و تأخیر خواندن عملکرد بهتری نسبت به Si-MOS-SRAM از خود نشان می‌دهد.

۵- نتیجه‌گیری

در این مقاله اثرگذاری تغییرات فرایند ساخت و تغییرات روی عملکرد ترانزیستورهای TMDFET و Si-MOSFET مورد بررسی و تحلیل قرار

گرفته است. نتایج نشان می‌دهد که ترانزیستور نوظهور TMDFET در مقایسه با ترانزیستور Si-MOSFET، با توجه به اثرپذیری کمتر در مقابل تغییر ابعاد ترانزیستورها، تغییرات دما و منبع تغذیه می‌تواند به عنوان جایگزین مناسبی برای افزاره‌های سیلیکونی مورد استفاده قرار گیرند. بررسی اثر تغییرات نسبت‌های CR و PR روی پارامترهای اختصاصی ۶T-SRAM مبتنی بر افزاره‌های TMDFET و Si-NOSFET نشان می‌دهد که در نسبت‌های PR نزدیک به ۱ ترانزیستور TMDFET عملکرد بهتری را در سلول حافظه شش‌ترانزیستوری از خود نشان می‌دهد. در انتها بررسی و مقایسه‌ای بین ۶T-SRAM مبتنی بر هر دو افزاره ذکرشده در نسبت $CR=۱/۵$، $PR=۰/۶$، تکنولوژی ۱۶ nm و ولتاژ تغذیه ۰/۷ ولت انجام شده است. با توجه به نتایج حاصل‌شده مشاهده می‌شود که در این شرایط، یک سلول حافظه استاتیک پایه مبتنی بر افزاره TMDFET از نظر توانایی نوشتن، حاشیه نویز استاتیکی خواندن و تأخیر خواندن عملکرد بهتری نسبت به همتای سیلیکونی خود نشان می‌دهد.

٦- سپاسگزاری

نویسندگان مقاله مراتب قدردانی خود را از حمایت دانشگاه صنعتی نوشیروانی بابل از طریق اعتبار پژوهشی شماره BNUT/۳۸۹۰۲۳/۹۹ اعلام می‌دارند.

مراجع

[1] J. D. Plummer and B. P. Griffin, "Material and process limits in silicon VLSI technology," *Proceedings of the IEEE*, vol. 89, no. 3, pp. 240-258, Mar. 2001.

[2] A. A. Kumar and C. Anu, "Performance analysis of 6T SRAM cell on planar and FinFET technology," in *Proc. IEEE Int. Conf. on Communication and Signal Processing, ICCSP'19*, pp. 0375-0379, Chennai, India, 4-6 Apr. 2019.

[3] P. K. Patel, M. M. Malik, and T. K. Gupta, "Performance evaluation of single-ended disturb-free CNTFET-based multi-Vt SRAM," *Microelectronics J.*, vol. 90, pp. 19-28, Jun. 2019.

[4] E. Abbasian and M. Gholipour, "A variation-aware design for storage cells using Schottky-barrier-type GNRFETs," *J. of Computational Electronics*, vol. 19, no. 3, pp. 987-1001, 2020.

[5] C. H. Yu, P. Su, and C. T. Chuang, "Impact of random variations on cell stability and write-ability of low-voltage SRAMs using monolayer and bilayer transition metal dichalcogenide (TMD) MOSFETs," *IEEE Electron Device Letters*, vol. 37, no. 7, pp. 928-931, Jul. 2016.

[6] C. H. Yu, P. Su, and C. T. Chuang, "Performance and stability benchmarking of monolithic 3-D logic circuits and SRAM cells with monolayer and few-layer transition metal dichalcogenide MOSFETs," *IEEE Trans. on Electron Devices*, vol. 64, no. 5, pp. 2445-2451, May 2017.

[7] M. Gholipour, Y. Y. Chen, and D. Chen, "Compact modeling to device-and circuit-level evaluation of flexible TMD field-effect transistors," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 37, no. 4, pp. 820-831, Apr. 2017.

[8] A. J. Wilson and A. D. Yoffe, "The transition metal dichalcogenides discussion and interpretation of the observed optical, electrical and structural properties," *Advances in Physics*, vol. 18, no. 73, pp. 193-335, 1969.

[9] K. S. Novoselov, *et al*., "Two-dimensional atomic crystals," *Proc. of the National Academy of Sciences*, vol. 102, no. 30, pp. 10451-10453, 2005.

[10] A. Ayari, E. Cobas, O. Ogundadegbe, and M. S. Fuhrer, "Realization and electrical characterization of ultrathin crystals of layered transition-metal dichalcogenides," *J. of Applied Physics*, vol. 101, no. 1, Article No.: 014507, 2007.

[11] H. S. S. Ramakrishna Matte, *et al*., "MoS2 and WS2 analogues of graphene," *Angewandte Chemie International Edition*, vol. 49, no. 24, pp. 4059-4062, Jun. 2010.

[12] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, "Single-layer MoS 2 transistors," *Nature Nanotechnology*, vol. 6, no. 3, pp. 147-150, 2011.

فرزانه ایزدی نسب تحصیلات خود را در مقاطع کارشناسی مهندسی برق-قدرت و کارشناسی ارشد مهندسی برق- الکترونیک- سیستم‌های الکترونیک دیجیتال در سال‌های ۱۳۹۷ و ۱۳۹۹ به ترتیب در مجتمع آموزش عالی فنی و مهندسی اسفراین و دانشگاه صنعتی نوشیروانی بابل به پایان رساند. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم توان است.

مرتضی قلی‌پور مقاطع کارشناسی و کارشناسی ارشد مهندسی برق خود را در سال‌های ۱۳۷۹ و ۱۳۸۱ به ترتیب در دانشگاه فردوسی مشهد و دانشگاه تهران به پایان رساند. سپس از سال ۱۳۸۱ تا ۱۳۸۵ به عنوان کارشناس ارشد سیستم های دیجیتال در مرکز تحقیقات مخابرات ایران مشغول به فعالیت بود و پس از آن مدرک دکترای مهندسی برق- الکترونیک خود را در سال ۱۳۹۳ از دانشگاه تهران دریافت نمود. دکتر قلی‌پور از سال ۱۳۹۳ به عنوان عضو هیأت علمی در دانشگاه صنعتی نوشیروانی بابل مشغول به فعالیت است. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم توان، نانوالکترونیک و مدل سازی افزاره های نانو- مقیاس است.