مقاله پژوهشی

بهبود نسبت جریان روشن به خاموش I_{on}/I_{off} در ترانزیستورهای نانونوار گرافنی نوع شاتکی

فرزانه تقی‌پور، مرتضی قلی‌پور و بهرام عزیزالله گنجی

چکیده: ترانزیستورهای نانونوار گرافنی نوع شاتکی (SBGNRFET)، علی‌رغم ویژگی‌های بارزی که نسبت به ترانزیستورهای متداول دارند، دارای جریان خاموش نسبتاً زیاد و نسبت I_{on}/I_{off} پایین می‌باشند. در این مقاله ساختار جدیدی از ترانزیستور نانونوار گرافنی نوع شاتکی ارائه شده که در آن گیت ترانزیستور به دو قسمت تقسیم شده است. به گیتی که در سمت درین قرار گرفته است، ولتاژ ثابت متصل شده و گیتی که در سمت سورس قرار گرفته است، گیت اصلی ترانزیستور می‌باشد. ساختار SBGNRFET ارائه‌شده با مشخصه‌های هندسی و فیزیکی و در بایاس‌های متفاوت با استفاده از شبیه‌ساز عددی مبتنی بر توابع گرین غیر تعادلی شبیه‌سازی شده و کارایی افزاره مورد ارزیابی قرار گرفته است. نتایج شبیه‌سازی نشان‌دهنده بهبود نسبت I_{on}/I_{off} تا ۶٫۷ برابر در $V_{DS}=۰٫۸V$ می‌باشد. در این ولتاژ نسبت I_{on}/I_{off} از ۱٫۲ در ترانزیستور SBGNRFET معمولی به ۸٫۰۱ در ترانزیستور جدید رسیده و جریان خاموش I_{off} از ۵ µA به ۰٫۷ µA کاهش یافته است. همچنین در $V_{DS}=۰٫۶V$، به عنوان ولتاژ تغذیه، نسبت I_{on}/I_{off} از ۳٫۹۷ به ۱۵٫۸ و جریان خاموش I_{off} از ۰٫۶۳ µA به ۰٫۱۶ µA رسیده است.

کلیدواژه: **ترانزیستورهای نانونوار گرافنی نوع شاتکی (SB-GNRFET)، شبیه‌سازی توابع گرین غیر تعادلی، نسبت جریان روشن به خاموش I_{on}/I_{off}.**

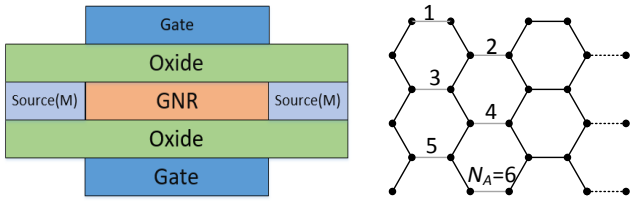
۱- مقدمه

با پیشرفت تکنولوژی نیمه‌هادی، مهم‌ترین راه افزایش کارایی تراشه‌ها، کاهش ابعاد ترانزیستورها است. از طرفی کاهش ابعاد در ترانزیستورهای سیلیکونی متداول موجب بروز اثرات کانال کوتاه می‌شود و از این رو محققین به دنبال به کارگیری نانوترانزیستورهای جدید هستند که یکی از آنها نانوترانزیستورهای گرافنی می‌باشد.

گرافن، لایه‌ای دوبعدی از اتم‌های کربن می‌باشد که به صورت لانه زنبوری کنار هم قرار گرفته‌اند (شکل ۱- الف) و هر اتم کربن با سه اتم دیگر در صفحه دوبعدی پیوند برقرار کرده است. یکی از ویژگی‌های قابل توجه گرافن هدایت الکتریکی بالا و شفافیت نوری می‌باشد [۱] تا [۳]. گرافن قابلیت تحرک بالایی نسبت به سیلیکون دارد و بعضی

این مقاله در تاریخ ۲۴ اسفند ماه ۱۳۹۸ دریافت و در تاریخ ۴ آذر ماه ۱۳۹۹ بازنگری شد.

فرزانه تقی‌پور، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: taghipourfarzaneh4@gmail.com).
مرتضی قلی‌پور (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: m.gholipour@nit.ac.ir).
بهرام عزیزالله گنجی، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: baganji@nit.ac.ir).



شکل ۱: (الف) شبکه لانه زنبوری نانونوار گرافنی نوع آرمچیر (AGNR) با ۶ خط دایمر و (ب) ساختار ترانزیستور نانونوار گرافنی نوع شاتکی متداول [۱۴].

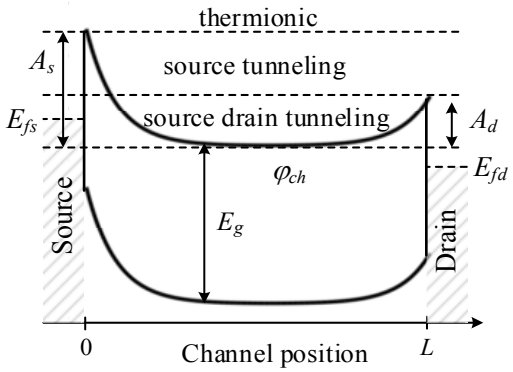
محدودیت‌های کوچک‌سازی سیلیکون را ندارد [۴] و [۵]. با توجه به این که گرافن به صورت صفحه‌ای می‌باشد، کنترل گیت روی حامل‌های آن به عنوان کانال ترانزیستور، بیشتر است.

گرافن دارای شکاف انرژی[1] صفر است و از این رو خاصیت فلزی از خود نشان می‌دهد. با کاهش عرض آن و ایجاد نانونوار گرافنی، شکاف انرژی ایجاد می‌شود و خاصیت نیمه‌هادی پیدا می‌کند. برای تغییر شکاف انرژی نانونوار گرافنی می‌توان از روش‌های مختلفی همچون به کارگیری ساختارهای متفاوت اتصال اتم کربن، استفاده از اتم بور- نیترید و یا ترکیبی از این دو حالت در وسط نانوارهای گرافنی استفاده کرد [۳] و [۶].

نانونوارهای گرافنی با توجه به شیوه قرارگیری اتم‌های کربن در لبه آنها به دو دسته ۱) نانونوارهای گرافنی نوع آرمچیر (AGNR)[2] و ۲) نانونوارهای گرافنی نوع زیگزاگ (ZGNR)[3] تقسیم می‌شوند. نانونوارهای گرافنی نوع زیگزاگ خاصیت فلزی دارند ولی نانونوارهای گرافنی نوع آرمچیر هم خاصیت نیمه‌هادی و هم فلزی دارند. در AGNRها مقدار شکاف انرژی بستگی به تعداد خطوط دایمر[4] N دارد. به ازای $N=3p$ و $N=3p+1$ $(p\in\mathbb{N})$ مقدار شکاف انرژی محدود است و AGNR خاصیت نیمه‌هادی دارد. به ازای $N=3p+2$ مقدار شکاف انرژی بسیار کوچک است و AGNR رفتار فلزی خواهد داشت [۳] و [۷]. به ترانزیستورهایی که در کانال آنها از نانونوار گرافنی استفاده می‌شود، ترانزیستورهای نانونوار گرافنی[5] گفته می‌شود.

این نوع ترانزیستورها با توجه به نوع ساختارشان به دو دسته تقسیم می‌شوند: ۱) ترانزیستور نانونوار گرافنی نوع فلز- اکسید- نیمه‌هادی (MOS-GNRFET) که در آن درین و سورس از نوع نیمه‌هادی می‌باشند و ساختاری مشابه با MOSFETهای معمولی دارند و ۲) ترانزیستورهای

1. Bandgap
2. Armchair Graphene Nanoribbon
3. Zigzag Graphene Nanoribbon
4. Dimer Line
5. Graphene Nanoribbon FET



شکل ۲: دیاگرام باند در SBGNRFET بعد از تشکیل سد شاتکی [۱۴].

نانونوار گرافنی نوع سد شاتکی (SB-GNRFET) که در آن درین و سورس فلزی هستند و با کانال پیوند شاتکی ایجاد می‌کنند. در MOS-GNRFETها مقاومت اتصال بالا می‌باشد و با توجه به این که در این نوع ترانزیستور به آلایش درین و سورس نیاز است، به تعداد مراحل بیشتری در فرایند ساخت نیاز می‌باشد. مزیت این نوع ترانزیستور بالابودن نسبت I_{on}/I_{off} است [۷] و [۸]. از سوی دیگر، ترانزیستورهای SB-GNRFET به دلیل فلزی‌بودن سورس و درین دارای مقاومت اتصال کمتر هستند و علاوه بر این، به دلیل عدم نیاز به تزریق ناخالصی در سورس و درین، مراحل ساخت کمتری نیاز دارند. یکی از مشکلات اصلی این نوع ترانزیستور بالابودن جریان خاموش I_{off} است که سبب کاهش نسبت جریان روشن به خاموش I_{on}/I_{off} می‌شود. در ترانزیستور نانونوار گرافنی نوع شاتکی به دلیل ایجاد سد شاتکی در دو طرف درین و سورس، جریان از طریق مکانیزم تونل‌زنی در دو طرف سورس و درین انجام می‌شود.

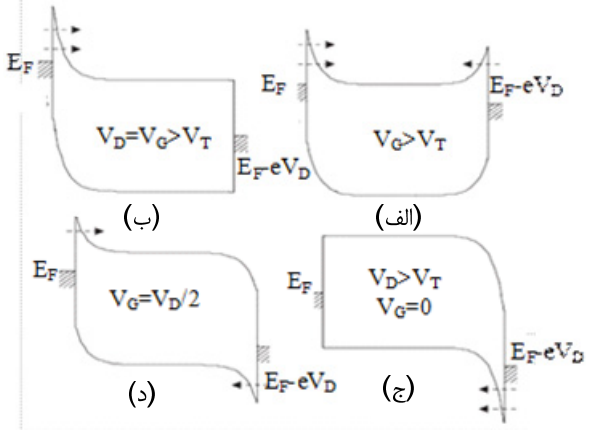
تا کنون مدل‌های مختلفی برای ترانزیستور نانونوار گرافنی نوع شاتکی ارائه شده که از آن جمله می‌توان به مدل فشرده و تحلیلی ارائه‌شده در [۹] تا [۱۱] که مبتنی بر پارامترهای فیزیکی و الکتریکی ترانزیستور است، اشاره کرد. در [۱۲] ساختاری از ترانزیستور SB-GNRFET با گیت نامتقارن ارائه شد، به طوری که گیت بر روی بخشی از کانال سمت سورس قرار گرفته است که موجب کاهش جریان خاموش I_{off} و افزایش نسبت I_{on}/I_{off} می‌شود. در [۱۳] از روش دیگری که مبتنی بر ایجاد نقص در ساختار اتمی شبکه گرافن است، برای دستیابی به این هدف استفاده شده است.

در این مقاله ساختار جدیدی ارائه شده که دارای دو گیت مجزا در دو طرف درین و سورس می‌باشد. گیتی که سمت درین قرار می‌گیرد به دلیل این که ولتاژ ثابت به آن متصل می‌شود، گیت ثابت[1] نامیده می‌شود. با تنظیم ولتاژ اعمال‌شده به گیت ثابت، جریان خاموش I_{off} کاهش می‌یابد. در بخش دوم این مقاله ساختار ترانزیستور SB-GNRFET و نحوه عملکرد آن توضیح داده شده و در بخش سوم ساختار افزاره پیشنهادی معرفی و مدل استفاده‌شده برای شبیه‌سازی بررسی گردیده است. در بخش چهارم نتایج شبیه‌سازی مورد بررسی، تجزیه و تحلیل قرار گرفته و نهایتاً بخش پنجم شامل نتیجه‌گیری است.

۲- ساختار و عملکرد ترانزیستور SB-GNRFET

ترانزیستور SB-GNRFET دوگیتی متداول که ساختار آن در شکل ۱- ب نشان داده شده است، دارای کانال از نوع نانونوار گرافنی و درین و

1. Fixed Gate



شکل ۳: دیاگرام باند انرژی SBGNRFET تحت بایاس مختلف [۱۷].

سورس فلزی می‌باشد. وجود گیت‌ها در بالا و پایین، ساختاری متقارن به این افزاره می‌دهد. وقتی فلز به نیمه‌هادی متصل می‌شود، با توجه به این که سطح فرمی در فلز و نیمه‌هادی در یک راستا نمی‌باشد، بعد از اتصال، انتقال الکترون بین فلز و نیمه‌هادی صورت می‌گیرد. به طور مثال اگر نیمه‌هادی از نوع n باشد و تابع کار (φ_m) فلز بیشتر از تابع کار نیمه‌هادی (φ_s) باشد، انتقال الکترون از نیمه‌هادی به فلز به اندازه‌ای ادامه پیدا می‌کند تا سطح فرمی در فلز و نیمه‌هادی در یک راستا قرار بگیرند. این باعث می‌شود تا تراز هدایت و ظرفیت نیز جابه‌جا شوند که این جابه‌جایی سبب ایجاد سد شاتکی می‌شود [۱۵]. میزان سد پتانسیل شاتکی در افزاره مورد بررسی در این مقاله eV ۰٫۳ می‌باشد. همان طور که در دیاگرام باند شکل ۲ مشاهده می‌شود، انتقال حامل‌ها به دو طریق صورت می‌گیرد: گسیل گرمایونی و تونل‌زنی. در گسیل گرمایونی حامل‌های با انرژی بالاتر از سد پتانسیل می‌توانند از آن عبور کنند. احتمال عبور حامل‌های با انرژی کمتر، توسط پدیده تونل‌زنی کوانتومی توصیف می‌شود. احتمال تونل‌زنی، وابسته به الگوی سد و به ویژه ضخامت آن است که می‌توان آن را با استفاده از تقریب WKB[2] محاسبه نمود [۱۶]

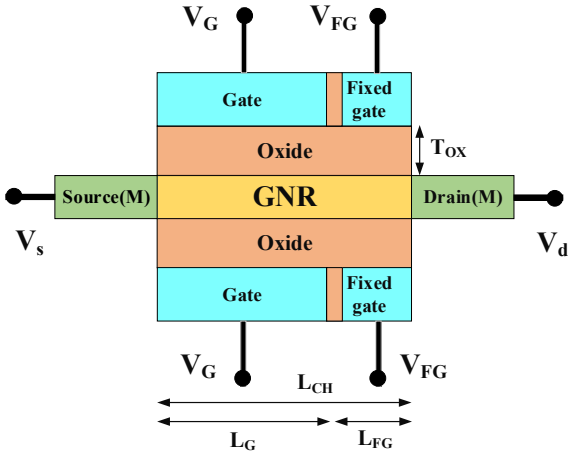
$$T(E)=\exp\{-2\int_{z_1}^{z_2}\mathrm{Im}[k_z(E)]\mathrm{d}z\} \qquad (1)$$

که در آن z_1 و z_2 نقاط چرخش کلاسیک[3] هستند و $\mathrm{Im}[k_z(E)]$ قسمت موهومی بردار موج است که از دیاگرام $E-k$ به دست می‌آید.

دیاگرام باند انرژی SB-GNRFET در بایاس‌های مختلف در شکل ۳ نشان داده شده است. افزایش ولتاژ گیت V_g باعث پایین‌رفتن باند هدایت و باند ظرفیت در ناحیه کانال می‌شود اما قله سد شاتکی در اتصالات سورس و درین ثابت می‌ماند. افزایش ولتاژ درین V_d نه تنها باعث پایین‌رفتن باند هدایت و باند ظرفیت در ناحیه کانال می‌شود، بلکه قله سد شاتکی در اتصال درین را نیز پایین می‌آورد. دلیل این امر تغییر تعداد حامل‌ها در کانال با افزایش V_d است.

در حالت بایاس $V_{GS}>V_T$ و $V_{DS}<V_{GS}$ (V_T ولتاژ آستانه است) که دیاگرام باند انرژی آن در شکل ۳- الف نشان داده شده است، تونل‌زنی از هر دو سمت درین و سورس صورت می‌گیرد و ارتفاع سد در سمت درین به خاطر اعمال V_{DS} کم می‌شود. میزان جریان نیز متناسب با اختلاف تونل‌زنی الکترون‌ها از دو سمت می‌باشد. با افزایش ولتاژ V_{DS}، مطابق شکل ۳- ب، ارتفاع سد در سمت درین کاهش یافته ولی ضخامت سد

2. Wentzel-Kramers-Brillouin
3. Classical Turning Points



شکل ۴: ساختار SB-GNRFET پیشنهادی با گیت ثابت.

افزایش می‌یابد که در نتیجه آن حامل‌ها از سمت درین تونل نمی‌زنند و فقط حامل‌هایی که انرژی کافی را داشته باشند از طریق انرژی گرمایونی منتقل می‌شوند ولی هنوز تونل‌زنی حامل‌ها از سمت سورس وجود دارد.

با صفرشدن V_{GS}، همان طور که در شکل ۳- ج مشاهده می‌شود، ترازهای هدایت و ظرفیت به بالا کشیده می‌شوند و این باعث می‌گردد که تراز ظرفیت در کانال در بالای تراز فرمی در سمت درین قرار بگیرد و در این صورت حالت‌های پر زیر باند ظرفیت، در مقابل حالت‌های خالی بالای تراز فرمی قرار می‌گیرند که در این حالت جریان ترانزیستور ناشی از تونل‌زنی حفره‌ها از درین به سمت کانال است. این امر موجب می‌شود تا در ولتاژهای V_{GS} منفی که انتظار می‌رود ترانزیستور خاموش باشد، جریان قابل توجهی از آن عبور کند و سبب شکل‌گیری منحنی مشخصه دوطرفه[1] شود. اعمال ولتاژ $V_{GS}=V_{DS}/2$ مطابق شکل ۳- د، باعث می‌شود ترازها کمی در کانال به پایین کشیده شوند و ارتفاع سد در سمت درین کمتر شود. در این حالت ارتفاع سد شاتکی در سورس و درین با هم برابر بوده و جریان تونل‌زنی حفره‌ها و الکترون‌ها با هم برابر است که در نتیجه آن ترانزیستور حداقل جریان خود را خواهد داشت [۱۷] و [۱۸].

برای ترانزیستورهایی که در مدارهای دیجیتال استفاده می‌شوند، جریان روشن I_{on} و جریان خاموش I_{off} از اهمیت ویژه‌ای برخوردارند. جریان روشن به ازای $V_{DS}=V_{GS}=V_{DD}$ به دست می‌آید. در ترانزیستورهای SB-GNRFET با توجه به این که حداقل جریان در $V_{GS}=V_{DS}/2$ رخ می‌دهد، جریان خاموش به ازای $V_{GS}=V_{DS}/2$ و $V_{DS}=V_{DD}$ به دست می‌آید.

۳- ساختار پیشنهادی و روش شبیه‌سازی

همان طور که در بخش قبل گفته شد، تونل‌زنی حفره‌ها در سمت درین مانع از کاهش قابل توجه جریان SB-GNRFET در وضعیت خاموش می‌شود (شکل ۳- ج). از این رو با کنترل باند انرژی در نزدیکی درین می‌توان جریان پارازیتی ناشی از تونل‌زنی حفره‌ها در نزدیکی آن را فرونشاند. این کار را با افزودن یک گیت با ولتاژ ثابت در نزدیکی پیوند درین می‌توان انجام داد. ساختار افزاره پیشنهادی در شکل ۴ نشان داده شده است. در این افزاره گیت به دو قسمت تقسیم شده است. گیتی که در سمت درین قرار گرفته است گیت ثابت (FG) نامیده شده و به آن ولتاژ ثابت V_{FG} متصل می‌شود. بخش دیگر، پایانه گیت افزاره است که مشابه ترانزیستورهای متداول نقش کنترل جریان کانال را به عهده دارد. در این ساختار کانال از جنس نانونوار گرافنی با طول $L_{CH}=15\,\text{nm}$ و تعداد خطوط دایمر $N=12$ که معادل با عرض ۱٫۳۷ nm است، در نظر گرفته شده است. طول هر یک از گیت‌های ثابت و اصلی به ترتیب با L_{FG} و L_G مشخص شده است. لایه عایق از جنس اکسید سیلیکون (SiO_2) با ضخامت ۲ nm می‌باشد.

برای شبیه‌سازی افزاره ارائه‌شده از شبیه‌ساز NanoTCAD ViDES [۱۹] که مبتنی بر توابع گرین غیر تعادلی (NEGF)[2] است، در این مقاله استفاده شده است [۲۰]. مبنای این روش در به دست آوردن تابع گرین پسرو افزاره به صورت زیر است

$$G(E)=[(E+i0^+)I-H-\Sigma_S-\Sigma_D]^{-1} \quad (۲)$$

که E مقدار انرژی و I ماتریس یکه است. پارامترهای Σ_S، Σ_D و H به ترتیب ماتریس خودانرژی سورس، ماتریس خودانرژی درین و ماتریس همیلتونین افزاره هستند. چگالی حالت‌های محلی ناشی از سورس و درین عبارت است از

$$D_{S(D)}=G\Gamma_{S(D)}G^+ \quad (۳)$$

که در آن G^+ تابع گرین پیشرو است. پهن‌شدگی ناشی از اتصال سورس (درین)، $\Gamma_{S(D)}$، عبارت است از

$$\Gamma_{S(D)}=i(\Sigma_{S(D)}-\Sigma_{S(D)}^+) \quad (۴)$$

حال، احتمال تونل‌زنی بر حسب انرژی را می‌توان با استفاده از رابطه زیر به دست آورد

$$T(E)=trace(\Gamma_S G\Gamma_D G^+) \quad (۵)$$

در نهایت با داشتن $T(E)$ و با استفاده از رابطه لانداور- بوتیکر[3]، می‌توان جریان را به صورت زیر به دست آورد [۲۰]

$$I=\frac{2q}{h}\int_{-\infty}^{+\infty} dE T(E)[f(E,\mu_S)-f(E,\mu_D)] \quad (۶)$$

که q بار الکترون و h ثابت پلانک است. تابع $f(E,\mu_{S(D)})$ توزیع فرمی- دیراک الکترون‌ها در اتصال سورس (درین) در پتانسیل شیمیایی $\mu_{S(D)}$ است.

۴- نتایج شبیه‌سازی

در این بخش به منظور ارزیابی کارایی ساختار پیشنهادی و تعیین مشخصه‌های آن شبیه‌سازی‌های مختلف انجام گردیده و این شبیه‌سازی‌ها به ازای مقادیر مختلف L_{FG} و V_{FG} در بایاس‌های مختلف ترانزیستور انجام شده است.

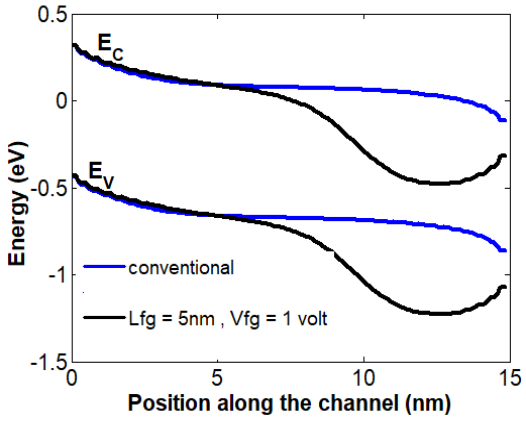
۴-۱ عملکرد ساختار پیشنهادی

به منظور بررسی تأثیر گیت ثابت، عملکرد ترانزیستور در دو وضعیت خاموش و روشن مورد بررسی قرار گرفته است. در این شبیه‌سازی‌ها طول گیت ثابت $L_{FG}=5\,\text{nm}$ و ولتاژ آن $V_{FG}=1\,\text{V}$ در نظر گرفته شده است. دیاگرام باند ترانزیستور در وضعیت خاموش در ولتاژ $V_{DS}=0.6\,\text{V}$ در مقایسه با ترانزیستور متداول در شکل ۵- الف نشان داده شده است. همان طور که مشاهده می‌شود، با توجه به این که کانال سمت سورس تحت تأثیر ولتاژ $V_{GS}=V_{OFF}=0.3\,\text{V}$ قرار دارد، ترازهای انرژی در سمت

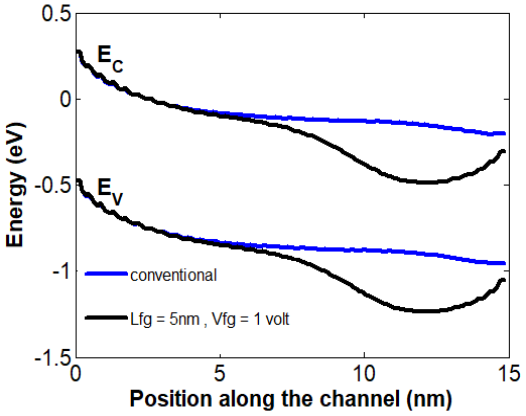
1. Ambipolar

2. Non-Equilibrium Green's Function

3. Landauer-Büttiker



(الف)



(ب)

شکل ۵: دیاگرام باند انرژی کانال ترانزیستور در $V_{DS}=۰٫۶\,\mathrm{V}$، (الف) در وضعیت خاموش و (ب) در وضعیت روشن.

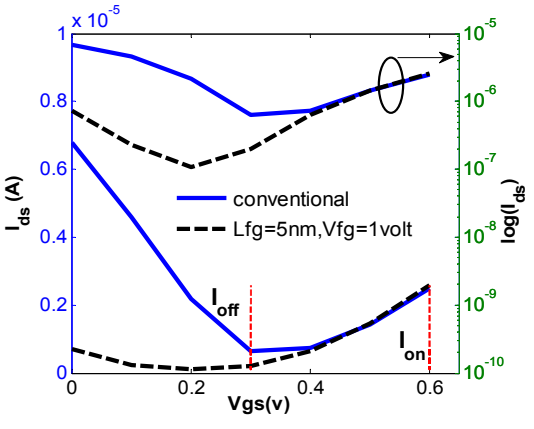
جدول ۱: مقادیر I_{on}/I_{off} به ازای L_{FG} و V_{FG}های مختلف در $V_{DS}=۰٫۸\,\mathrm{V}$.

L_{FG} (nm) \ V_{FG} (V)	۰٫۶	۰٫۷	۰٫۸	۰٫۹	۱
۳	۲٫۸۴	۳٫۵۶	۴٫۲۴	۷٫۰۳	۵٫۳۸
۴	۴٫۱۷	۵٫۱۷	۶٫۲۴	۷٫۰۳	۷٫۰۴
۵	۵٫۵۳	۷٫۰۳	۷٫۹۹	۸٫۰۱	۷٫۱۳

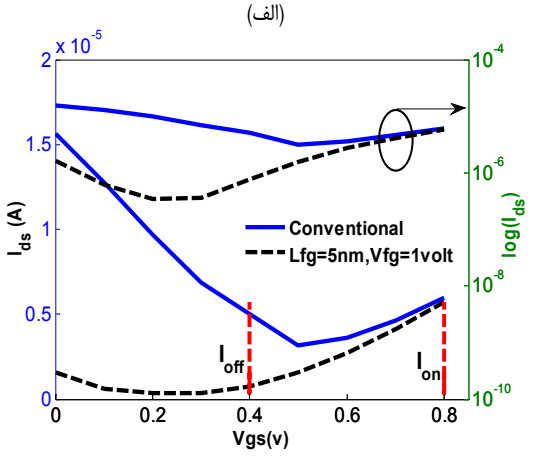
سورس در هر دو ترانزیستور یکسان می‌باشند. در مقابل، وجود گیت با ولتاژ ثابت $V_{FG}=۱\,\mathrm{V}$ در سمت درین، ترازهای هدایت و ظرفیت در این سمت را در سطوح انرژی پایین‌تری قرار می‌دهد که در نتیجه آن تونل‌زنی در این سمت کاهش می‌یابد.

این امر سبب می‌شود تا جریان خاموش ترانزیستور از ۰٫۶۳ µA به ۰٫۲ µA کاهش یابد. شبیه‌سازی انجام‌شده به ازای $V_{DS}=۰٫۸\,\mathrm{V}$ (با ولتاژ خاموش $V_{GS}=V_{OFF}=۰٫۴\,\mathrm{V}$) نیز نشان‌دهنده کاهش جریان خاموش از ۵ µA در ترانزیستور متداول به ۰٫۸ µA در ساختار جدید است.

دیاگرام باند انرژی ترانزیستور در وضعیت روشن در شکل ۵- ب نشان داده شده است. پایین‌آمدن دیاگرام باند اگرچه باعث کاهش جریان روشن نیز می‌شود، اما این کاهش بسیار کمتر از کاهش جریان خاموش بوده که در نتیجه آن سبب بهبود I_{on}/I_{off} می‌شود. نتایج شبیه‌سازی انجام‌شده به ازای $V_{DS}=۰٫۶\,\mathrm{V}$ (با ولتاژ روشن $V_{GS}=V_{ON}=۰٫۶\,\mathrm{V}$) بیانگر کاهش سه درصدی جریان روشن است (شکل ۶- الف) که در مقایسه با کاهش ۸۴ درصدی جریان خاموش بسیار ناچیز است.



(الف)



(ب)

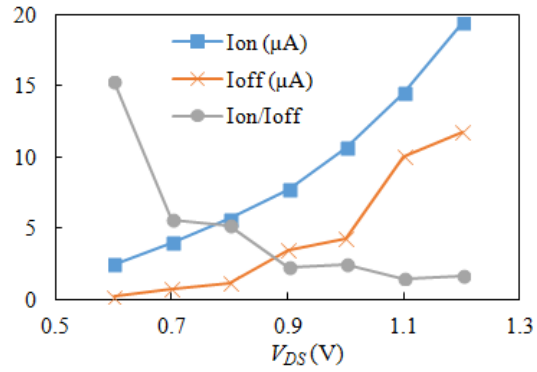
شکل ۶: مشخصه جریان- ولتاژ $I_{DS}-V_{GS}$، (الف) در $V_{DS}=۰٫۶\,\mathrm{V}$ و (ب) در $V_{DS}=۰٫۸\,\mathrm{V}$.

۴-۲ بررسی مشخصه‌های فیزیکی و الکتریکی افزاره

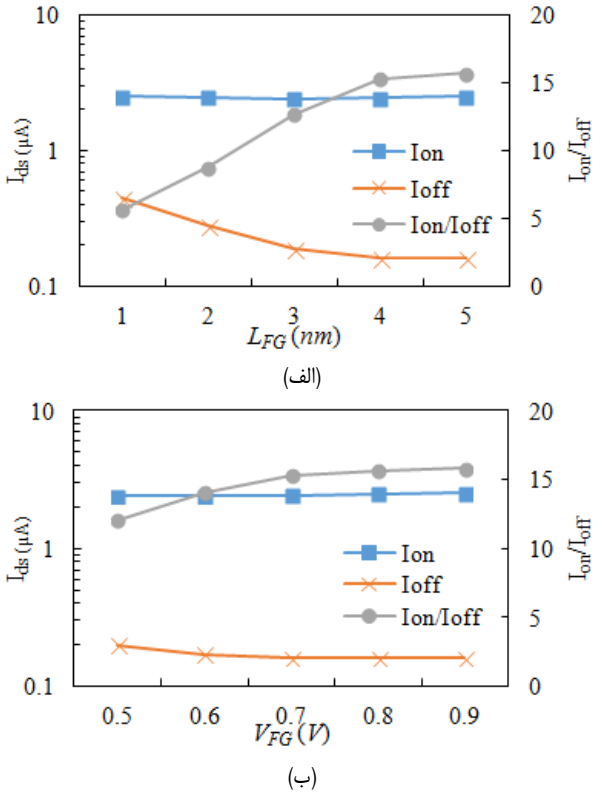
مشخصه جریان- ولتاژ ترانزیستورها در دو ولتاژ $V_{DS}=۰٫۶\,\mathrm{V}$ و $V_{DS}=۰٫۸\,\mathrm{V}$ در شکل ۶ نشان داده شده است. لازم به ذکر است که به منظور مقایسه منصفانه، اندازه‌گیری جریان خاموش در تمامی حالت‌ها در ولتاژ $V_{GS}=V_{DD}/۲$ انجام شده است. از این رو همان طور که در شکل ۶- ب مشاهده می‌شود، اگرچه مینیمم جریان در نقطه دیگری واقع شده است، اما با توجه به این که اندازه‌گیری در $V_{DD}=۰٫۸\,\mathrm{V}$ انجام گردیده، لذا مقدار جریان در نقطه $V_{GS}=۰٫۴\,\mathrm{V}$ به عنوان I_{off} در نظر گرفته شده است. همان طور که در شکل مشاهده می‌شود، جریان خاموش I_{off} در ساختار جدید نسبت به ترانزیستور اولیه کاهش قابل توجهی داشته در حالی که جریان روشن I_{on} تغییر چندانی نداشته است. به این ترتیب نسبت I_{on}/I_{off} به میزان قابل توجهی بهبود می‌یابد.

به منظور بررسی اثر طول گیت ثابت و مقدار ولتاژ آن بر روی کارایی افزاره، شبیه‌سازی‌های مختلفی به ازای طول‌های مختلف گیت ثابت در بازه $۱\,\mathrm{nm}<L_{FG}<۵\,\mathrm{nm}$ و ولتاژ گیت ثابت در بازه $۰٫۶\,\mathrm{V}<V_{FG}<۱\,\mathrm{V}$ انجام گردید. این شبیه‌سازی‌ها در محدوده ولتاژ $۰٫۶\,\mathrm{V}<V_{DS}<۱٫۲\,\mathrm{V}$ انجام شده و مقادیر I_{on}/I_{off} در $V_{DS}=۰٫۸\,\mathrm{V}$ به عنوان نمونه در جدول ۱ آمده است.

منحنی جریان‌های I_{on}، I_{off} و I_{on}/I_{off} بر حسب V_{DS} به ازای $L_{FG}=۴\,\mathrm{nm}$ و $V_{FG}=۰٫۷\,\mathrm{V}$ در شکل ۷ نشان داده شده‌اند. این منحنی از آن جهت دارای اهمیت است که برای تعیین ولتاژ تغذیه V_{DD} می‌تواند تعیین‌کننده باشد.



شکل ۷: منحنی جریان‌های I_{on}، I_{off} و I_{on}/I_{off} بر حسب V_{DS} به ازای $L_{FG}=۴\,\text{nm}$ و $V_{FG}=۰/۷\,\text{V}$.



(الف)

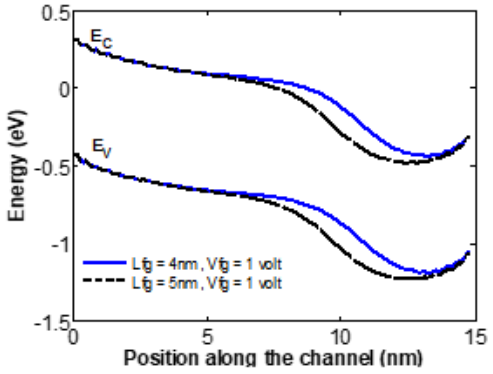
(ب)

شکل ۹: نمودار تغییرات I_{on}/I_{off}، (الف) بر حسب L_{FG} در $V_{FG}=۰/۷\,\text{V}$ و $V_{DS}=۰/۶\,\text{V}$ و (ب) بر حسب V_{FG} در $L_{FG}=۴\,\text{nm}$ و $V_{DS}=۰/۶\,\text{V}$.

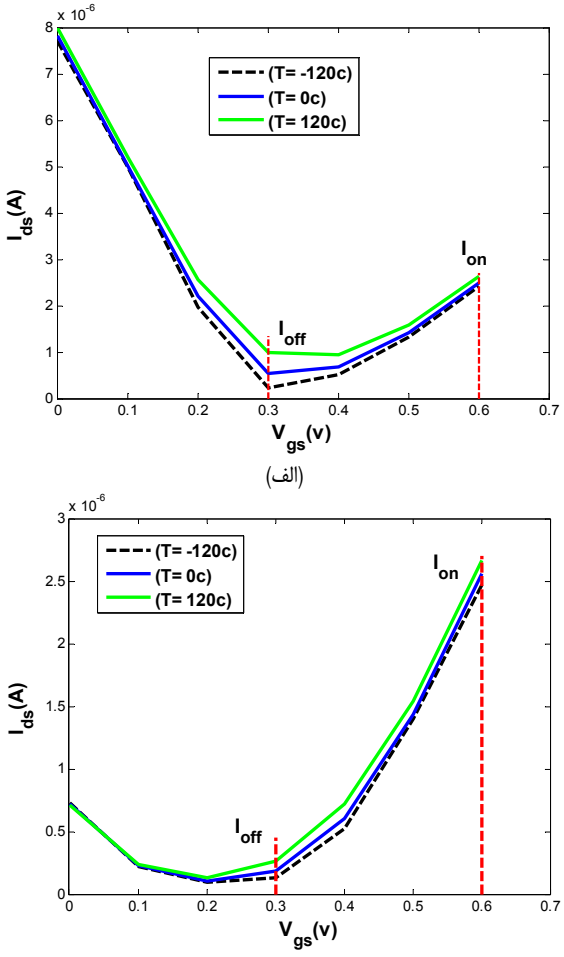
همان طور که مشاهده می‌شود I_{on}/I_{off} با افزایش V_{DS} روند کاهشی دارد و از این رو با انتخاب $V_{DD}=۰/۶$ کارایی بهتری به عنوان یک سوئیچ ایده‌آل خواهد داشت. البته باید به این نکته توجه شود که کم‌بودن I_{on} در این ولتاژ بر سرعت سوئیچینگ افزاره اثر نامطلوب خواهد داشت و به علاوه، V_{DD} پایین قابلیت اطمینان افزاره در برابر نویز منبع تغذیه را نیز کاهش می‌دهد.

شکل ۸ دیاگرام باند ترانزیستور پیشنهادی در $V_{DS}=۰/۶\,\text{V}$ و $V_{FG}=۱\,\text{V}$ با L_{FG}های ۴ nm و ۵ nm در وضعیت خاموش را نشان می‌دهد. همان طور که مشاهده می‌شود، با افزایش L_{FG} ترانزیستور، فرورفتگی ترازها بیشتر شده و در نتیجه آن تونل‌زنی از سمت درین کاهش می‌یابد. این امر موجب کاهش جریان خاموش I_{off} و افزایش نسبت I_{on}/I_{off} می‌شود.

نمودار جریان‌های روشن و خاموش و همچنین نسبت I_{on}/I_{off} بر حسب طول‌های مختلف گیت ثابت L_{FG} و ولتاژ گیت ثابت V_{FG} در شکل ۹ نشان داده شده است. همان طور که در شکل ۹- الف مشاهده



شکل ۸: دیاگرام باند ترانزیستور پیشنهادی در $V_{DS}=۰/۶\,\text{V}$ و $L_{FG}=۴\,\text{nm},۵\,\text{nm}$ در وضعیت خاموش.



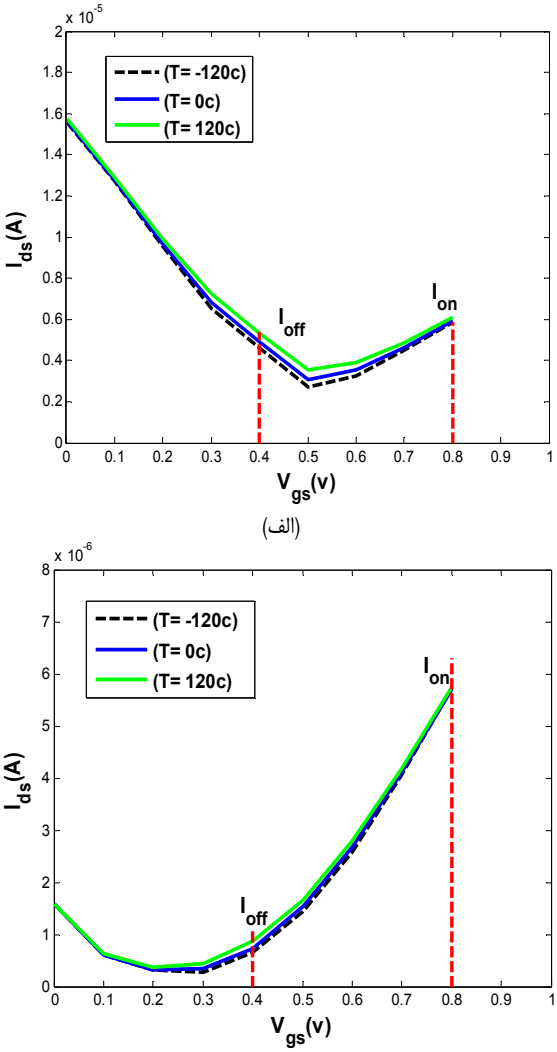
(الف)

(ب)

شکل ۱۰: مشخصه جریان-ولتاژ $I_{DS}-V_{GS}$ در $V_{DS}=۰/۶\,\text{V}$، (الف) ترانزیستور متداول و (ب) ترانزیستور پیشنهادی با $L_{FG}=۵\,\text{nm}$ و $V_{FG}=۱\,\text{V}$.

می‌شود با افزایش طول گیت ثابت هر دو جریان روشن و خاموش کاهش می‌یابند، اما کاهش I_{on} چندان قابل توجه نیست و از این رو نسبت I_{on}/I_{off} افزایش می‌یابد. رفتاری مشابه در افزایش V_{FG} نیز در شکل ۹- ب مشاهده می‌شود. از این رو انتخاب مقدار مناسب برای V_{FG} و L_{FG} در کارایی افزاره تأثیرگذار خواهد بود.

به منظور بررسی اثر دما در رفتار خروجی ترانزیستور، شبیه‌سازی‌های مختلفی برای ترانزیستور متداول و ترانزیستور پیشنهادی انجام شده است. منحنی‌های جریان بر حسب ولتاژ برای $V_{DS}=۰/۶\,\text{V}$ و $V_{DS}=۰/۸\,\text{V}$ به ترتیب در شکل‌های ۱۰ و ۱۱ نشان داده شده است. همان طور که مشاهده می‌شود افزایش دما از -۱۲۰°C تا ۱۲۰°C باعث افزایش جریان



شکل ۱۱: مشخصه جریان- ولتاژ $I_{DS}-V_{GS}$ در $V_{DS}=۰/۸\,V$، (الف) ترانزیستور متداول و (ب) ترانزیستور پیشنهادی با $L_{FG}=۵\,nm$ و $V_{FG}=۱\,V$.

در ترانزیستورها می‌شود. این افزایش در جریان خاموش I_{off} بیشتر از جریان روشن I_{on} است. علاوه بر این، تغییرات دما در ولتاژ $V_{DS}=۰/۶\,V$ موجب تغییرات بیشتر جریان شده است.

یکی از شاخصه‌های مهم ترانزیستور تغییرات زیر آستانه (SS)[1] است که معکوس شیب منحنی $I_{DS}-V_{GS}$ در محدوده زیر آستانه می‌باشد. در جداول ۲ و ۳ مقدار SS در ولتاژ $V_{DS}=۰/۶\,V$ و $V_{DS}=۰/۸\,V$ به ازای L_{FG} و V_{FG}های مختلف برای ترانزیستور پیشنهادی آورده شده است. مقدار SS در ترانزیستور متداول در $V_{DS}=۰/۶\,V$ و $V_{DS}=۰/۸\,V$ به ترتیب برابر با ۲۸۰ mV/dec و ۹۲۰ mV/dec می‌باشد که بیشتر از مقدار آن در ترانزیستور پیشنهادی است.

در جدول ۴ نتایج به دست آمده برای افزاره پیشنهادی در مقایسه با نتایج ارائه‌شده در [۱۲] و [۱۳] آورده شده است. لازم به ذکر است نتایج مقالات مذکور تحت شرایط شبیه‌سازی متفاوت و در مقایسه با ساختارهای مبنای متفاوت ارائه شده است. همان طور که در جدول مشاهده می‌شود مقدار SS در ساختار پیشنهادی بهبود بیشتری نسبت به سایر ساختارها داشته است. مقدار I_{on}/I_{off} در [۱۲] بهبود قابل توجهی نسبت به دو ساختار دیگر داشته است. در همین حال، میزان این بهبود در ساختار

جدول ۲: مقادیر SS بر حسب MV/DEC برای ترانزیستور پیشنهادی در $V_{DS}=۰/۸\,V$.

L_{FG} (nm) \ V_{FG} (V)	۰/۶	۰/۷	۰/۸	۰/۹	۱
۳	۶۲۰	۶۰۰	۵۶۰	۵۰۰	۴۵۰
۴	۵۷۰	۴۹۰	۴۴۰	۳۷۰	۳۲۰
۵	۴۴۰	۴۰۰	۳۲۰	۳۱۰	۳۱۰

جدول ۳: مقادیر SS بر حسب MV/DEC برای ترانزیستور پیشنهادی در $V_{DS}=۰/۶\,V$.

L_{FG} (nm) \ V_{FG} (V)	۰/۶	۰/۷	۰/۸	۰/۹	۱
۳	۲۵۰	۲۵۰	۲۳۰	۲۳۰	۲۱۰
۴	۲۳۰	۲۳۰	۲۳۰	۲۳۰	۲۱۰
۵	۲۲۰	۲۱۰	۲۱۰	۲۳۰	۲۴۰

جدول ۴: مقایسه نتایج ساختار پیشنهادی با کارهای گذشته.

Device		SS (mV/dec)	I_{on}/I_{off}
[۱۲] $V_{DS}=۰/۵\,V$	Conventional	۱۴۵/۱۴	۳۲/۱
	AG_SBGNRFET	۸۶/۹۶	۳۰۴
	Improvement	۰/۶X	۹/۵X
[۱۳] $V_{DS}=۰/۵\,V$	Conventional	۱۶۷	۱۵
	۳I-DGSBGNRFRT	۱۲۹	۵۰
	Improvement	۰/۷۷X	۳/۳۳X
This work $V_{DS}=۰/۸\,V$	Conventional	۹۲۰	۱/۲
	FG_SBGNRFET	۳۱۰	۸/۰۱
	Improvement	۰/۳۴X	۶/۶۸X

پیشنهادی بیشتر از ساختار ارائه‌شده در [۱۳] که مبتنی بر ایجاد نقص در گرافن است می‌باشد.

۴-۳ تعیین V_{FG} و L_{FG} مناسب

در بخش قبل تأثیر مقدار V_{FG} و L_{FG} در جریان روشن و خاموش افزاره مورد بررسی قرار گرفت. به منظور بررسی اثر این پارامترها در سایر مشخصه‌های مهم کارایی افزاره و در نتیجه تعیین مقدار مناسب آنها، شاخص شایستگی FOM برای دو کاربرد متفاوت توان پایین (LP)[2] و کارایی بالا (HP)[3] برای این افزاره به صورت زیر تعریف گردید

$$FOM_{LP}=\frac{۱}{V_{DD}I_{off}} \qquad (۷)$$

$$FOM_{HP}=\frac{V_{DD}I_{on}}{\tau} \qquad (۸)$$

که در آن τ تأخیر ذاتی و عبارت است از

$$\tau=\frac{C_G V_{DD}}{I_{on}} \qquad (۹)$$

و C_G خازن گیت است که به ساختار هندسی افزاره از جمله طول و عرض کانال وابسته است. با فرض ثابت‌بودن مشخصه‌های هندسی افزاره از جمله طول کانال L_{CH}، مقدار خازن گیت به صورت یک ضریب ثابت در FOM تأثیر می‌گذارد. از این رو مقادیر محاسبه‌شده برای FOM به

1. Subthreshold Swing

2. Low Power

3. High Performance

جدول ۵: مقادیر شاخص شایستگی به ازای $V_{DS}=۰٫۶\,V$ در دو حالت توان پایین و کارایی بالا.

L_{FG}(nm)	۳				۴				۵				
V_{FG}(V)	۰٫۷	۰٫۸	۰٫۹	۱	۰٫۷	۰٫۸	۰٫۹	۱	۰٫۷	۰٫۸	۰٫۹	۱	Conventional device
FOM_{LP} (۱/VμA)	۸٫۷۷	۹٫۲۶	۹٫۸	۹٫۸	۱۰٫۴۲	۱۰٫۴۱	۱۰٫۴۱	۹٫۸	۱۰٫۴۲	۹٫۸	۹٫۲۶	۸٫۳۳	۲٫۵۶
FOM_{HP} ($A^{۲}/F$)	۵٫۸	۵٫۸۶	۶٫۱	۶٫۲۵	۶	۶٫۲۵	۶٫۴	۶٫۴	۶٫۳	۶٫۴۵	۶٫۴۵	۶٫۶۶	۶٫۲۵

جدول ۶: مقادیر شاخص شایستگی به ازای $V_{DS}=۰٫۸\,V$ در دو حالت توان پایین و کارایی بالا.

L_{FG}(nm)	۳				۴				۵				
V_{FG}(V)	۰٫۷	۰٫۸	۰٫۹	۱	۰٫۷	۰٫۸	۰٫۹	۱	۰٫۷	۰٫۸	۰٫۹	۱	Conventional device
FOM_{LP} (۱/VμA)	۰٫۷۹	۰٫۹۴	۱٫۵۶	۱٫۱۹	۱٫۱۵	۱٫۳۹	۱٫۵۶	۱٫۵۶	۱٫۵۶	۱٫۷۹	۱٫۷۹	۱٫۵۶	۰٫۲۵
FOM_{HP} ($A^{۲}/F$)	۳۲٫۰۳	۳۱٫۸	۳۱٫۸۵	۳۱٫۷	۳۱٫۷	۳۱٫۵۸	۳۱٫۵۸	۳۱٫۷	۳۱٫۵۸	۳۱٫۲۴	۳۱٫۴۷	۳۲٫۴۹	۳۴٫۸۱

ازای مقدار $C_G=۱\text{pF}$ محاسبه شده‌اند. مقادیر به دست آمده برای شاخص FOM در مقایسه با افزاره متداول در ولتاژهای درین- سورس ۰٫۶ و ۰٫۸ ولت در جداول ۵ و ۶ آمده است. همان طور که مشاهده می‌شود افزاره LP همواره کارایی بهتری نسبت به افزاره متداول دارد و در $L_{FG}=۴\,\text{nm}$ به طور متوسط کارایی قابل قبولی حاصل می‌شود. در مقابل، افزاره HP کارایی قابل مقایسه با افزاره متداول داشته و این کارایی در ولتاژهای تغذیه بالاتر کاهش می‌یابد. علاوه بر آن افزاره پیشنهادی به دلیل کنترل بهتر گیت بر روی کانال که ناشی از ولتاژ گیت ثابت می‌باشد، در ولتاژهای تغذیه نامی بالا دارای نسبت I_{on}/I_{off} بالاتری در مقایسه با طرح پیشنهادی [۱۲] است. این افزاره در ولتاژ تغذیه نامی $V_{DD}=۰٫۸\,V$ نیز از عملکرد مطلوبی برخوردار است در حالی که افزاره ارائه‌شده در [۱۲] تنها در $V_{DD}=۰٫۵\,V$ نسبت I_{on}/I_{off} قابل قبولی دارد.

۵- نتیجه‌گیری

در این مقاله ساختاری برای ترانزیستور مبتنی بر نانونوار گرافنی نوع شاتکی ارائه شده که در آن گیت به دو قسمت تقسیم شده است. به گیت سمت درین ولتاژ ثابت V_{FG} وصل گردیده است. این کار باعث تغییر باند انرژی کانال در سمت درین شده و با کاهش تونل‌زنی حفره‌ها منجر به کاهش جریان خاموش می‌شود. از طرفی تغییر کم باند انرژی در سمت سورس، تأثیر اندکی بر جریان روشن می‌گذارد. نتایج شبیه‌سازی نشان‌دهنده کاهش ۳ درصدی جریان روشن است که در مقایسه با کاهش ۸۴ درصدی جریان خاموش بسیار ناچیز است. همچنین ساختار پیشنهادی در مقایسه با سایر روش‌های مطالعه‌شده بهبود بیشتری در SS ایجاد کرده است.

٦- سپاسگزاری

نویسندگان مقاله مراتب قدردانی خود را از حمایت دانشگاه صنعتی نوشیروانی بابل از طریق اعتبار پژوهشی شماره BNUT/۳۸۹۰۲۳/۹۸ اعلام می‌دارند.

مراجع

[1] Y. Wu, D. B. Farmer, F. Xia, and P. Avouris, "Graphene electronics: materials, devices, and circuits," in *Proc. of the IEEE*, vol. 101, no. 7, pp. 1620-1637, Jul. 2013.

[2] Z. Chen, Y. M. Lin, M. J. Rooks, and P. Avouris, "Graphene nano-ribbon electronics," *Physica E: Low-Dimensional Systems and Nanostructures*, vol. 40, no. 2, pp. 228-232, Dec. 2007.

[3] M. Zoghi, A. Yazdanpanah Goharrizi, and M. Saremi, "Band gap tuning of armchair graphene nanoribbons by using antidotes," *J. of Electronic Materials*, vol. 46, no. 1, pp. 340-346, Jan. 2017.

[4] A. C. Neto, F. Guinea, N. M. Peres, K. S. Novoselov, and A. K. Geim, "The electronic properties of graphene," *Review of Modern Physics*, vol. 81, no. 1, pp. 109-162, Jan. 2009.

[5] A. A. Balandin, *et al.*, "Superior thermal conductivity of single-layer graphene," *Nano Lett.*, vol. 8, no. 3, pp. 902-907, Feb. 2008.

[6] A. Yazdanpanah Goharrizi, M. Zoghi, and M. Saremi, "Armchair graphene nanoribbon resonant tunneling diodes using antidote and BN doping," *IEEE Trans. on Electron Devices*, vol. 63, no. 9, pp. 3761-3768, Sept. 2016.

[7] M. Saremi, M. Saremi, H. Niazi, and A. Yazdanpanah Goharrizi, "Modeling of lightly doped drain and source graphene nanoribbon field effect transistors," *Superlattices and Microstructures*, vol. 60, no. 1, pp. 67-72, Aug. 2013.

[8] Y. Y. Chen, *et al*., "A SPICE-compatible model of graphene nano-ribbon field-effect transistors enabling circuit-level delay and power analysis under process variation," in *Proc. IEEE Design, Automation & Test in Europe Conf. & Exhibition, DATE'13*, pp. 1789-1794, Grenoble, France, 18-22 Mar. 2013.

[9] M. Gholipour, Y. Y. Chen, A. Sangai, and D. Chen, "Highly accurate SPICE-compatible modeling for single-and double-gate GNRFETs with studies on technology scaling," in *Proc. of the Conf. on Design, Automation & Test in Europe*, 6 pp., Dresden, Germany, 24-28 Mar. 2014.

[10] Y. Y. Chen, A. Sangai, M. Gholipour, and D. Chen, "Schottky-barrier-type graphene nano-ribbon field-effect transistors: a study on compact modeling, process variation, and circuit performance," in *Proc. of the IEEE/ACM Int. Symp. on Nanoscale Architectures*, pp. 82-88, Brooklyn, NY, USA, 15-17 Jul. 2013.

[11] M. Gholipour, Y. Y. Chen, A. Sangai, N. Masoumi, and D. Chen, "Analytical SPICE-compatible model of Schottky-barrier-type GNRFETs with performance analysis," *IEEE Trans. on VLSI Systems*, vol. 24, no. 2, pp. 650-663, Feb. 2016.

[12] M. Gholipour, N. Masoumi, Y. Y. C. Chen, D. Chen, and M. Pourfath, "Asymmetric gate Schottky-barrier graphene nanoribbon FETs for low-power design," *IEEE Trans. on Electron Devices*, vol. 61, no. 12, pp. 4000-4006, Dec. 2014.

[13] M. B. Nasrollahnejad and P. Keshavarzi, "Inverse stone throwers wales defect and enhancing I_{ON}/I_{OFF} ratio and subthreshold swing of GNR transistors," *The European Physical J. Applied Physics*, vol. 86, no. 2, Article No.: 20202, 14 pp., May 2019..

[14] P. Michetti and G. Iannaccone, "Analytical model of one-dimensional carbon-based schottky-barrier transistors," *IEEE Trans. on Electron Devices*, vol. 57, no. 7, pp. 1616-1625, Jul. 2010.

[15] B. Streetman and S. Banerjee, *Solid State Electronic Devices*, 6th Ed., Upper Saddle River, N.J.: Pearson/Prentice Hall, 2006.

[16] N. H. Frank and L. A. Young, "Transmission of electrons through potential barriers," *Phys. Rev.*, pp. 80-86, Jul. 1931.

[17] H. S. P. Wong and D. Akinwande, *Carbon Nanotube and Graphene Device Physics*, Cambridge University Press, 2011.

[18] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, 2013.

[19] -, *NanoTCAD ViDES*, Accessed on Mar. 2019. [Online]. Available: http://vides.nanotcad.com/vides.

[20] S. Datta, *Quantum Transport, Atom to Transistor*, Cambridge University Press, USA, 2005.

فرزانه تقی‌پور تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی برق-الکترونیک به‌ترتیب در سال‌های ۱۳۹۶ و ۱۳۹۸ در دانشگاه صنعتی نوشیروانی بابل به پایان رساند. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل مدل‌سازی افزاره‌های نانو- مقیاس است.

مرتضی قلی‌پور مقاطع کارشناسی و کارشناسی ارشد مهندسی برق خود را در سال های ۱۳۷۹ و ۱۳۸۱ به ترتیب در دانشگاه فردوسی مشهد و دانشگاه تهران به پایان رساند. سپس از سال ۱۳۸۱ تا ۱۳۸۵ به عنوان کارشناس ارشد سیستم های دیجیتال در مرکز تحقیقات مخابرات ایران به مشغول فعالیت بود و پس از آن مدرک دکترای مهندسی برق- الکترونیک خود را در سال ۱۳۹۳ از دانشگاه تهران دریافت نمود. ایشان طی این دوره، فرصت مطالعاتی خود را در دانشگاه ایلینوی (UIUC) آمریکا سپری نمود. دکتر قلی‌پور از سال ۱۳۹۳ به عنوان عضو هیأت علمی در دانشگاه صنعتی نوشیروانی بابل مشغول به فعالیت است. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم توان، نانوالکترونیک و مدل‌سازی افزاره‌های نانو- مقیاس است.