تحلیل و بررسی تأثیر پارامترهای طراحی فلیپ‌فلاپ استاتیک بر مشخصه‌های زمانی و توان مصرفی آن در تکنولوژی ۱۶ نانومتر

احسان محمودی و مرتضی قلی‌پور

چکیده: فلیپ‌فلاپ یکی از عناصر مهم در طراحی مدارهای دیجیتال است که کارایی آن در سرعت و توان مصرفی سیستم بسیار تأثیرگذار می‌باشد. در این مقاله با انجام شبیه‌سازی‌های مناسب، پارامترهای زمانی فلیپ‌فلاپ استاتیک به دست آمده و تأثیر ابعاد ترانزیستورهای مختلف بر این پارامترها مورد بررسی قرار گرفته است. سپس با تغییر ولتاژ تغذیه و پارامترهای فرایند ساخت، میزان تأثیر تغییرات این عوامل بر کارایی فلیپ‌فلاپ مورد ارزیابی قرار گرفته است. عرض ترانزیستورهای مدار بر اساس دستیابی به حاصل‌ضرب انرژی- تأخیر (EDP) و حاصل‌ضرب توان- تأخیر (PDP) مطلوب در دو حالت به صورت مجزا تعیین شده‌اند. سپس تأثیر تغییرات ولتاژ بر افزایش EDP و PDP در مقایسه با فلیپ‌فلاپ پایه مورد بررسی و ارزیابی قرار گرفته است. فلیپ‌فلاپ مورد بررسی در این مقاله فلیپ‌فلاپ استاتیک نوع *D* می‌باشد. شبیه‌سازی‌ها با استفاده از نرم‌افزار HSPICE در تکنولوژی ١٦ نانومتر و در فرکانس نامی GHz ١ انجام شده است.

***کلیدواژه:* پارامترهای زمانی، توان مصرفی، فلیپ‌فلاپ استاتیک.**

۱- مقدمه

یکی از عناصر اصلی مدارهای الکترونیک دیجیتال فلیپ‌فلاپ است که به عنوان عنصر ذخیره در مدارهای ترتیبی استفاده می‌شود. فلیپ‌فلاپ مداری است که دو حالت پایدار دارد و می‌تواند برای ذخیره اطلاعات وضعیت استفاده شود. فلیپ‌فلاپ‌ها سازه‌های اصلی ساختار سیستم‌های الکترونیک دیجیتالی هستند که در رایانه‌ها، گوشی‌های هوشمند و بسیاری از انواع دیگر سیستم‌ها استفاده می‌شوند [۱] تا [۳]. با گسترش روزافزون تجهیزات قابل حمل که انرژی خود را از باتری تأمین می‌کنند، مصرف انرژی در این سیستم‌ها از اهمیت بسیار زیادی برخوردار خواهد بود.

در طراحی مدارات VLSI، فلیپ‌فلاپ (FF) یک عنصر اساسی است که به صورت گسترده در شبکه‌های توزیع پالس ساعت استفاده می‌شود [۴] تا [۸]. شبکه پالس ساعت یکی از بخش‌های پرمصرف سیستم‌های VLSI می‌باشد [۹] که حدود ۲۵ تا ۴۰٪ کل توان مصرفی سیستم را به خود اختصاص می‌دهد [۱۰]. فلیپ‌فلاپ همچنین یکی از عناصر مهم در تکنیک موازی‌سازی است [۱۱] که در مسیرهای داده برای بهبود عملکرد سیستم‌های دیجیتال مورد استفاده قرار می‌گیرد [۱۲].

تحقیقات متعدد انجام‌شده در زمینه طراحی فلیپ‌فلاپ بیانگر اهمیت آن در مدارهای دیجیتال است. در [۵] یک فلیپ‌فلاپ حاکم- تابع[1] با توان بسیار پایین متشکل از منطق CMOS استاتیک و منطق ترانزیستور عبور ارائه شده که مقدار حاصل‌ضرب توان در تأخیر (PDP)[2] آن در مقایسه با فلیپ‌فلاپ با منطق گیت انتقال حدود ۶۳٪ کاهش یافته است. فلیپ‌فلاپ ارائه‌شده در [۱۳] قابلیت عملکرد در ولتاژ بسیار پایین ۰٫۱۶ ولت و محدوده دینامیک وسیع ورودی را دارا می‌باشد. در [۱۴] یک فلیپ‌فلاپ مبتنی بر تکنیک مدخل پالس ساعت[3] ارائه شده که میزان مصرف توان سوئیچینگ سیگنال را کاهش می‌دهد. در [۱۵] از ترانزیستورهای FinFET برای طراحی فلیپ‌فلاپ *D* مبتنی بر PHLFF استفاده شده و مشاهده گردیده که کاهش توان و تأخیر در حالت Multi-Mode بیشتر از سایر حالت‌ها است. در [۱۶] با استفاده از تکنیک MTCMOS[4] یک فلیپ‌فلاپ نوع *D* با سیستم پالس ساعت کم‌توان طراحی شده است. در این تکنیک از ترانزیستورهای با ولتاژ آستانه چندگانه استفاده می‌شود. در [۱۷] به طراحی فلیپ‌فلاپ *D* بر اساس شیفت رجیستر پرداخته شده که می‌تواند به صورت سریال، داده را دریافت کرده و به صورت موازی خروجی داشته باشد. روش ابداعی آنها بر اساس LFSR یا شیفت رجیسترهای خطی با فیدبک است که برای کاهش توان استفاده شده است. در [۱۸] نیز یک FF کم‌توان مبتنی بر افزاره‌های اسپینترونیک طراحی شده که توان مصرفی آن کمتر از ۹ میکروواوت است.

یکی از روش‌های کاهش توان مصرفی سیستم کاهش ولتاژ تغذیه است اما کاهش ولتاژ تغذیه مدار باعث افزایش تأخیر می‌شود که برای حل این مشکل می‌توان از تکنیک طراحی مدار با چند منبع تغذیه استفاده کرد [۱۲]. در این مقاله در فناوری ۱۶ نانومتر CMOS با تغییر ولتاژ تغذیه در بازه ۰٫۷±۰٫۰۷ ولت (تغییر ۱۰ درصدی ولتاژ تغذیه) عملکرد فلیپ‌فلاپ استاتیک بررسی شده است. تحلیل دقیق مدار و بررسی تأثیر پارامترهای مختلف طراحی آن، از جمله ابعاد ترانزیستورها نیز نقش بسیار مهمی در ایجاد مصالحه بین سرعت و توان مصرفی مدار دارد.

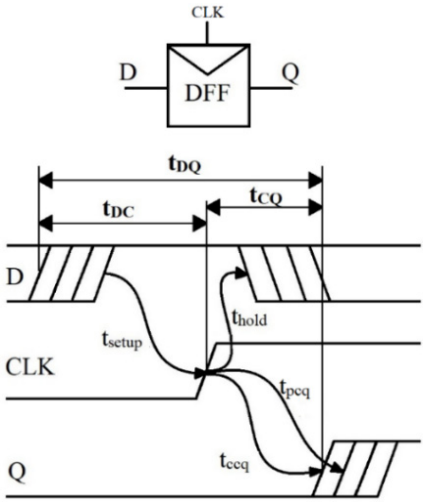
در این مقاله چگونگی استخراج پارامترهای زمانی به طور دقیق مورد بررسی قرار گرفته و با تغییر ابعاد ترانزیستورها و محاسبه بهبود توان مصرفی در عین صحت عملکرد فلیپ‌فلاپ، کارایی آن ارزیابی شده است. در بخش دوم نحوه استخراج پارامترهای زمانی فلیپ‌فلاپ شرح داده شده است. در بخش سوم ساختار فلیپ‌فلاپ و جزئیات طراحی آن توضیح داده شده است. بخش چهارم شامل نتایج شبیه‌سازی‌های انجام‌شده می‌باشد و نهایتاً نتیجه‌گیری در بخش پنجم آمده است.

این مقاله در تاریخ ۲۰ آبان ماه ۱۳۹۷ دریافت و در تاریخ ۲ خرداد ماه ۱۳۹۸ بازنگری شد. این تحقیق توسط دانشگاه صنعتی نوشیروانی بابل از طریق اعتبار پژوهشی شماره BNUT/۳۸۹۰۲۳/۹۷ پشتیبانی شده است.

احسان محمودی، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: ehsanmahmoodi@nit.ac.ir).

مرتضی قلی‌پور (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: m.gholipour@nit.ac.ir).

1. Master-Slave
2. Power-Delay Product
3. Clock Gating
4. Multi-Threshold Voltage CMOS



شکل ۱: پارامترهای زمانی مشخصه فلیپ‌فلاپ.

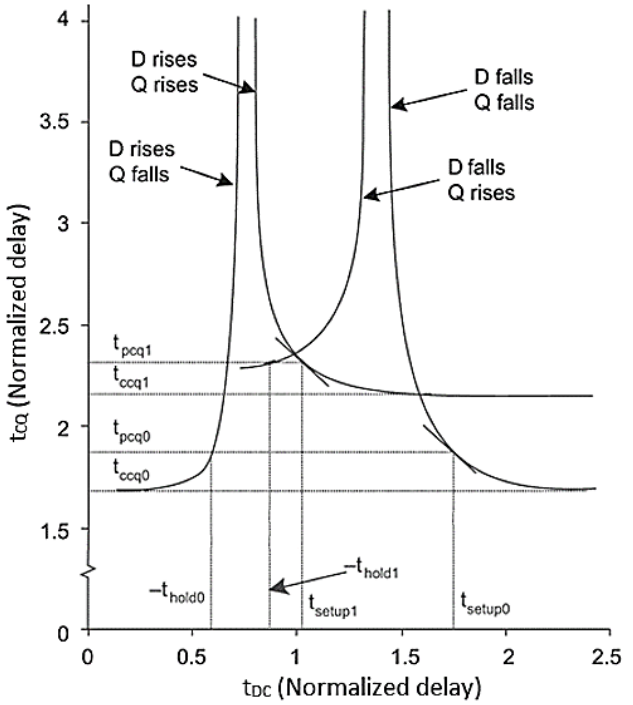
جدول ۱: پارامترهای زمانی FLIP-FLOP.

پارامتر	توضیح
t_{pcq}	تأخیر انتشار[1] CLK به Q
t_{ccq}	تأخیر آلایش[2] CLK به Q
t_{DQ}	تأخیر دیتا به Q
t_{setup}	زمان برپایی[3]
t_{hold}	زمان نگهداری[4]

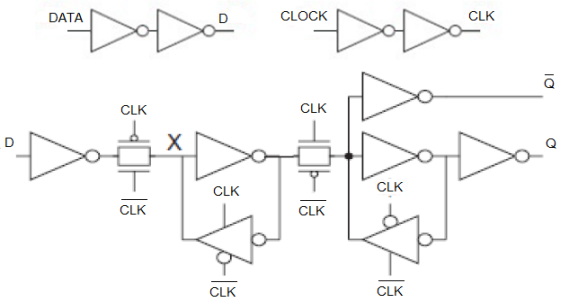
۲- پارامترهای زمانی فلیپ‌فلاپ

پارامترهای زمانی مشخصه فلیپ‌فلاپ در جدول ۱ آمده‌اند. این پارامترها شامل تأخیرهای انتشار و محدویت‌های زمانبندی می‌باشند که در حالت صعود D و صعود Q در شکل ۱ نشان داده شده‌اند. تأخیر انتشار CLK به Q یا t_{pcq} عبارت است از بیشینه فاصله زمانی بین یک لبه پالس ساعت (CLK) تا انتقال داده به خروجی. تأخیر آلایش CLK به Q یا t_{ccq} بیانگر کمینه فاصله زمانی از یک لبه CLK تا انتقال داده به خروجی است. زمان برپایی t_{setup} حداقل فاصله زمانی است که سیگنال ورودی فلیپ‌فلاپ باید زودتر از لبه CLK اعمال شود تا مقدار آن به درستی دریافت و نگه داشته شود. به همین ترتیب زمان نگهداری t_{hold}، حداقل فاصله زمانی بعد از لبه پالس ساعت است که سیگنال ورودی فلیپ‌فلاپ باید در مقدار قبلی خود باقی بماند.

برای محاسبه پارامترهای زمانی جدول ۱ همه حالت‌های ممکن برای تغییر وضعیت داده D و خروجی Q باید در نظر گرفته شوند. اگر داده‌ها به مدت طولانی قبل از CLK وارد شود، t_{CQ} کوتاه است و اساساً مستقل از تأخیر t_{DC} می‌باشد. از این رو $t_{DQ}=t_{DC}+t_{CQ}$ به صورت خطی افزایش می‌یابد، زیرا داده زودتر وارد می‌شود و منتظر CLK برای پیش‌بردن نتیجه می‌ماند. با نزدیک‌تر شدن داده به پالس ساعت، t_{CQ} شروع به افزایش می‌کند. با این حال t_{DQ} ابتدا کاهش می‌یابد و در نقطه‌ای که شیب نمودار t_{CQ} برابر با ۱- است به حداقل مقدار خود می‌رسد. بنابراین t_{setup} را به عنوان t_{DC}ای تعریف کنیم که در آن t_{DQ}



شکل ۲: نحوه اندازه‌گیری مشخصه‌های زمانی فلیپ‌فلاپ [۱۲].



شکل ۳: شماتیک فلیپ‌فلاپ استاتیک نوع D.

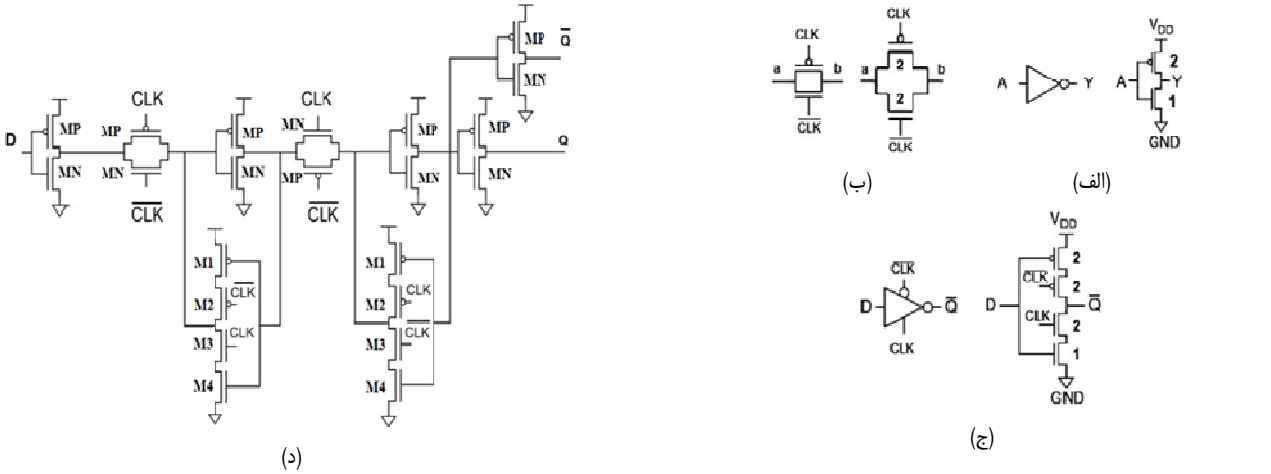
حداقل رخ می‌دهد و تأخیر انتشار t_{pcq} را برابر با t_{CQ} در این نقطه تعریف می‌کنیم. تأخیر آلایش t_{ccq}، عبارت است از حداقل t_{CQ} وقتی که داده از قبل وارد می‌شود. زمان نگهداری t_{hold} عبارت است از حداقل تأخیر از CLK تا تغییر D به طوری که $t_{CQ}\le t_{pcq}$ [۱۲].

به طور کلی، تأخیر برای مقادیر ورودی صفر و یک متفاوت خواهد بود و به همین منظور ایجاد هر چهار حالت صعودی و نزولی برای ورودی و خروجی اهمیت دارد. منحنی تغییرات t_{CQ} بر حسب t_{DC} در شکل ۲ آمده است. زمان‌های برپایی $t_{setup.}$ و t_{setup1} به ترتیب زمان‌هایی هستند که D باید قبل از پالس ساعت نزول یا صعود داشته باشد به گونه‌ای که داده با حداقل t_{DC} ممکن دریافت شود. زمان‌های نگهداری $t_{hold.}$ و t_{hold1} به ترتیب زمان‌هایی هستند که D بعد از پالس ساعت باید صعود یا نزول داشته باشد به گونه‌ای که مقدار قبلی صفر یا یک به جای مقدار جدید ثبت شود. توجه داشته باشید که زمان نگهداری منفی است. تأخیر آلایش $t_{ccq.}$ و t_{ccq1} کمترین t_{CQ} ممکن می‌باشند و زمانی رخ می‌دهند که ورودی به خوبی قبل از لبه پالس ساعت تغییر می‌کند.

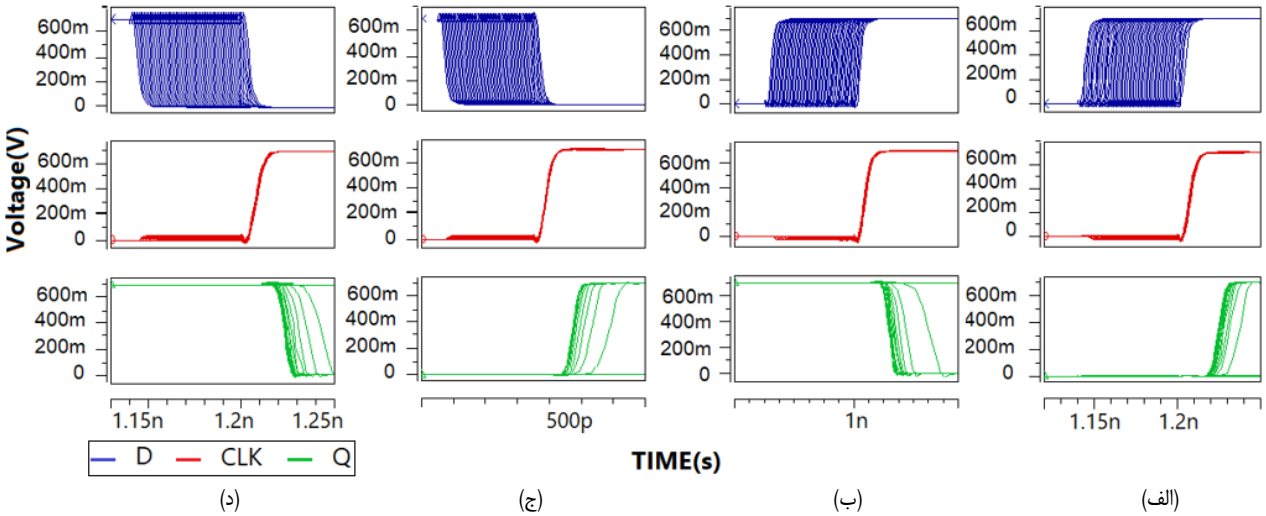
۳- ساختار فلیپ‌فلاپ پایه

ساختار فلیپ‌فلاپ بررسی‌شده در این مقاله در شکل ۳ نشان داده شده است [۱۲]. این فلیپ‌فلاپ متشکل از دو لچ منفی و مثبت است که به صورت متوالی با ساختار حاکم- تابع به یکدیگر متصل شده‌اند. مدار

1. Propagation Delay
2. Contamination Delay
3. Setup Time
4. Hold Time



شکل ۴: ساختار ترانزیستوری فلیپ‌فلاپ استاتیک و اجزای آن، (الف) شماتیک معکوس‌کننده، (ب) شماتیک گیت انتقال، (ج) شماتیک معکوس‌کننده سه‌حالته و (د) مدار کامل ترانزیستوری فلیپ‌فلاپ.



شکل ۵: سیگنال‌های دیتای ورودی D، پالس ساعت CLK و دیتای خروجی Q در چهار حالت مختلف، (الف) D و Q صعودی، (ب) D صعودی و Q نزولی، (ج) D نزولی و Q صعودی و (د) D و Q نزولی.

ترانزیستوری اجزای این فلیپ‌فلاپ استاتیک که شامل گیت‌های معکوس‌کننده، گیت انتقال و بافر سه‌حالته است، به همراه مقدار سایز ترانزیستورهای مختلف در شکل ۴ نشان داده شده است. ابعاد ترانزیستور حداقل- سایز برابر با $W/L = 4\lambda/2\lambda$ و عرض ترانزیستورهای CLK برابر با 4λ در نظر گرفته شده است. مدار کامل ترانزیستوری این فلیپ‌فلاپ در شکل ۴- د نشان داده شده است. همان طور که در شکل ۳ مشاهده می‌شود، این فلیپ‌فلاپ بر اساس گیت انتقال طراحی شده و از این رو تعیین دقیق ابعاد ترانزیستورهای گیت انتقال نقش مهمی در تأخیر انتشار مدار دارد. ابعاد معکوس‌کننده‌های سه‌حالته نیز باید به گونه‌ای تعیین شوند که در عین ایجاد مسیر فیدبک برای ذخیره داده، سبب افزایش توان مصرفی نشوند. شبیه‌سازی‌های انجام‌شده در بخش ۴-۲ نشان‌دهنده تأثیرپذیری بیشتر تأخیر مدار و توان مصرفی به ترتیب نسبت به عرض ترانزیستورهای گیت انتقال و عرض معکوس‌کننده‌های سه‌حالته است.

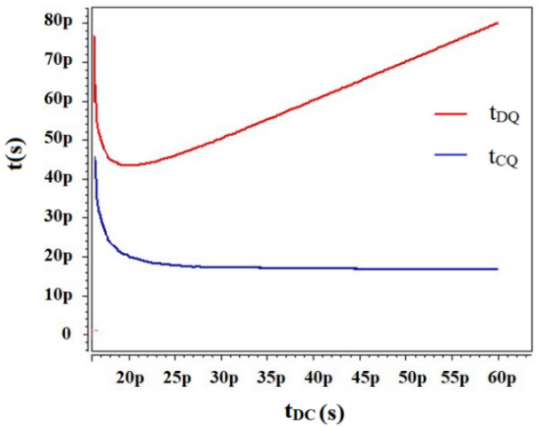
٤- شبیه‌سازی

برای تعیین مشخصه‌های فلیپ‌فلاپ، شبیه‌سازی‌های مختلف توسط نرم‌افزار HSPICE با استفاده از تکنولوژی ۱۶ نانومتر PTM [۱۹] در $LEVEL = ۵۴$ انجام شده است. دمای محیط ۲۵ درجه سانتی‌گراد، ولتاژ تغذیه نامی $V_{DD} = ۰/۷$ و فرکانس پالس ساعت برابر با ۱ گیگاهرتز در نظر گرفته شده‌اند. برای به دست آوردن نتایج نزدیک به واقعیت، سیگنال‌های داده و پالس ساعت از یک بافر عبور داده شده و سپس به مدار اعمال شده‌اند (شکل ۳). در خروجی نیز از یک بافر به عنوان بار خازنی FO۱ استفاده شده است. برای محاسبه حاصل‌ضرب انرژی- تأخیر (EDP) و حاصل‌ضرب توان- تأخیر (PDP)، توان کل که شامل توان استاتیک و دینامیک می‌باشد در نظر گرفته شده است.

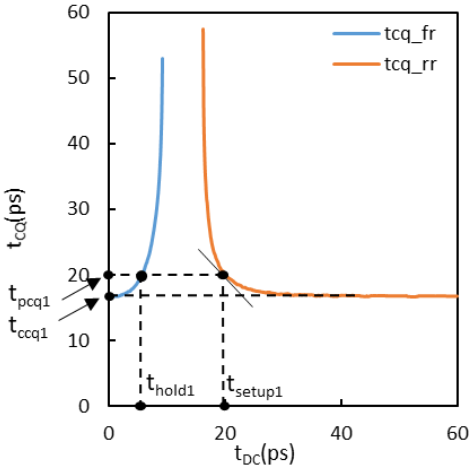
٤-١ شبیه‌سازی فلیپ‌فلاپ پایه

ابتدا مدار شکل ۴ به عنوان فلیپ‌فلاپ پایه با ولتاژ تغذیه ۰/۷ ولت شبیه‌سازی شد. نتایج شبیه‌سازی‌ها برای ۴ ترکیب مختلف تغییر وضعیت سیگنال‌های داده ورودی و خروجی در شکل ۵ نشان داده شده‌اند.

برای انجام این شبیه‌سازی ابتدا داده خروجی Q با مقداردهی مناسب به داده ورودی D، در یکی از وضعیت‌های دلخواه صفر یا یک قرار داده شده است. سپس روبش بر روی زمان تغییر وضعیت سیگنال داده ورودی D انجام شده و در نتیجه آن گذار سیگنال D به تدریج به گذار CLK نزدیک شده است. به عنوان مثال در شکل ۵- ب مقدار اولیه ذخیره‌شده در فلیپ‌فلاپ برابر با $Q = ۱$ است. ورودی D دارای گذار صفر به یک است که به تدریج به لبه CLK نزدیک می‌شود. وقتی گذار D به اندازه کافی از CLK دور است، مقدار ۱ توسط فلیپ‌فلاپ نمونه‌برداری و



شکل ۶: نمودار t_{DQ} و t_{CQ} بر حسب t_{DC} برای حالت D و Q صعودی.



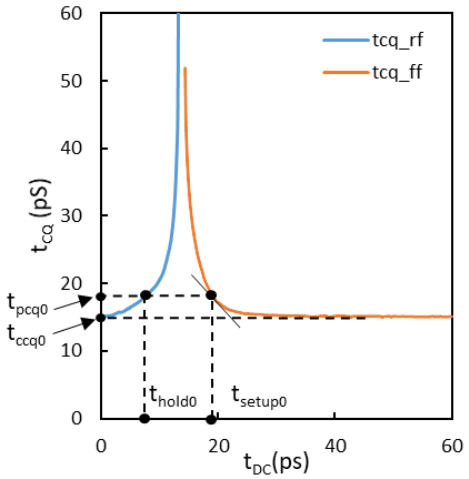
شکل ۷: منحنی‌های t_{CQ} برای ورودی ۰. منحنی t_{CQ}_rr مربوط به حالت صعود دیتا و Q در لبه CLK و منحنی t_{CQ}_fr مربوط به نزول دیتا و صعود Q در لبه CLK است.

جدول ۲: نتایج به دست آمده از شبیه‌سازی.

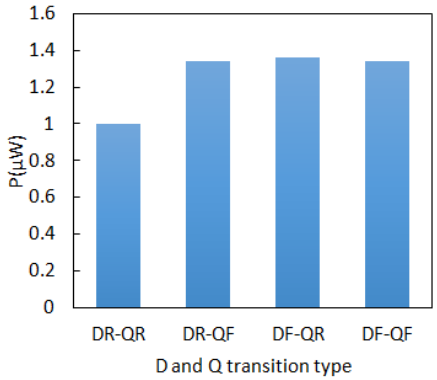
ورودی	t_{pcq} (ps)	$DELAY(t_{ccq})$ (ps)	t_{setup} (ps)	t_{hold} (ps)
$D=0$	۱۷٫۵	۱۵٫۱	۱۹٫۷	-۶٫۸
$D=1$	۲۰٫۲	۱۶٫۸	۲۰	-۵٫۸

ذخیره می‌شود. با نزدیک‌شدن گذار D به لبه CLK، سطح صفر ورودی توسط فلیپ‌فلاپ نمونه‌برداری شده و خروجی به صفر تغییر وضعیت می‌دهد. با تغییر در زمان گذار داده و مشاهده تغییر در خروجی می‌توان زمان برپایی را اندازه‌گیری کرد. بدین منظور روبش بر روی زمان گذار داده برای هر چهار حالت انجام می‌شود و با رسم نمودارهای t_{CQ} و t_{DQ} بر حسب تغییرات زمان گذار داده می‌توان پارامترهای مختلف را اندازه‌گیری کرد.

در شکل ۶ نمودارهای t_{CQ} و t_{DQ} بر حسب t_{DC} که نتیجه شبیه‌سازی برای حالت صعود D و Q می‌باشد نشان داده شده است. از این نمودار می‌توان برای محاسبه پارامترهای ورودی به ازای $D=1$ استفاده نمود. در این شکل لحظه مینیمم‌شدن t_{DQ} که در آن شیب نمودار t_{DQ} صفر است، تعیین‌کننده زمان t_{setup1} است و در این لحظه شیب نمودار t_{CQ} تقریباً برابر با ۱- است. کمترین مقدار روی نمودار t_{CQ} مقدار تأخیر آلایش CLK به Q به ازای ورودی $D=1$ که t_{ccq1} نام دارد را مشخص می‌کند.



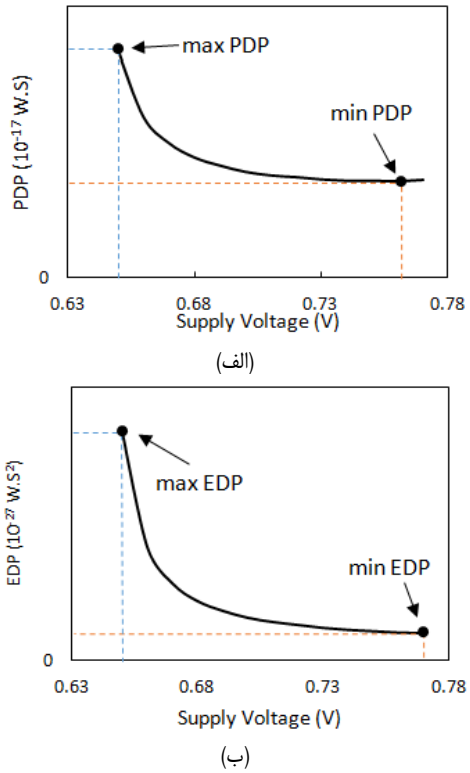
شکل ۸: منحنی‌های t_{CQ} برای ورودی صفر. منحنی t_{CQ}_ff مربوط به حالت نزول دیتا و Q در لبه CLK و منحنی t_{CQ}_rf مربوط به صعود دیتا و نزول Q در لبه CLK است.



شکل ۹: میزان توان مصرفی در حالت‌های مختلف گذار صعود و نزول D و Q.

به طور مشابه می‌توان مقدار این پارامترها در حالت ورودی صفر یا داده و ورودی در لبه بالارونده پالس ساعت را به دست آورد. منحنی‌های به دست آمده در شکل‌های ۷ و ۸ نشان داده شده‌اند. منحنی‌های نشان داده شده در شکل ۷، نمودارهای t_{CQ} برای ورودی ۱ است که مربوط به حالت صعود داده ورودی و داده خروجی (DR-QR) و حالت نزول داده ورودی و صعود داده خروجی (DF-QR) در لبه CLK است. شکل ۸ نیز نمودارهای t_{CQ} برای ورودی صفر را نشان می‌دهد که مربوط به حالت نزول داده ورودی و داده خروجی و حالت صعود داده ورودی و نزول داده خروجی در لبه CLK است. پارامترهای زمانی فلیپ‌فلاپ به ازای ورودی $D=0$ و $D=1$ که از این منحنی‌ها به دست آمده‌اند در جدول ۲ آورده شده‌اند.

در شکل ۹ میزان توان مصرفی متوسط در حالت‌های مختلف D و Q، در مدت زمان یک پالس ساعت که تغییر خروجی در آن رخ می‌دهد نشان داده شده است. میانگین توان مصرفی به دست آمده برای ورودی‌های $D=0$ و $D=1$ به ترتیب برابر با ۱٫۳۴μW و ۱٫۱۸μW است. پارامترهای ورودی صفر از میانگین حالت‌های DF-QF و DR-QF و ورودی ۱ از میانگین حالت‌های DR-QR و DF-QR به دست آمده‌اند. اگرچه این مقادیر تخمینی از میزان توان مصرفی مدار به دست می‌دهند اما آنچه که اهمیت دارد و معیار بهتری در ارزیابی کارایی مدار به شمار می‌آید، میزان مصرف انرژی به ازای هر رخداد سوئیچینگ است که به صورت حاصل‌ضرب توان در تأخیر (PDP) بیان می‌گردد. مدار ایده‌آل مداری است که دارای تأخیر پایینی باشد و در عین حال انرژی کمی



شکل ۱۰: منحنی‌های (الف) PDP و (ب) EDP بر حسب تغییرات ولتاژ تغذیه.

مصرف کند. از این رو حاصل‌ضرب انرژی در تأخیر (EDP) نیز معیار بسیار خوبی در ارزیابی عملکرد مدار می‌باشد. نتایج به دست آمده برای PDP و EDP در جدول ۳ آمده‌اند.

٤-۲ بررسی تأثیر تغییرات پارامترهای مدار

تغییرات پارامترهای فرایند ساخت و پارامترهای محیطی بر عملکرد مدار مؤثر است. تغییرات فرایند ساخت شامل تغییر در پارامترهای هندسی ترانزیستور از جمله طول و عرض کانال ترانزیستور است. پارامترهای محیطی مؤثر بر عملکرد مدار نیز شامل تغییرات دما و ولتاژ تغذیه می‌باشد. علاوه بر این با انتخاب اندازه مناسب برای ترانزیستورها می‌توان به کارایی مطلوب دست یافت. در این بخش تأثیر تغییرات ولتاژ تغذیه و عرض کانال ترانزیستورها بر میزان EDP و PDP مورد بررسی قرار گرفته است.

سیستم‌های دیجیتالی در ولتاژ نامی طراحی می‌شوند ولی این ولتاژ در واقعیت بنا به دلایلی ممکن است تغییر کند [۱۲]. به منظور بررسی اثر تغییرات ولتاژ تغذیه، این ولتاژ در محدوده ۱۰٪ ± حول مقدار نامی تغییر داده و مقدار EDP و PDP اندازه‌گیری شد (جدول ۴). منحنی تغییرات PDP و EDP بر حسب ولتاژ تغذیه در شکل ۱۰ نشان داده شده است. همان طور که مشاهده می‌شود افزایش ولتاژ تغذیه نه تنها کارایی را کاهش نمی‌دهد بلکه EDP و PDP را کمی بهبود می‌دهد. از سوی دیگر، کاهش ولتاژ تغذیه سبب افزایش تأخیر شده و در نتیجه آن EDP و PDP به میزان قابل ملاحظه‌ای افزایش می‌یابند. از این رو باید در طراحی تمهیداتی اندیشیده شود تا کارایی مدار در اثر کاهش ناخواسته ولتاژ تغذیه دچار نقصان نگردد.

به منظور بررسی اثر ابعاد ترانزیستورها بر عملکرد فلیپ‌فلاپ، شبیه‌سازی‌های مختلف با تغییر عرض کانال ترانزیستورهای مدار انجام شده است. اثر تغییرات عرض ترانزیستورهای بافر مدار که شامل ترانزیستورهای M۱ تا M۴ می‌باشد در شکل‌های ۱۱-الف و ۱۱-ب

جدول ۳: مقادیر PDP و EDP برای فلیپ‌فلاپ پایه.

ورودی	PDP (μW.(ps))	EDP (μW.(ps)^2)
$D=0$	۲۰٫۲۳	۳۰۵٫۵۳
$D=1$	۱۹٫۸۲	۳۳۲٫۹۸

جدول ۴: اثر تغییرات ولتاژ تغذیه بر مقادیر PDP و EDP.

	PDP (10^{-17} W.S)		EDP (10^{-28} W.S^2)	
$V_{DD}(V)$	مقدار	تغییرات	مقدار	تغییرات
۰٫۶۵	۵٫۰۴	٪۱۱۴	۲۵٫۰	٪۴۳۰
۰٫۷۰	۲٫۳۵	–	۴٫۷۱	–
۰٫۷۶	۲٫۱۴	-٪۸٫۹	۳٫۰۱	-٪۳۶

جدول ۵: اثر تغییرات عرض ترانزیستورها بر مقادیر PDP و EDP.

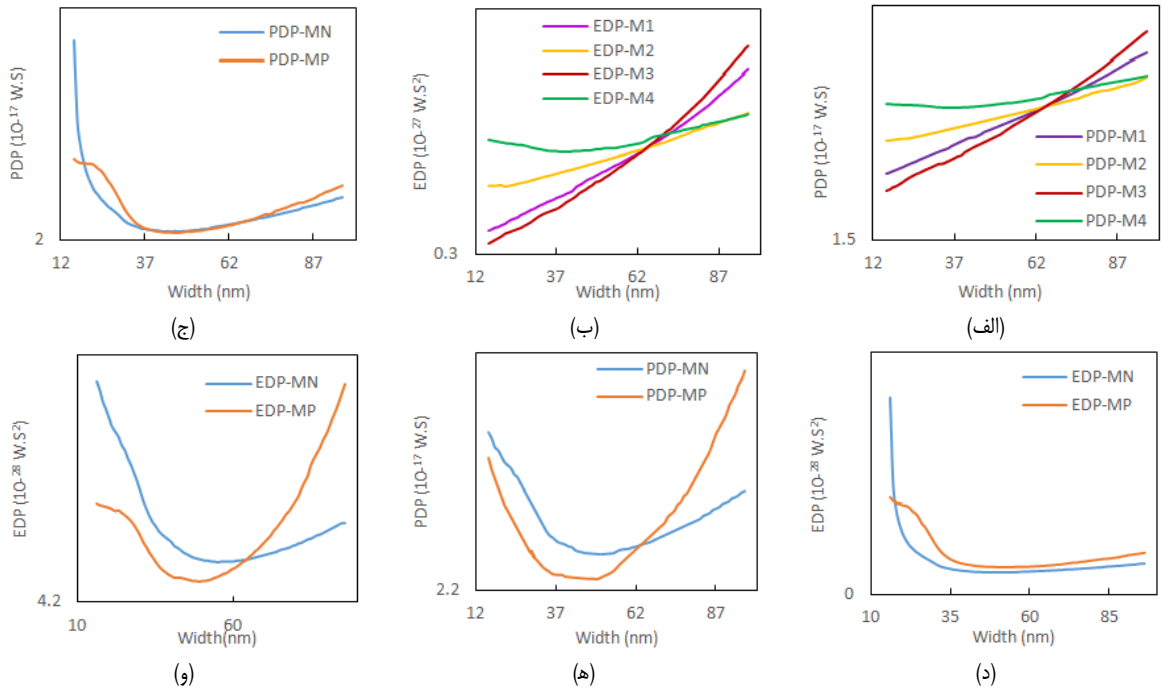
نام پارامتر	مقدار پارامتر		مقدار کمینه	
	@PDP	@EDP	PDP (10^{-17} W.S)	EDP (10^{-28} W.S^2)
W_{M2}(nm)	۳۰	۴۰	۲٫۳۵	۴٫۶۸
W_{Mp-inv}(nm)	۴۶	۵۱	۲٫۱۶	۴٫۴۷
W_{Mn-inv}(nm)	۴۷	۵۰	۲٫۱۷	۴٫۵۱
W_{Mp-TG}(nm)	۴۳	۴۹	۲٫۲۴	۴٫۴۵
W_{Mn-TG}(nm)	۵۰	۵۵	۲٫۳۲	۴٫۶۸

نشان داده شده است. همان طور که مشاهده می‌شود نمودارها با افزایش عرض ترانزیستورهای M۱، M۲ و M۳ مقدار PDP و EDP صعودی است در حالی که منحنی‌های مربوط به M۴ دارای نقطه مینیمم می‌باشند. از این رو عرض M۱، M۲ و M۳ برابر با کوچک‌ترین مقدار ممکن که فلیپ‌فلاپ دارای عملکرد صحیح است انتخاب شده‌اند. عرض M۴ مطابق جدول ۵ برای دستیابی به کمینه PDP یا EDP می‌تواند تعیین شود.

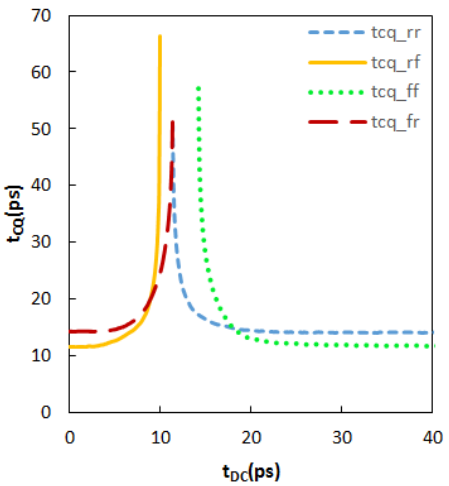
منحنی تغییرات EDP و PDP بر حسب تغییر عرض ترانزیستورهای معکوس‌کننده، شامل ترانزیستورهای MN و MP در شکل‌های ۱۱- ج و ۱۱- د نشان داده شده است. همان طور که مشاهده می‌شود عرض این دو ترانزیستور را به گونه‌ای می‌توان تعیین نمود که سبب کمینه‌شدن PDP یا EDP گردد. مقادیر کمینه به دست آمده در جدول ۵ آمده است. به طور مشابه تغییرات عرض ترانزیستورهای گیت انتقال (TG) نیز می‌تواند سبب افزایش یا کاهش PDP و EDP گردد. این تغییرات در منحنی‌های شکل‌های ۱۱- ه و ۱۱- و نشان داده شده است. همان طور که مشاهده می‌شود حساسیت تغییرات EDP و PDP نسبت به تغییرات عرض ترانزیستورهای TG در مقایسه با سایر ترانزیستورها بیشتر است. نقاط کمینه و همچنین عرض ترانزیستور متناظر با آنها در جدول ۵ آورده شده است.

٤-۳ شبیه‌سازی با پارامترهای بهینه

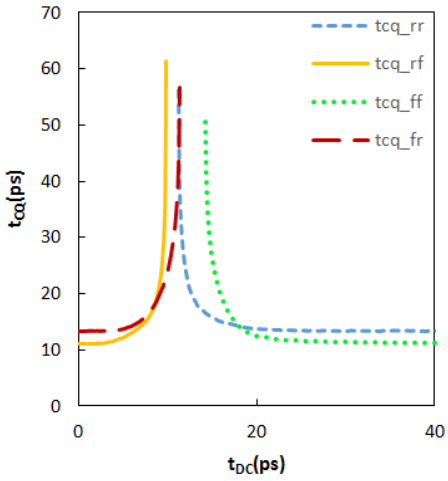
در بخش قبل تأثیر تغییرات ولتاژ تغذیه و عرض کانال ترانزیستورهای مختلف فلیپ‌فلاپ بر کارایی آن به طور مجزا مورد بررسی قرار گرفت. در این بخش با توجه به نتایج حاصل از بخش قبل و با در نظر گرفتن عملکرد صحیح فلیپ‌فلاپ، مدار آن بازطراحی گردید. این بازطراحی یک بار برای دستیابی به کمینه PDP و بار دیگر برای دستیابی به کمینه EDP بر اساس مقادیر عرض ترانزیستورها و ولتاژهای تغذیه داده شده در



شکل ۱۱: منحنی PDP و EDP بر حسب تغییرات پارامترهای مختلف، (الف) PDP بر حسب عرض ترانزیستورهای بافر، (ب) EDP بر حسب عرض ترانزیستورهای بافر، (ج) PDP بر حسب عرض ترانزیستورهای معکوس‌کننده، (د) EDP بر حسب عرض ترانزیستورهای معکوس‌کننده، (ه) PDP بر حسب عرض ترانزیستورهای گیت انتقال و (و) EDP بر حسب عرض ترانزیستورهای گیت انتقال.



شکل ۱۲: منحنی‌های t_{CQ} برای فلیپ‌فلاپ طراحی‌شده با کمترین PDP.



شکل ۱۳: منحنی‌های t_{CQ} برای فلیپ‌فلاپ طراحی‌شده با کمترین EDP.

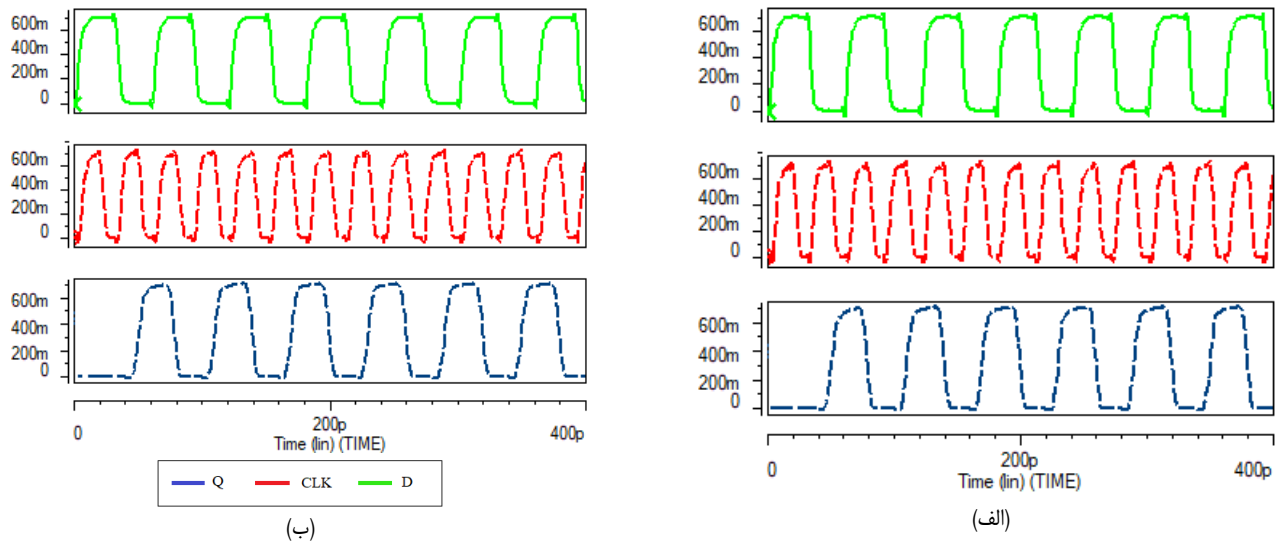
جدول ۴ انجام شد.

منحنی‌های t_{CQ} این فلیپ‌فلاپ‌ها در هر چهار حالت تغییر وضعیت D و Q در شکل‌های ۱۲ و ۱۳ نشان داده شده‌اند. با به کارگیری روش ارائه‌شده در بخش ۲ بر روی این شکل‌ها، پارامترهای مشخصه فلیپ‌فلاپ به دست آورده شده است.

شکل موج‌های حاصل از شبیه‌سازی عملکردی این فلیپ‌فلاپ‌ها در بیشینه فرکانس کاری برابر با GHz ۳۳ در شکل‌های ۱۴- الف و ۱۴- ب آورده شده که نشان‌دهنده درستی عملکرد آنها به ازای مقادیر مختلف ورودی است. مقدار پارامترهای مختلف فلیپ‌فلاپ و میزان تغییر آنها در جدول‌های ۶ و ۷ آورده شده است. همان طور که مشاهده می‌شود کمینه مقدار PDP برای طرح مینیمم PDP به طور میانگین حدود ۴۰٪ و کمینه مقدار EDP در طرح مینیمم EDP به طور میانگین حدود ۵۲٪ نسبت به فلیپ‌فلاپ پایه کاهش یافته‌اند. در جدول ۸ نیز اثر تغییرات ولتاژ بر روی ماکسیمم EDP و PDP آمده که نشان می‌دهد تأثیر این تغییرات (نوسانات ۱۰ درصدی) کاهش یافته است.

۵- نتیجه‌گیری

در این مقاله ابتدا نحوه استخراج پارامترهای مشخصه زمانی مختلف فلیپ‌فلاپ به عنوان یکی از عناصر اصلی مدارهای مجتمع دیجیتال، بیان شد و مورد بررسی و تجزیه و تحلیل قرار گرفت. با انجام شبیه‌سازی‌های مختلف، مقدار این پارامترهای زمانی به دقت محاسبه گردید. با بررسی این نتایج می‌توان ابعاد ترانزیستورها را به گونه‌ای تنظیم کرد که مقادیر زمانی مطلوب حاصل گردند. تغییرات پارامترهای ساخت و محیطی نیز تأثیر زیادی بر عملکرد مدار دارد. به همین منظور و نیز با هدف تعیین تأثیر ابعاد هر یک از ترانزیستورها بر عملکرد فلیپ‌فلاپ، با تغییر ولتاژ تغذیه و عرض ترانزیستورها، تأثیر آن بر کارایی فلیپ‌فلاپ مورد مطالعه قرار گرفت.



(الف) (ب)

شکل ۱۴: شکل موج‌های FF طراحی‌شده در طرح (الف) مینیمم PDP و (ب) مینیمم EDP.

جدول ۶: نتایج به دست آمده برای فلیپ‌فلاپ با اعمال مقادیر بهینه برای ابعاد ترانزیستورها و میزان تغییر در مقایسه با فلیپ‌فلاپ پایه (طراحی مینیمم PDP).

ورودی D		t_{setup} (ps)	t_{hold} (ps)	t_{pcq} (ps)	*Average Power* (μW)	PDP (μW.(ps))	EDP (μW.(ps)^2)
۰	مقدار	۱۸٫۹	−۶٫۱۵	۱۱٫۷۱	۱٫۱۱	**۱۲٫۹۹**	۱۵۲٫۲۱
	تغییر	٪۴٫۰۶	٪۹٫۵	٪۲۲٫۴۵	٪۵٫۹۳	**٪۳۵٫۷۸**	٪۵۰٫۱۸
۱	مقدار	۱۴٫۵	−۷٫۸۲	۱۴٫۱۶	۰٫۷۹۴	**۱۱٫۲۴**	۱۵۹٫۲۰
	تغییر	٪۲۸٫۲۱	−٪۳۴٫۸	٪۱۵٫۷۱	٪۴۰٫۷۴	**٪۴۳٫۲۸**	٪۵۲٫۱۸

جدول ۷: نتایج به دست آمده برای فلیپ‌فلاپ با اعمال مقادیر بهینه برای ابعاد ترانزیستورها و میزان تغییر در مقایسه با فلیپ‌فلاپ پایه (طراحی مینیمم EDP).

ورودی D		t_{setup} (ps)	t_{hold} (ps)	t_{pcq} (ps)	*Average Power* (μW)	PDP (μW.(ps))	EDP (μW.(ps)^2)
۰	مقدار	۱۸٫۸	−۶٫۵	۱۱٫۰۱	۱٫۲۲۵	۱۳٫۶۵	**۱۴۸٫۴۹**
	تغییر	٪۴٫۵	٪۴٫۴۱	٪۲۷٫۰۸	−٪۳٫۸۱	٪۳۲٫۵۲	**٪۵۱٫۳۹**
۱	مقدار	۱۴٫۳	−۵٫۹۵	۱۳٫۴	۰٫۸۷۷	۱۱٫۶۵	**۱۵۶٫۲۱**
	تغییر	٪۲۹٫۲	−٪۲٫۵۸	٪۲۰٫۲۳	٪۳۴٫۵۵	٪۴۱٫۲۲	**٪۵۳٫۰۸**

جدول ۸: اثر تغییرات (نوسان ۱۰ درصدی) ولتاژ بر بیشینه EDP, PDP در طرح‌های ارائه‌شده و مقایسه آن با فلیپ‌فلاپ پایه.

نام پارامتر		طرح مینیمم PDP		طرح مینیمم EDP	
		@VDD(V)	مقدار پارامتر	@VDD(V)	مقدار پارامتر
Max_PDP (10^{-17} W.S)		۰٫۶۴	۱٫۳۶	۰٫۶۴	**۱٫۴۱**
	تغییر	–	٪۷۳٫۰۱	–	**٪۷۲٫۰۲**
Max_EDP (10^{-28} W.S^2)		۰٫۶۴	۳٫۰۶	۰٫۶۴	**۲٫۸۵**
	تغییر	–	٪۸۷٫۷۶	–	**٪۸۸٫۶**

۶- سپاسگزاری

نویسندگان مقاله مراتب قدردانی خود را از حمایت دانشگاه صنعتی نوشیروانی بابل از طریق اعتبار پژوهشی شماره BNUT/۳۸۹۰۲۳/۹۷ اعلام می‌دارند.

مراجع

[1] S. Bernard, M. Belleville, J. Legat, A. Valentian, and D. Bol, "Ultra-wide voltage range pulse-triggered flip-flops and register file with tunable energy-delay target in 28 nm UTBB-FDSOI," *Microelectronics J.*, vol. 57, Issue C, pp. 76-86, Nov. 2016.

[2] H. Jiang, H. Zhang, T. R. Assis, B. Narasimham, B. L. Bhuva, W. T. Holman, and L. W. Massengill, "Single-event performance of sense-amplifier based flip-flop design in a 16-nm bulk FinFET CMOS process," *IEEE Trans. on Nuclear Science*, vol. 64, no. 1, pp. 477-482, Dec. 2017.

[3] L. Yang, X. Zhang, Q. Zhang, M. Tan, and Y. Yu, "A high-speed small-area pixel 16×16 ISFET array design using 0.35-μm CMOS process," *Microelectronics J.*, vol. 79, pp. 107-112, Sept. 2018.

[4] Y. Li, L. Chen, I. Nofal, M. Chen, and R. Wong, "Modeling and analysis of single-event transient sensitivity of a 65□nm clock tree," *Microelectronics Reliability*, vol. 87, pp. 24-32, Aug. 2018.

[5] M. Y. Tsai, P. Y. Kuo, J. F. Lin, and M. H. Sheu, "An ultra-low-power true single-phase clocking flip-flop with improved hold time variation using logic structure reduction scheme," in *Proc. IEEE Int. Symp. on Circuits and Systems, ISCAS'18,* 4 pp., Florence, Italy, 27-30 May 2018.

[6] B. Aparna and V. Anandi, "Design of a D flip flop for optimization of power dissipation using GDI technique," in *Proc. 2nd IEEE Int. Conf. on Recent Trends in Electronics, Information & Communication Technology, RTEICT'17,* pp. 172-177 Bangalore, India, 19-20 May 2017.

[7] H. NathSaha *et al.*, "Performance optimization in flip flop circuit design," in *Proc. IEEE 8th Annual Computing and Communication*

Workshop and Conf., CCWC'18, pp. 421-423, Las Vegas, NV, USA, 8-10 Jan. 2018.

[8] T. Lee, D. Z. Pan, and J. S. Yang, "Clock network optimization with multibit flip-flop generation considering multicorner multimode timing constraint," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 37, no. 1, pp. 245-256, Apr. 2018.

[9] S. Heo and R. Krashinsky, "Activity-sensitive flip-flop and latch selection for reduced energy," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 9, pp. 1060-1064, Sept. 2007.

[10] Y. T. Liu, L. Y. Chiou, and S. J. Chang, "Energy-efficient adaptive clocking dual edge sense-amplifier flip-flop," in *Proc. IEEE Int. Symp. Circuits Systems, ISCAS'06*, pp. 4329-4332, 21-24 May 2006.

[11] P. Zhao, T. K. Darwish, and M. A. Bayoumi, "High-performance and low-power conditional discharge flip-flop," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 12, no. 5, pp. 477-484, May 2004.

[12] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design-a Circuits and Systems Perspective*, 4th Edition, Addison-Wesley, 2015.

[13] A. R. Palaniappan and L. Siek, "Wide-input dynamic range 1 MHz clock ultra-low supply flip-flop," *Electronics Letters*, vol. 54, no. 15, pp. 938-939, 12 Jun. 2018.

[14] P. Bhattacharjee, B. Nath, and A. Majumder, "LECTOR based clock gating for low power multi-stage flip flop applications," in *Proc. Int. Conf. on Electronics, Information, and Communication*, *ICEIC'17,* pp. 106-109, Phuket, Thailand, 11-14 Jan. 2017.

[15] K. Liao, X. Cui, N. Liao, and T. Wang, "Design of D flip-flops with low power-delay product based on FinFET," in *Proc. 12th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology, ICSICT'14,* 3 pp. 1-3, Guilin, China, 28-31 Oct. 2014.

[16] P. Dobriyal, K. Sharma, M. Sethi, and G. Sharma, "A high performance D-flip flop design with low power clocking system using MTCMOS technique," in *Proc. 3rd IEEE Int. Advance Computing Conf., IACC'13,* pp. 1524-1528, Ghaziabad, India, 22-23 Feb. 2013.

[17] M. A. Sobhan Bhuiyan, A. Mahmoudbeik, T. I. Badal, M. Bin Ibne Reaz, and L. F. Rahman, "Low power D flip-flop serial in/parallel out based shift register," in *Proc. Int. Conf. on Advances in Electrical, Electronic and Systems Engineering, ICAEES'16,* pp. 180-184, Putrajaya, Malaysia, 14-16 Nov. 2016.

[18] S. D. Pyle, H. Li, and R. F. DeMara, "Compact low-power instant store and restore D flip-flop using a self-complementing spintronic device," *Electronics Letters*, vol. 52, no. 14, pp. 1238-1240, 26 May 2016.

[19] -, *Predictive Technology Model*, [Online]. Available: http://ptm.asu.edu/

احسان محمودی تحصیلات کارشناسی مهندسی برق خود را در سال ۱۳۹۵ در دانشگاه حکیم سبزواری به پایان رساند. ایشان هم‌اکنون دانشجوی مقطع کارشناسی ارشد مهندسی برق در دانشگاه صنعتی نوشیروانی بابل است. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم‌توان است.

مرتضی قلی‌پور مقاطع کارشناسی و کارشناسی ارشد مهندسی برق خود را در سال‌های ۱۳۷۹ و ۱۳۸۱ به‌ترتیب در دانشگاه فردوسی مشهد و دانشگاه تهران به پایان رساند. سپس از سال ۱۳۸۱ تا ۱۳۸۵ به عنوان کارشناس ارشد سیستم‌های دیجیتال در مرکز تحقیقات مخابرات ایران به کار مشغول بود و پس از آن مدرک دکترای مهندسی برق- الکترونیک خود را در سال ۱۳۹۳ از دانشگاه تهران دریافت نمود. ایشان طی این دوره، فرصت مطالعاتی خود را در دانشگاه ایلینوی (UIUC) آمریکا سپری نمود. دکتر قلی‌پور از سال ۱۳۹۳ به عنوان عضو هیأت علمی در دانشگاه صنعتی نوشیروانی بابل مشغول به فعالیت است. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم‌توان، نانوالکترونیک و مدل‌سازی افزاره‌های نانو- مقیاس است.