

# نوسان ساز کنترل شونده با ولتاژ به همراه شرایط راه اندازی قوی و نویز فاز کم برای کاربردهای باند $K$

مصطفی کاتبی، عباس نصری، سیروس طوفان و حبیب‌الله زلفخانی

همچنین یکی دیگر از این ساختارها، نوسان ساز کولپیتس است که به دلیل توان مصرفی کم مورد استفاده قرار می‌گیرد [۴] تا [۶]. در طراحی نوسان ساز کنترل شونده با ولتاژ، ساختارهای مختلفی در باند  $K$  (۱۸ گیگاهرتز الی ۲۶٫۵ گیگاهرتز) ارائه شده است [۷] تا [۱۶]. در [۷] از یک نوسان ساز به صورت قفل شده با تزریق<sup>۱</sup> ولتاژ، از طریق یک بالن<sup>۲</sup> استفاده شده است. این مدار گستره فرکانسی بالایی در حدود ۲ گیگاهرتز دارد ولی نویز فاز خوبی ندارد. در [۱۱] از زوج ضربدری NMOS همراه با یک ترانزیستور PMOS به عنوان منبع جریان استفاده شده است. این مدار توان مصرفی کمی دارد اما مشکل اصلی این مدار نویز فاز نامناسب آن است. در [۱۲] از زوج ضربدری NMOS برای آسان کردن شرایط راه اندازی و بهبود نویز فاز و برای تغییر فرکانس از خازن‌های متغیر ترانزیستور PMOS استفاده شده است. ترانزیستورهای PMOS به دلیل داشتن نویز فلیکر کمتر باعث کاهش تأثیر نویز در خروجی می‌شوند و این عمل سبب بهبود نویز فاز مدار می‌گردد اما گستره فرکانسی در مدار ارائه شده در [۱۲] بسیار کم است.

در این مقاله ساختار جدیدی از نوسان سازهای کنترل شونده با ولتاژ سلفی- خازنی به صورت ترکیبی از زوج ضربدری و کولپیتس برای بهره‌مندی از مزایای دو ساختار معرفی می‌شود. طراحی ساختار کولپیتس را می‌توان با توان پایین انجام داد اما مشکل این ساختار شرایط راه اندازی سخت آن می‌باشد. در ساختار زوج ضربدری نویز فاز و شرایط راه اندازی نسبت به ساختارهای دیگر بهتر است و بنابراین استفاده از ساختار ترکیبی (ساختار زوج ضربدری و کولپیتس) باعث می‌شود که بتوان مدار را با توان پایین، شرایط راه اندازی آسان و نویز فاز مناسب طراحی کرد. در واقع با استفاده از این ساختار می‌توان مشکل راه اندازی سخت در نوسان ساز کولپیتس و توان نسبتاً بالا در نوسان ساز زوج ضربدری را جبران نمود. همچنین در این ساختار جهت بهبود شرایط راه اندازی از ۲ سلف در بین ساختار زوج ضربدری و ساختار کولپیتس استفاده شده است. نوسان ساز کنترل شونده با ولتاژ ارائه شده برای پوشش رادار باند  $K$  (۲۴ الی ۲۴٫۲۵ گیگاهرتز) طراحی شده است. مدار طراحی شده از نظر نویز فاز و شرایط راه اندازی بهبود پیدا کرده و زمان پایداری نوسانات در آن کاهش یافته که این کار در فناوری TSMC  $0.18 \mu\text{m}$  CMOS تحلیل و شبیه‌سازی شده است.

ساختار مقاله در ادامه به شرح است: در بخش دوم قسمت‌های مختلف مدار پیشنهادی و نحوه طراحی آنها مورد بررسی قرار گرفته است. در بخش سوم نتایج شبیه‌سازی ارائه و با کارهای دیگران مقایسه می‌شود و نهایتاً بخش چهارم به نتیجه‌گیری از مقاله می‌پردازد.

چکیده: در این مقاله طراحی و شبیه‌سازی یک نوسان ساز کنترل شونده با ولتاژ برای کاربردهای باند  $K$  ارائه شده است. در طراحی این مدار از ترکیب ساختارهای زوج ضربدری و کولپیتس برای بهره‌مندی از مزایای آنها به صورت هم‌زمان استفاده شده است. با به کارگیری ترکیب این دو ساختار در مدار پیشنهادی، شرایط راه اندازی و نویز فاز آن بهبود یافته است. همچنین با قراردادن دو سلف در میان ساختار زوج ضربدری و ساختار کولپیتس، ترانسپانسی مؤثر نوسان ساز کنترل شونده با ولتاژ افزایش یافته و شرایط راه اندازی بهتر شده است. این مدار با استفاده از بانک خازنی سوئیچ شونده، گستره فرکانسی زیادی را پوشش می‌دهد. نتایج شبیه‌سازی نوسان ساز پیشنهادی، بیانگر این است که مدار برای فرکانس ۲۴٫۲۵ گیگاهرتز در اکت ۱ مگاهرتز، دارای نویز فاز  $120 \text{ dBc/Hz}$  و ضریب شایستگی  $195.67 \text{ dBc/Hz}$  است. گستره فرکانسی پوشش داده شده توسط این نوسان ساز کنترل شونده با ولتاژ  $1/4$  گیگاهرتز و گستره تنظیم آن در حدود  $5/7\%$ ، حول فرکانس مرکزی است. مدار پیشنهادی دارای ابعاد جانمایی  $0.335 \mu\text{m}^2$  و فناوری CMOS  $0.18 \mu\text{m}$  TSMC با منبع تغذیه  $1.5 \text{ V}$  و توان مصرفی  $15.92 \text{ mW}$  است.

کلیدواژه: نوسان ساز کنترل شونده با ولتاژ، زوج ضربدری، کولپیتس، نویز فاز.

## ۱- مقدمه

نوسان سازهای کنترل شونده با ولتاژ یکی از مهم‌ترین بلوک‌ها برای تولید سیگنال متناوب در سیستم‌های فرکانس رادیویی می‌باشند. مهم‌ترین پارامترهای یک نوسان ساز کنترل شونده با ولتاژ نویز فاز، توان مصرفی، شرایط راه اندازی و گستره فرکانسی هستند.

در طراحی نوسان سازهای کنترل شونده با ولتاژ از دو ساختار حلقوی یا مدارهای تشدید سلفی- خازنی استفاده می‌شود [۱] تا [۳]. هر چند طراحی و پیاده‌سازی ساختار حلقوی در فرکانس‌های پایین راحت‌تر می‌باشد، اما طراحی این ساختار با نویز فاز مناسب برای فرکانس‌های بالا تقریباً غیر ممکن است [۲]. همچنین کارایی این ساختار از نظر نویز نسبت به انواع سلفی- خازنی در درجه پایین‌تری قرار دارد [۱] تا [۳]. ساختارهای سلفی- خازنی انواع گوناگونی دارند. ساختار زوج ضربدری به علت مزیت‌هایی از قبیل شرایط راه اندازی ساده و نویز فاز خوب، بیشتر استفاده می‌شود [۲].

این مقاله در تاریخ ۳ اردیبهشت ماه ۱۳۹۷ دریافت و در تاریخ ۱۸ مهر ماه ۱۳۹۷ بازنگری شد.

مصطفی کاتبی (نویسنده مسئول)، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: mostafa.katebi@znu.ac.ir).

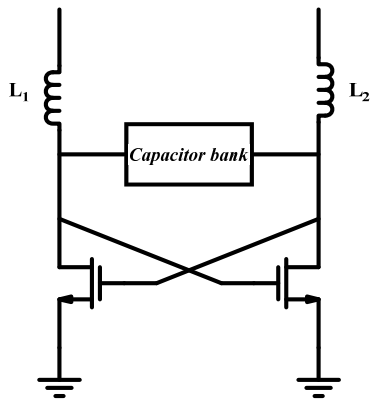
عباس نصری، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: abbas.nasri@znu.ac.ir).

سیروس طوفان، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: s.toofan@znu.ac.ir).

حبیب‌الله زلفخانی، دانشکده مهندسی برق، دانشگاه زنجان، زنجان، ایران، (email: h.zolfkhani@znu.ac.ir).

1. Injection-Locked

2. Ballun



شکل ۲: ساختار افزایشنده ترانسسانیایی.

که در آن  $V_{th}$  و  $V_{GS}$ ،  $L$ ،  $W$ ،  $C_{ox}$ ،  $\mu_n$ ،  $I_D$  به ترتیب بیانگر جریان درین ترانزیستور، ضریب تحرک پذیری الکترون ها، خازن اکسید، عرض ترانزیستور، طول ترانزیستور، ولتاژ گیت-سورس و ولتاژ آستانه ترانزیستور می باشند. بنابراین در طراحی مقدار ولتاژ گیت-سورس ترانزیستورها (با توجه به ولتاژ آستانه) طوری در نظر گرفته شده که مقدار  $V_{GS} - V_{th}$  آنها برابر باشند.

### ۲-۱ اندازه ترانزیستورها

اولین قدم برای طراحی نوسان ساز کنترل شونده با ولتاژ، انتخاب مناسب اندازه ترانزیستورها است. برای این کار اندازه ترانزیستورها با توجه به جریان عبوری از آنها تعیین می شود. مقدار جریان باید طوری باشد که ترانسسانیایی مناسب برای مقابله با مقاومت تلفاتی را ایجاد کند. برای داشتن شرایط راه اندازی بایستی رابطه زیر برقرار باشد

$$G_m \geq G_p \quad (2)$$

که در آن  $G_m$  و  $G_p$  به ترتیب بیانگر ترانسسانیایی تلفاتی مدار تشدید و ترانسسانیایی ترانزیستور می باشند.  $G_m$  ترانزیستور به صورت زیر بیان می شود [۱۷]

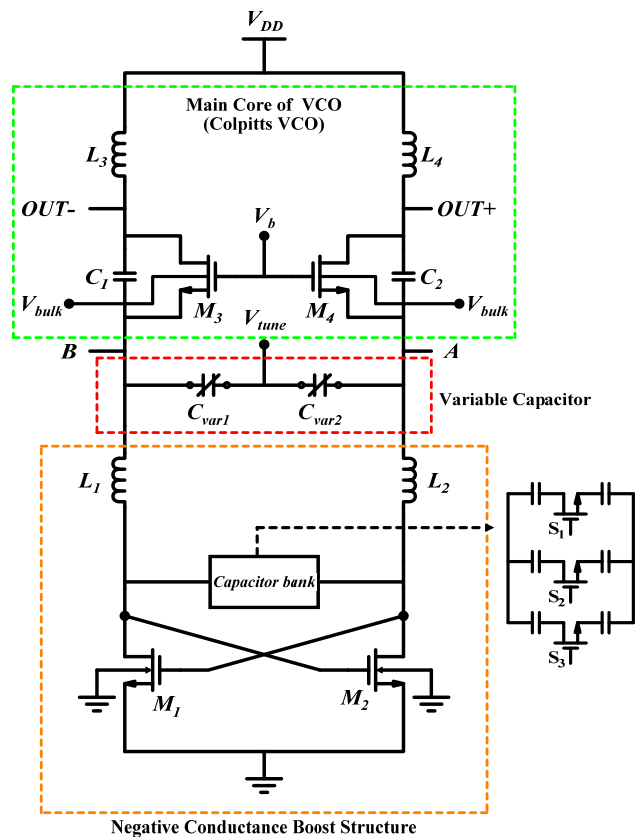
$$G_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (3)$$

که در آن  $L$  و  $W$ ،  $C_{ox}$ ،  $\mu_n$ ،  $I_D$  به ترتیب بیانگر جریان درین ترانزیستور، ضریب تحرک پذیری الکترون ها، خازن اکسید، عرض ترانزیستور و طول ترانزیستور می باشند.

### ۲-۲ افزایش ترانسسانیایی و بهبود شرایط راه اندازی

فراهم کردن ترانسسانیایی منفی جهت راه اندازی نوسان سازهای کنترل شونده با ولتاژ با استفاده از ولتاژ تغذیه پایین، دشوار است. با توجه به (۲) باید اندازه ترانزیستورها افزایش داده شود که باعث ایجاد خازن های پارازیتی بیشتر می گردد. همچنین ولتاژ تغذیه پایین باعث کاهش سوئیچینگ خروجی می شود [۱۸] تا [۲۱]. در این کار برای جلوگیری از مشکلات بیان شده و بهتر کردن شرایط راه اندازی، طبق شکل ۲ از دو سلف ( $L_{1-2}$ ) بین ساختار زوج ضربدری و کولپیتس استفاده شده است.

نیم مدار معادل ساختار افزایشنده ترانسسانیایی در شکل ۳ نمایش داده شده است. با توجه به شکل ۳ ترانسسانیایی منفی کل ( $-G_{m_{total}}$ ) به صورت (۴) به دست می آید



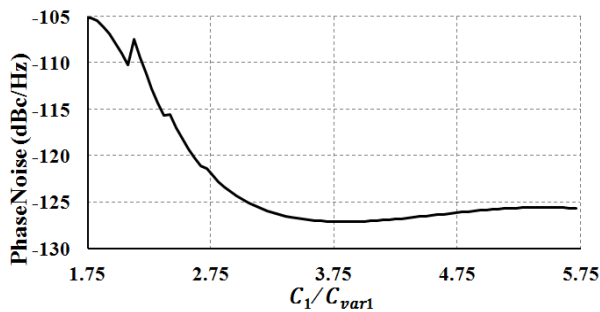
شکل ۱: نوسان ساز کنترل شونده با ولتاژ پیشنهادی.

### ۲- مدار پیشنهادی

شکل ۱ نمای کلی از نوسان ساز کنترل شونده با ولتاژ پیشنهادی را نشان می دهد. در این مقاله از ساختار زوج ضربدری و کولپیتس برای بهره وری از مزایای دو ساختار به صورت هم زمان استفاده شده است. تمام ترانزیستورهای مورد استفاده این مدار در ناحیه اشباع قرار دارند. همان طور که در شکل ۱ مشخص است، در قسمت بالای این مدار از ساختار کولپیتس و در قسمت پایین این مدار از ساختار زوج ضربدری استفاده شده است. برای تغییر فرکانس از خازن های متغیر در بین ساختار زوج ضربدری و ساختار کولپیتس استفاده شده است. همان طور که در ادامه توضیح داده خواهد شد برای بهتر شدن شرایط راه اندازی دو روش به کار گرفته شده است. روش نخست این که دو سلف در میان ساختار زوج ضربدری و ساختار کولپیتس قرار داده شده است و روش بعد اعمال ولتاژ به بدنه ترانزیستورها در ساختار کولپیتس می باشد. همچنین برای افزایش گستره فرکانسی از یک بانک خازنی ساده در قسمت بالای زوج ضربدری استفاده شده است.

در مدار پیشنهادی ولتاژ آستانه ترانزیستورهای  $M_{r-f}$  و  $M_{1-2}$  برابر نیست. زیرا همان طور که در ادامه توضیح داده خواهد شد ولتاژ آستانه ترانزیستورهای  $M_{r-f}$  برای بهتر شدن شرایط راه اندازی با اعمال یک ولتاژ به بدنه این ترانزیستورها کاهش یافته است. همچنین باید توجه داشت با وجود متفاوت بودن ولتاژ آستانه ترانزیستورها، جریان درین ترانزیستورهای  $M_{1-2}$  و  $M_{r-f}$  با هم برابرند. زیرا طبق (۱) برای ایجاد جریان برابر باید مقدار  $V_{GS} - V_{th}$  در ترانزیستورها یکسان باشند

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (1)$$



شکل ۵: شبیه‌سازی نویز فاز برای نسبت‌های مختلف خازن‌های  $C_1/C_{var1}$ .

نوسان‌ساز کنترل‌شونده با ولتاژ را فراهم نمود. در نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی، ولتاژی به اندازه  $0.4 V_T$  ولت ( $V_T < 0.4 V_T$ ) که ولتاژ آستانه دیود بدنه-سورس و بدنه-درین می‌باشد) به بدنه ترانزیستورها اعمال شده تا ولتاژ آستانه کمتر شود. همان‌طور که در شکل ۱ مشخص است به بدنه ترانزیستورهای  $M_{p-f}$  ولتاژ اعمال شده است. این نکته حایز اهمیت است که برای انجام عمل ایزولاسیون بدنه، از ترانزیستورهای Deep n-Well استفاده گردیده است.

### ۲-۳ نویز فاز

نویز فاز یکی از مهم‌ترین پارامترها و معیارهای سنجش در نوسان‌سازهای کنترل‌شونده با ولتاژ است. نویز فلیکر ترانزیستورها و تغییرات سوئیچینگ ولتاژ خروجی تأثیر زیادی در نویز فاز دارد [۲۲]. نویز فاز در نوسان‌سازها توسط رابطه زیر تعریف می‌شود [۴]

$$L(\Delta f) = \frac{FkT}{2P_{avs}} \left[ 1 + \frac{f_c}{\Delta f} + \left( \frac{f_o}{2\Delta f Q_L} \right)^2 \left( 1 + \frac{f_c}{\Delta f} \right) \right] \quad (7)$$

در رابطه بالا  $Q_L$ ،  $\Delta f$ ،  $f_o$ ،  $f_c$ ،  $T$ ،  $P_{avs}$ ،  $F$  و  $K$  به ترتیب معرف ضریب کیفیت سلف، آفست فرکانسی، فرکانس مرکزی، فرکانس گوشه عناصر فعال مدار، دما، توان متوسط عبوری از تشدیدکننده، ضریب نویز عناصر و ثابت بولتزمن هستند.

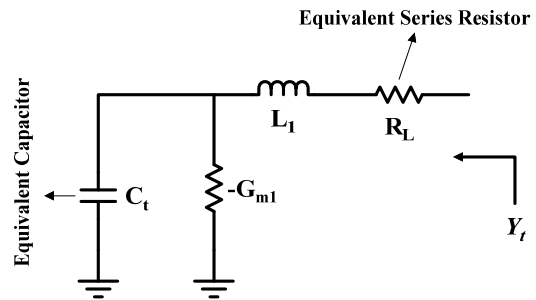
برای نشان‌دادن چگونگی تأثیر پارامترها بر روی نویز فاز، از یک مدل ساده به صورت شکل ۴ استفاده شده است [۲۳]. در این مدل ترانزیستورهای زوج ضریبی نقش منبع جریان دم را دارند و نویز فلیکر آنها بر روی خروجی اثر می‌گذارد و باعث خرابی نویز فاز می‌شود.

با توجه به شکل ۴ مشخص است نویزی را که بر روی خروجی تأثیر می‌گذارد می‌توان با کاهش نسبت خازن‌های  $C_1/C_{var1}$  و  $C_2/C_{var2}$  بهبود داد. نویز فاز خروجی برای نسبت‌های مختلف خازن‌های  $C_1/C_{var1}$  شبیه‌سازی و در شکل ۵ نمایش داده شده است.

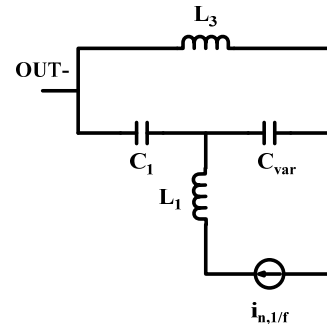
همان‌طور که در شکل ۵ مشخص است با افزایش نسبت  $C_1/C_{var1}$  ابتدا نویز فاز بهبود می‌یابد و برای  $C_1/C_{var1} \geq 2.75$  مقدار نویز فاز چندان تغییر نمی‌کند. با توجه به این که مقدار خازن‌های  $C_1$  و  $C_{var}$  در تنظیم فرکانس خروجی تأثیر دارند، در این مقاله برای داشتن نویز فاز بهینه در فرکانس مورد نظر نسبت  $C_1/C_{var1} = 2.6$  در نظر گرفته شده است (دلیل انتخاب نسبت ۲٫۶، یک مصالحه بین نویز فاز، فرکانس خروجی و اندازه خازن می‌باشد).

### ۲-۴ تحلیل شرایط و فرکانس نوسان

در نوسان‌ساز کنترل‌شونده با ولتاژ معرفی‌شده در شکل ۱، قسمت اصلی مدار را نوسان‌ساز کولپیتس، طبق شکل ۶ تشکیل می‌دهد. شرط راه‌اندازی در نوسان‌ساز کولپیتس از (۸) پیروی می‌کند [۲۲]



شکل ۳: نیم‌مدار معادل ساختار افزایشده ترانسانایی.



شکل ۴: نیم‌مدار معادل برای مدل کردن نویز در خروجی.

$$-G_{m_{total}} = \text{Re}[Y_t] = \frac{R_L C_t \omega^2 + (R_L G_{m1} - G_{m1})}{L_1 C_t \omega^2 + (L_1 G_{m1} - 2L_1 C_t + R_L C_t) \omega^2 + (1 - R_L G_{m1})} \quad (4)$$

با توجه به این که در (۴)  $R_L C_t \omega^2 \ll G_{m1}$ ،  $R_L G_{m1} \ll 1$  و  $L_1 G_{m1} \ll 2L_1 C_t$  است بنابراین (۴) به صورت زیر ساده می‌شود

$$-G_{m_{total}} = \text{Re}[Y_t] = \frac{-G_{m1}}{(1 - L_1 C_t \omega^2)^2} \quad (5)$$

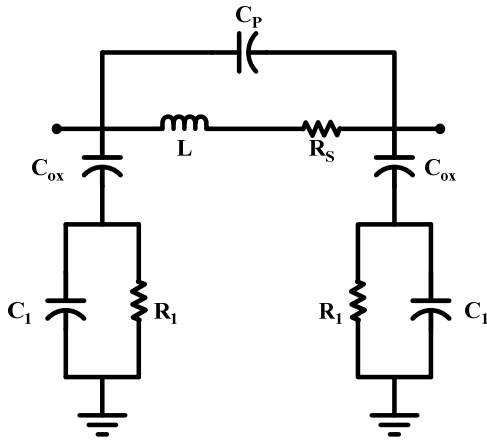
با توجه به این که  $L_1 C_t \omega^2 < 1$  است، بنابراین با افزایش مقدار سلف مخرج کوچک‌تر شده و در نتیجه مقدار ترانسانایی مؤثر افزایش می‌یابد و شرایط راه‌اندازی بهتر می‌شود.

روش دیگری که برای افزایش ترانسانایی مؤثر و بهبود شرایط راه‌اندازی در این مقاله استفاده شده اعمال ولتاژ به بدنه ترانزیستورها ( $M_{p-f}$ ) و کم‌کردن ولتاژ آستانه است. مقدار ترانسانایی ترانزیستور با توجه به (۶) به دست می‌آید

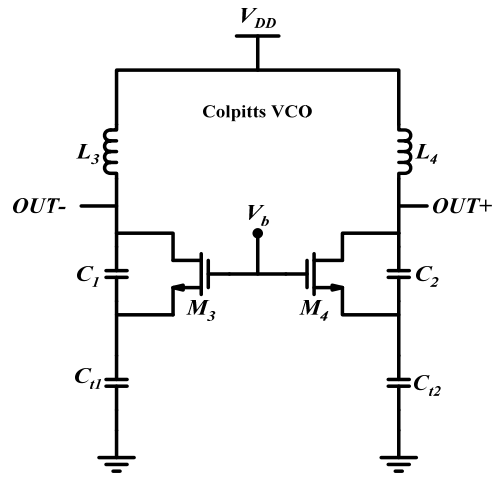
$$G_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \sqrt{2\mu_n C_{ox} \frac{W}{L} \frac{1}{2} \mu_n C_{ox} \frac{\omega}{L} (V_{GS} - V_{th})^2} = \mu_n C_{ox} \frac{W}{L} \{V_{GS} - [V_{t_o} + \gamma(\sqrt{2\phi_f} - V_{BS} - \sqrt{2\phi_f})]\} \quad (6)$$

که  $\mu_n$ ،  $C_{ox}$ ،  $W$ ،  $L$ ،  $V_{GS}$ ،  $V_{t_o}$ ،  $\gamma$ ،  $\phi_f$  و  $V_{BS}$  به ترتیب ضریب تحرک الکترون‌ها، خازن اکسید، عرض ترانزیستور، طول ترانزیستور، ولتاژ گیت-سورس، ولتاژ آستانه در حالتی که ولتاژ بدنه صفر باشد، مقدار ولتاژ آستانه بدنه ترانزیستور، مقدار پتانسیل سطحی در ناحیه وارونگی شدید و ولتاژ بدنه-سورس می‌باشند.

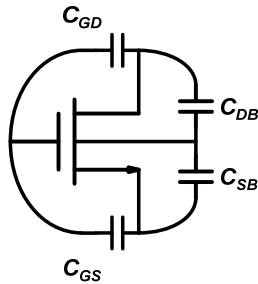
همان‌طور که از (۶) مشخص است با اعمال ولتاژ به بدنه ترانزیستور، ترانسانایی افزایش یافته و شرایط نوسان بهبود می‌یابد. با این روش می‌توان با ترانزیستور کوچک‌تر و فضای اشغالی کمتر، شرایط راه‌اندازی



شکل ۷: مدل واقعی سلف [۲۲].



شکل ۸: نوسان ساز کولپیتس.



شکل ۹: خازن های ترانزیستور.

که در آن  $g_{m\tau}$  ترانسپانسی ترانزیستور  $M_\tau$  و  $R_{p\tau}$  مقاومت معادل موازی با سلف  $L_\tau$  می باشد. همچنین  $C_1$  و  $C_{1\tau}$  خازن های تبدیل امپدانس و ایجادکننده فیدبک مثبت در نوسان ساز هستند. در (۸)  $C_{1\tau}$  و  $C_{\tau\tau}$  خازن های معادل دیده شده از گره های A و B (در شکل ۱) می باشند. با توجه به مطالب بیان شده برای طراحی نوسان ساز کنترل شونده با ولتاژ، باید خازن های پارازیتی در نظر گرفته شوند. فرکانس نوسان مدار معرفی شده نیز طبق (۹) به دست می آید [۲۲]

$$g_{m\tau} R_{p\tau} \geq \frac{C_{1\tau}}{C_1} + \frac{C_{\tau\tau}}{C_{1\tau}} + 2 \quad (8)$$

$$f = \frac{1}{2\pi\sqrt{L_{total}C_{total}}} \quad (9)$$

در رابطه مذکور  $L_{total}$  و  $C_{total}$  به ترتیب سلف و خازن معادل در گره خروجی مدار نوسان ساز نشان داده شده در شکل ۶ می باشند.

برای محاسبه فرکانس نوسان در نوسان ساز کنترل شونده با ولتاژ، نیاز به محاسبه خازن دیده شده از گره خروجی است. به همین منظور جهت محاسبه دقیق باید خازن های پارازیتی المان های مدار در نظر گرفته شوند. سلف ها تأثیر زیادی بر فرکانس نوسان دارند زیرا علاوه بر این که خودشان تأثیر مستقیم بر فرکانس نوسان دارند، خازن های پارازیتی تولیدی آنها نیز بر فرکانس نوسان تأثیر می گذارد.

در مدار طراحی شده از سلف های مارپیچ استفاده شده که مدار معادل آن در شکل ۷ نشان داده شده است [۲۲]. در این ساختار مقدار سلف از (۱۰) به دست می آید [۲۲]

$$L \approx \frac{37.5\mu N^2 a^2}{11D - 14a} \quad (10)$$

در رابطه فوق،  $\mu$  میزان تحرک پذیری در خلأ،  $N$  تعداد دور،  $a$  میزان فاصله مرکز سلف تا وسط سیم پیچ و  $D$  قطر سیم پیچ است. مقادیر این خازن های پارازیتی از (۱۱) تا (۱۳) به دست می آیند [۲۲]

$$C_{ox} = WL \frac{\epsilon_{ox}}{t_{ox}} \quad (11)$$

$$C_p = NW^2 L \frac{\epsilon_{ox}}{t_{ox}} \quad (12)$$

$$C_1 = \frac{2}{WLC_{sub}} \quad (13)$$

$$R_s = \frac{L}{W\sigma\delta(1 - e^{-\frac{t}{\delta}})} \quad (14)$$

$$R_1 = \frac{WLC_{sub}}{2} \quad (15)$$

که در آن  $W$ ،  $L$ ،  $\sigma$ ،  $C_{sub}$ ،  $t$  و  $\delta$  به ترتیب بیانگر عرض فلز، کل طول سیم پیچ، تعداد دور، خازن بدنه، ضریب گذردهی الکتریکی سیلیکون دی اکسید و ضخامت اکسید می باشند. همچنین مقدار مقاومت ها نیز از (۱۴) و (۱۵) محاسبه می شوند [۲۲]

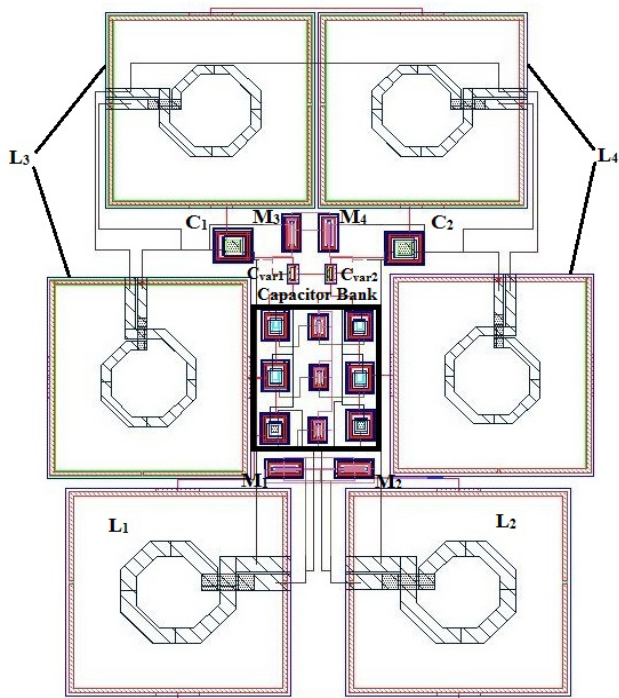
ترانزیستورهای مورد استفاده در مدار به دلیل تولید خازن های پارازیتی در تعیین فرکانس نوسان نقش دارند. نمای کلی از خازن های پارازیتی ترانزیستور در شکل ۸ نشان داده شده است. اغلب در طراحی ها خازن های گیت-درین و گیت-سورس در نظر گرفته می شوند و از دیگر خازن ها صرف نظر می گردد.

از آنجا که ترانزیستورهای مورد استفاده در ناحیه اشباع بایاس شده اند، لذا با استفاده از (۱۶) و (۱۷) مقدار خازن های گیت-سورس و گیت-درین به دست می آیند [۲۲]

$$C_{GS} = [C_{GSO} + \frac{2}{3}C_{ox}L]W \quad (16)$$

$$C_{GD} = C_{GDO}W \quad (17)$$

1. Metal
2. Skin Depth



شکل ۱۰: طرح جانمایی مدار پیشنهادی.

با توجه به مقدار خازن کل به دست آمده از (۲۲)، فرکانس نوسان از (۹) به دست می‌آید. همچنین خازن  $C_{T1}$  در (۸) که مربوط به شرط نوسان است برابر با خازن معادل  $C_{eq3}$  می‌باشد. بنابراین با استفاده از روابط بیان شده می‌توان شرایط نوسان را مهیا نمود. مقادیر تمامی پارامترهای مداری نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی در جدول ۱ آمده است.

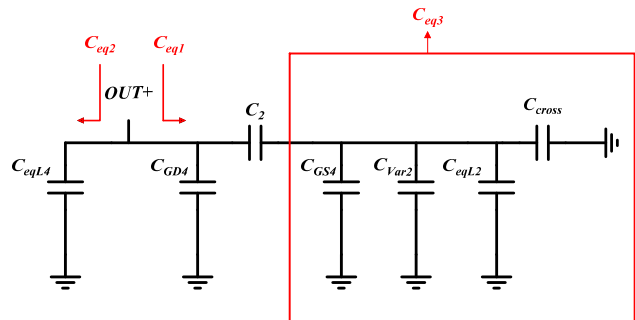
### ۳- نتایج شبیه‌سازی

نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی با مقادیر بیان‌شده در جدول ۱ در فناوری TSMC  $0.18 \mu\text{m}$  CMOS توسط نرم‌افزار Cadence شبیه‌سازی شد (نتایج شبیه‌سازی استخراج‌شده از جانمایی<sup>۱</sup> آمده است). شکل ۱۰ طرح جانمایی<sup>۲</sup> مدار پیشنهادی را نشان می‌دهد که ابعاد این طرح برابر با  $0.335 \mu\text{m}^2$  است. نتایج شبیه‌سازی مستخرج از جانمایی نشان می‌دهد که توان مصرفی نوسان‌ساز در فرکانس  $24/25$  گیگاهرتز با ولتاژ تغذیه  $1/5$  ولت برابر  $15/92$  میلی‌وات است.

شکل ۱۱ نمودار ولتاژ خروجی مدار در حوزه زمان را نشان می‌دهد. همان‌طور که مشاهده می‌شود، دامنه قله خروجی دو سر مدار به صورت دیفرانسیلی در حدود  $2/5$  ولت است. همچنین زمان رسیدن به نوسانات پایدار با ولتاژ تغذیه  $1/5$  ولت در حدود  $1$  نانوثانیه می‌باشد.

شکل ۱۲ تغییرات فرکانس بر حسب ولتاژ تنظیم در حالت‌های مختلف کلیدزنی را نشان می‌دهد. همان‌طور که مشاهده می‌شود، نوسان‌ساز کنترل‌شونده با ولتاژ گستره فرکانسی از  $23/6$  تا  $25$  گیگاهرتز را پوشش می‌دهد. هنگامی که همه سوئیچ‌ها خاموش هستند ( $S_1, S_2, S_3 = 000$ ) بازه فرکانسی از  $24/15$  تا  $24/91$  گیگاهرتز به ازای ولتاژ تنظیم  $0$  تا  $1/5$  ولت است. زمانی که همه سوئیچ‌ها روشن هستند ( $S_1, S_2, S_3 = 111$ ) تغییرات فرکانس بین  $23/6$  تا  $24/05$  گیگاهرتز است و بنابراین گستره تنظیم<sup>۳</sup> نوسان‌ساز کنترل‌شونده ولتاژ در حدود  $5/7\%$  حول فرکانس مرکزی است.

1. Post-Layout Simulation
2. Layout
3. Tuning Range



شکل ۹: نیم‌مدار معادل خازنی نوسانگر پیشنهادی.

جدول ۱: مقادیر طراحی شده برای نوسان‌ساز پیشنهادی.

پارامترهای مدار	مقادیر
$(\frac{W}{L})_{1-2}$	$50 \mu\text{m}$
$(\frac{W}{L})_{3-4}$	$0.18 \mu\text{m}$
$C_{Var}$	$93 \sim 122 \text{ fF}$
$C_{1-2}$	$282 \text{ fF}$
$L_{1-2}$	$310 \text{ pH}$
$L_{3-4}$	$127 \text{ pH}$
$V_{DD}$	$1.5 \text{ V}$
$V_b$	$1.8 \text{ V}$
$V_{bulk}$	$0.4 \text{ V}$

که در آن  $C_{ox}$ ،  $C_{GDO}$ ،  $C_{GSO}$ ،  $C_{GD}$ ،  $C_{GS}$  خازن‌های گیت-سورس، گیت-درین، خازن هم‌پوشانی گیت-سورس، خازن هم‌پوشانی گیت-درین و خازن اکسید می‌باشند. همچنین  $W$  و  $L$  نیز به ترتیب معرف عرض و طول ترانزیستور هستند.

زوج ضربدری قرارگرفته در طبقه پایین نیز به سبب تولید خازن‌های پارازیتی، بر فرکانس نوسان و شرایط نوسان تأثیرگذار است. خازن معادل دیده‌شده از زوج ضربدری از (۱۸) به دست می‌آید [۲۲]

$$C_{cross} = C_{GS} + 4C_{GD} \quad (18)$$

که خازن‌های  $C_{GD}$  و  $C_{GS}$  به ترتیب نشان‌دهنده خازن گیت-سورس و خازن گیت-درین ترانزیستورهای زوج ضربدری می‌باشند. با در نظر گرفتن خازن‌های پارازیتی، نیم‌مدار معادل خازنی نوسان‌گر پیشنهادی به صورت شکل ۹ به دست می‌آید.

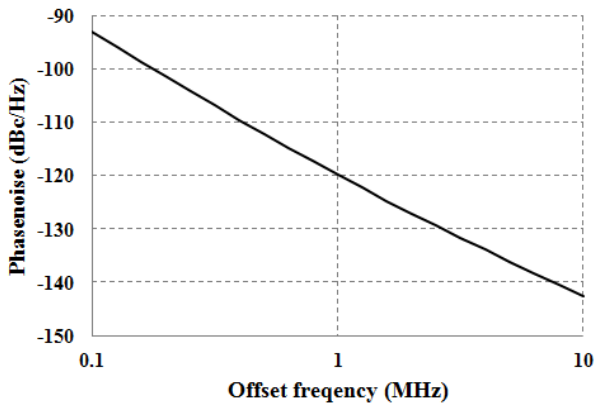
در این شکل  $C_{cross}$  خازن معادل دیده‌شده از زوج ضربدری و خازن‌های تنظیم گسسته،  $C_{eqL2}$  و  $C_{eqL4}$  خازن‌های معادل سلف  $L_2$  و  $L_4$ ،  $C_{var2}$  معرف خازن متغیر، و  $C_{GS4}$  و  $C_{GD4}$  به ترتیب خازن‌های گیت-سورس و گیت-درین ترانزیستور  $M_4$  و  $C_2$  خازن ثابت مربوط به نوسان‌ساز کولپیتس می‌باشند. با توجه به شکل ۹، یکایک خازن‌های معادل دیده‌شده از سر خروجی طبق (۱۹) تا (۲۲) به دست می‌آیند

$$C_{eq3} = C_{cross} + C_{eqL2} + C_{var2} + C_{GS4} \quad (19)$$

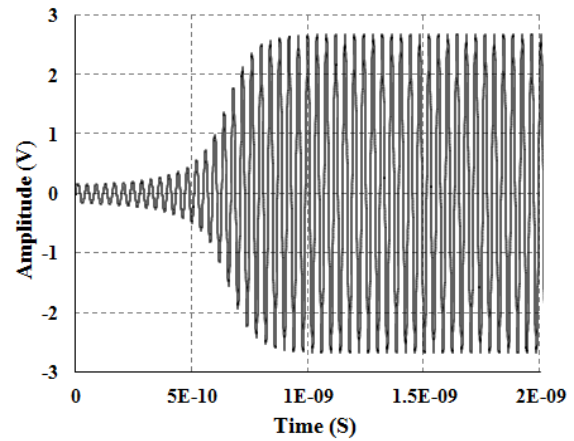
$$C_{eq1} = \frac{C_2 C_{eq3}}{C_2 + C_{eq3}} + C_{GD4} \quad (20)$$

$$C_{eq2} = C_{eqL4} \quad (21)$$

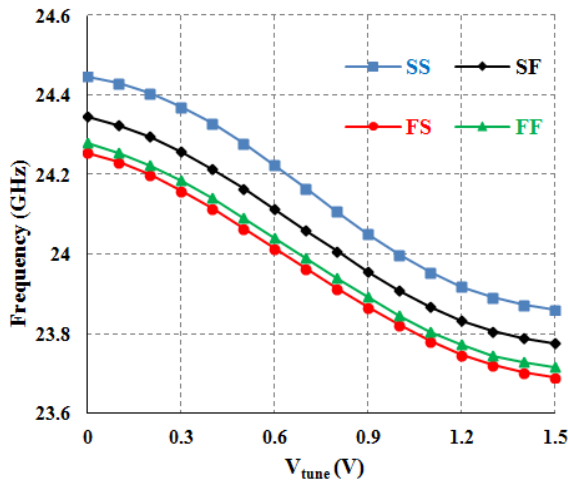
$$C_{Total} = C_{eq1} + C_{eq2} \quad (22)$$



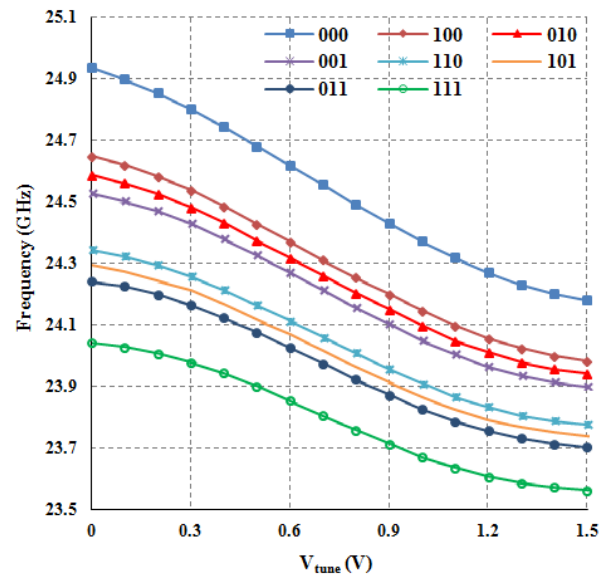
شکل ۱۴: نویز فاز نوسان ساز پیشنهادی در فرکانس ۲۴/۲۵ گیگاهرتز.



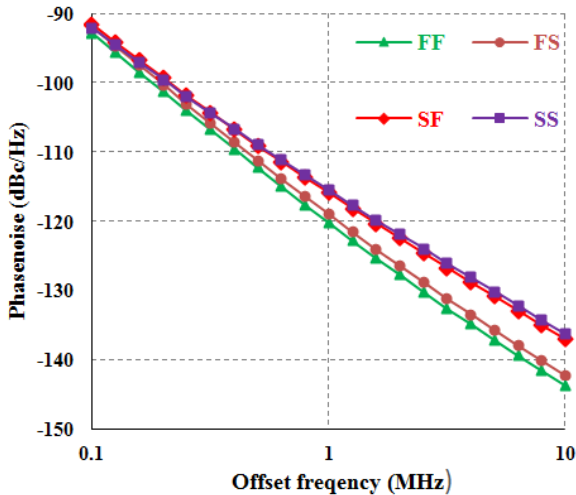
شکل ۱۱: خروجی مدار در حوزه زمان.



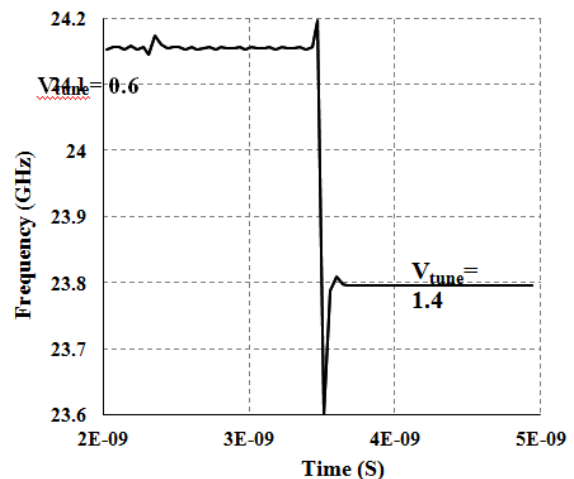
شکل ۱۵: نتایج شبیه سازی گستره فرکانسی در گوشه های مختلف.



شکل ۱۲: محدوده تغییرات فرکانس نوسان ساز.



شکل ۱۶: نتایج شبیه سازی نویز فاز در گوشه های مختلف.

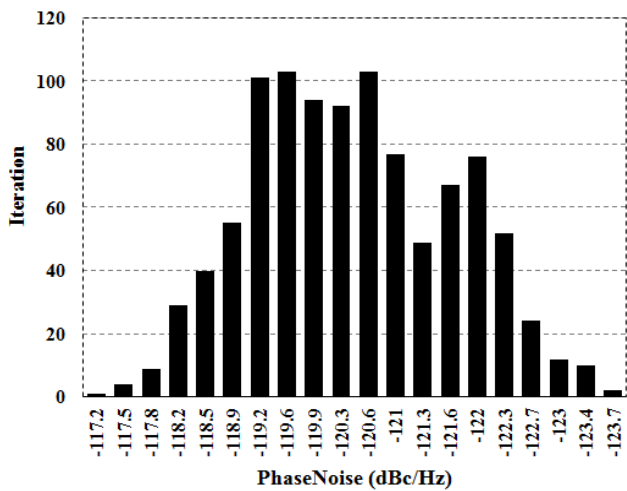


شکل ۱۳: تغییرات فرکانس به ازای ورودی پله.

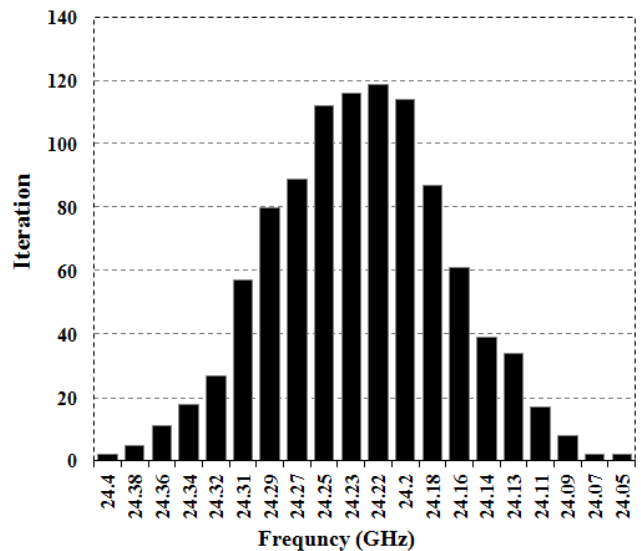
فرکانسی ۱۰۰ کیلوهرتز، ۱ مگاهرتز و ۱۰ مگاهرتز به ترتیب برابر  $-95 \text{ dBc/Hz}$ ،  $-120 \text{ dBc/Hz}$  و  $-142 \text{ dBc/Hz}$  است.

شکل های ۱۵ و ۱۶ نتایج شبیه سازی تغییرات فرکانس نوسان و نویز فاز را در گوشه های مختلف پروسه برای فرکانس مرکزی ۲۴/۲۵ گیگاهرتز نشان می دهند. با توجه به این نمودارها، بیشینه مقدار تغییرات در گوشه ها از حالت معمول (TT) برای گستره فرکانسی در حدود ۰/۶٪ و برای نویز فاز ۴٪ است.

شکل ۱۳ تغییرات فرکانس خروجی را برای حالت  $S_1 S_2 S_3 = 110$  سوئیچ ها به ازای ورودی پله برای ولتاژ کنترلی نشان می دهد. همان طور که در شکل مشخص است به ازای تغییر ولتاژ تنظیم ( $V_{tune}$ ) از مقدار ۰/۶ ولت به مقدار ۱/۴ ولت، مدت زمان تغییر فرکانس ۰/۱۷ نانوثانیه است. نتایج شبیه سازی نویز فاز نوسان ساز در فرکانس ۲۴/۲۵ گیگاهرتز در شکل ۱۴ آمده است. مطابق شکل، نویز فاز نوسان ساز در آفست های



شکل ۱۸: نمودار هیستوگرام نویز فاز در آفست ۱ مگاهرتز در فرکانس مرکزی برای ۱۰۰۰ تکرار در شبیه‌سازی مونت کارلو.



شکل ۱۷: نمودار هیستوگرام فرکانس مرکزی برای ۱۰۰۰ تکرار در شبیه‌سازی مونت کارلو.

$$FOM = L(\Delta f) - 20 \log \frac{f}{\Delta f} + 10 \log \frac{P_{DC}}{1mW} \quad (23)$$

که در آن  $L(\Delta f)$  نویز فاز،  $\Delta f$  آفست فرکانسی،  $f$  فرکانس مرکزی نوسان‌ساز و  $P_{DC}$  توان مصرفی است. طبق (۲۳) ضریب شایستگی به دست آمده برای نوسان‌ساز پیشنهادی در حدود  $195.67 \text{ dBc/Hz}$  است. در جدول ۳ مقایسه‌ای بین مشخصات اصلی مدار پیشنهادی و برخی کارهای انجام‌شده، صورت گرفته است. با توجه به جدول مشاهده می‌شود با طراحی نوسان‌ساز کنترل‌شونده با ولتاژ به صورت کولپیتس و زوج ضربدری و همچنین با استفاده از تکنیک افزایش ترانسانایی، پارامترهای نویز فاز نسبت به کارهای دیگر بهبود یافته است. همچنین در مدار پیشنهادی گستره تنظیم نسبت به [۱۳] و [۱۶] افزایش و علاوه بر این، توان مصرفی نسبت به [۱۳] تا [۱۵] کاهش پیدا کرده است. از آنجا که معیار سنجش مدارات توسط ضریب شایستگی صورت می‌پذیرد، با توجه به جدول مشاهده می‌شود که ضریب شایستگی مدار پیشنهادی نسبت به کارهای دیگران برتری دارد. اصلی‌ترین مشخصه نوسان‌ساز، نویز فاز است. استفاده از مدارهای زوج ضربدری و کولپیتس در ساختار نوسان‌ساز کنترل‌شونده با ولتاژ پیشنهادی، باعث بهبود نویز فاز آن شده است. همچنین دلیل دیگر بهبود نویز فاز، در نظر گرفتن نسبت مناسب  $C_1/C_{var1}$  است.

### ۴- نتیجه‌گیری

در این مقاله یک نوسان‌ساز کنترل‌شونده با ولتاژ برای پوشش گستره فرکانسی رادار باند  $K$  در فناوری  $0.18 \mu\text{m CMOS}$  طراحی و شبیه‌سازی شده است. با استفاده از ترکیب ساختارهای کولپیتس و زوج ضربدری در طراحی این نوسان‌ساز، نویز فاز و شرایط راه‌اندازی بهبود یافته‌اند. همچنین با قراردادن سلف میان ساختارهای زوج ضربدری و کولپیتس شرایط راه‌اندازی بهتر شده است. علاوه بر این با در نظر گرفتن یک نسبت مناسب برای خازن‌های  $C_1$  و  $C_{var}$  نویز فاز بهبود پیدا کرده است. در این مدار برای پوشش گستره فرکانسی بالا از بانک‌های خازنی استفاده شده است. نتایج شبیه‌سازی مدار نشان می‌دهد که در فرکانس  $24.25$  گیگاهرتز، توان مصرفی مدار  $15.92$  میلی‌وات و نویز فاز در آفست فرکانسی ۱ مگاهرتز در حدود  $120 \text{ dBc/Hz}$  است. همچنین ضریب شایستگی این مدار  $195.67 \text{ dBc/Hz}$  و گستره تنظیم این مدار در حدود  $5/7\%$  در حول فرکانس مرکزی است.

جدول ۲: مقایسه گوشه‌های مختلف شبیه‌سازی.

Corners	Frequency Range (GHz) ( $S_1, S_2, S_3 = 110$ )	Phase noise @ 1 MHz (dBc/Hz)
TT	23.75 ~ 24.25	-120
SS	23.82 ~ 24.2	-115.437
SF	23.78 ~ 24.23	-115.832
FS	23.68 ~ 24.25	-118.919
FF	23.7 ~ 24.28	-120.138

در جدول ۲ نتایج شبیه‌سازی‌های گستره فرکانسی و نویز فاز برای گوشه‌های مختلفی که در اثر تغییرات پروسه به وجود می‌آیند نشان داده شده است. اعداد گزارش‌شده در این جدول بیان‌کننده گستره فرکانسی و نویز فاز در گوشه‌های مختلف و در حالت معمول فناوری (TT) هستند. با مقایسه اعداد این جدول مشاهده می‌شود که تغییرات پروسه تأثیر چندانی بر روی مشخصات نوسان‌ساز کنترل‌شونده با ولتاژ نداشته‌اند و قابل قبول هستند.

شکل ۱۷ نمودار هیستوگرام<sup>۱</sup> مربوط به شبیه‌سازی مونت کارلو<sup>۲</sup> در فرکانس مرکزی را برای ۱۰۰۰ تکرار نمایش می‌دهد. همان طور که در شکل ۱۷ مشاهده می‌شود اکثر پاسخ‌ها در حوالی فرکانس‌های  $24.2$  تا  $24.27$  گیگاهرتز می‌باشند. این نمودار نشان‌دهنده تغییرات  $0.2\%$  درصدی فرکانس مرکزی ( $24.25$  گیگاهرتز) در برابر تغییرات پروسه می‌باشد.

شکل ۱۸ نتایج شبیه‌سازی مونت کارلوی نویز فاز در فرکانس  $24.25$  گیگاهرتز و در آفست ۱ مگاهرتز را برای ۱۰۰۰ تکرار نمایش می‌دهد. با توجه به شکل ۱۸ مشاهده می‌شود که اکثریت پاسخ‌ها در اطراف نویز فاز  $120 \text{ dBc/Hz}$  به دست آمده‌اند. همچنین نویز فاز به دست آمده در بدترین حالت نیز تغییراتی در حدود  $2/3\%$  درصد نسبت به نویز فاز اصلی داشته است.

ضریب شایستگی<sup>۳</sup> مدار طبق (۲۳) بیان می‌شود [۴]

1. Histogram
2. Monte-Carlo
3. Figure of Merit

جدول ۳: مقایسه مشخصات مدار با کارهای انجام شده.

این مقاله (Post Sim)***	(Sim)** [۱۶]	(Fab)* [۱۵]	(Fab)* [۱۴]	(Fab)* [۱۳]	
۲۴٫۲۵	۲۱٫۰۲	۲۰	۲۵٫۰۵	۱۹٫۹	فرکانس (GHz)
۵٫۷	۳٫۴	۱۹	۸٫۳	۲٫۶	گستره تنظیم (%)
-۱۲۰	-۱۱۰٫۹	-۱۱۹	-۱۱۴٫۳	-۱۱۱	نویز فاز در آفست ۱ مگاهرتز (dBc/Hz)
۱۵٫۹۲	۷٫۵	۵۶	۵۰٫۴	۳۲	توان مصرفی (mW)
-۱۹۵٫۶۷	-۱۸۸٫۷	-۱۸۷	-۱۷۱	-۱۸۱٫۹	ضریب شایستگی (dBc/Hz)
۰٫۱۸ μm CMOS	۰٫۱۸ μm ۱P۶M CMOS	۵۵ nm BiCMOS	۹۰ CMOS nm	۰٫۱۸ μm CMOS	فناوری
زوج ضربه‌ری و کولپیتس	زوج ضربه‌ری مکمل	زوج ضربه‌ری	ساختار SIL	زوج ضربه‌ری	ساختار

Fabricate \*

Simulation \*\*

Post-Layout-Simulation \*\*\*

*Microelectronics and Electronics, PRIME'17*, pp. 193-196, Giardini Naxos, Italy, 12-15 Jun. 2017.

[16] N. Jahan, A. Barakat, and R. K. Pokharel, "Study of phase noise improvement of K-band VCO using additional series resonance realized by DGS resonator on CMOS technology," in *Proc. IEEE Asia Pacific Microwave Conf., APMC'17*, pp. 1014-1017, Kuala Lumpur, Malaysia, 13-16 Nov. 2017.

[17] P. E. Allen and D. T. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 2011.

[18] A. Buonomo and A. L. Schiavo, "Modeling and analysis of differential VCOs," *International J. of Circuit Theory Application*, vol. 32, no. 3, pp. 117-131, May 2004.

[19] H. H. Hsieh and L. H. Lu, "A high-performance CMOS voltage-controlled oscillator for ultra-low-voltage operations," *IEEE Trans. on Microwave Theory and Technique*, vol. 55, no. 3, pp. 467-473, Mar. 2007.

[20] H. H. Hsieh and L. H. Lu, "A V-band CMOS VCO with an admittance-transforming cross-coupled pair," *IEEE J. of Solid-State Circuits*, vol. 44, no. 6, pp. 1689-1696, May 2009.

[21] A. Tasic, W. A. Serdijn, and J. R. Long, "Resonant-inductive degeneration for manifold improvement of phase noise in bipolar LC-oscillators," *IEEE Trans. on Circuits and Systems-I, Reg. Papers*, vol. 57, no. 6, pp. 1175-1186, Dec. 2010.

[22] B. Razavi, B. Goodwin, and J. Fuller, *RF Microelectronics*, 2nd Edition, USA, Prentice Hall, 2011.

[23] J. P. Hong and S. G. Lee, "Low phase noise  $G_m$  boosted differential gate-to-source feedback Colpitts CMOS VCO," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3079-3091, Nov. 2009.

## مراجع

[1] ر. بستانی، م. انصاریان و ج. یاوند حسنی، "تحلیل عناصر پارازیتی عناصر بر عملکرد نوسان گر تزویج ضربه‌ری در محدود باند میلی متری،" *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۳، صص. ۸۷۵-۸۶۷، پاییز ۱۳۹۶.

[2] M. Hsieh and G. E. Sobelman, "Comparison of LC and ring VCOs for PLLs in a 90 nm digital CMOS Process," in *Proc. Int. SOC Design Conf.*, pp. 19-22, Jan. 2006.

[۳] م. عظیم کرمی، م. انصاریان و س. عقلی مقدم، "نوسان ساز حلقوی جدید کنترل شده با ولتاژ با استفاده از اثر میلر،" *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱، صص. ۲۲۸-۲۲۱، بهار ۱۳۹۶.

[4] T. P. Wang, "A CMOS colpitts VCO using negative-conductance boosted technology," *IEEE Trans. on Circuits and Systems-I*, vol. 58, no. 11, pp. 2623-2635, Nov. 2011.

[5] K. W. Cheng and M. Je, "A current-switching and  $g_m$ -enhanced colpitts quadrature VCO," *IEEE Microwave and Component Letters*, vol. 23, no. 3, pp. 143-145, Mar. 2013.

[6] R. Aparicio and A. Hajimiri, "A noise-shifting colpitts differential VCO," *IEEE J. of Solid-State Circuit*, vol. 37, no. 12, pp. 1728-1736, Dec. 2002.

[7] B. E. Seow and W. C. Lai, "Fully integrated 24 GHz CMOS injection-locked VCO with folded marchand balun," in *Proc. Region 10 Conf., TENCON'16*, pp. 2528-2530, Singapore, Singapore, 22-25 Nov. 2016.

[8] M. S. Sadr, H. Ghafoorirad, M. Yavari, and S. Sheikhaei, "A novel low phase noise and low power DCO in 90 nm technology for ADPLL application," in *Proc. 24th Iranian Conf. on Electrical Engineering*, pp. 810-815, Shiraz, Iran, 10-12 May 2016.

[9] Y. Ting, Z. Y. Ming, L. H. Liang, Z. Y. Men, and W. Yue, "A K-band low phase noise and wide tunning range LC VCO," in *Proc. IEEE 12th In. Conf. on Solid-State and Integrated Circuit Technology*, 3 pp., Guilin, China, 28-31 Oct. 2014.

[10] T. N. Nguyen and J. W. Lee, "A K-band CMOS differential vacker VCO with the gate inductive feedback," *IEEE Trans. on Circuits and Systems*, vol. 59, no. 5, pp. 257-261, Mar. 2012.

[11] I. Mansour, H. Mosalam, A. Allam, A. B. Abdel-Rahman, and R. K. Pokharel, "K band low power voltage controlled oscillator using 180 nm CMOS technology with a new high quality inductor," in *Proc. Int. Conf. on Ubiquitous Wireless Broadband, ICUWB'16*, 4 pp., Nanjing, China, 16-19 Oct. 2016.

[12] J. H. Tsai, Y. Z. Lin, and Y. T. Kuo, "A K-band low phase noise and low power CMOS voltage controlled oscillator," *IEEE Microwave and Optical Technology Letters*, vol. 59, no. 2, pp. 362-366, Feb. 2017.

[13] H. H. Hsieh and L. H. Lu, "A low-phase-noise K-band CMOS VCO," *IEEE Microwave and Component Letters*, vol. 16, no. 10, pp. 552-554, Sept. 2006.

[14] H. Y. Chang and S. G. Lee, "Design and analysis of CMOS low-phase-noise low-jitter subharmonically injection-locked VCO with FLL self-alignment technique," *IEEE Trans. on Microwave Theory and Technique*, vol. 24, no. 12, pp. 4632-4645, Dec. 2016.

[15] N. Lacaita, M. Bassi, A. Mazzanti, and F. Svelto, "A low-noise K-band class-C VCO for E-band 5G backhaul systems in 55 nm BiCMOS technology," in *Proc. 13th Conf. on Ph.D Research in*

**مصطفی کاتبی** در سال‌های ۱۳۹۴ و ۱۳۹۶ مدرک کارشناسی و کارشناسی ارشد مهندسی برق خود را از دانشگاه زنجان دریافت نمود. نامبرده در دوره کارشناسی و کارشناسی ارشد خود به عنوان دستیار آموزشی در درس‌های مختلفی همچون مدارهای مخابراتی، الکترونیک ۱ و ۳، تجزیه و تحلیل سیگنال‌ها و سیستم‌ها و تکنیک پالس فعالیت نموده است. ایشان همچنین سابقه همکاری با شرکت فرادرس در تدریس چندین نرم‌افزار را دارند. زمینه‌های علمی و تحقیقاتی مورد علاقه ایشان عبارتند از: سیستم‌های فرستنده و گیرنده، طراحی مدارهای مجتمع آنالوگ و طراحی مدارهای مجتمع فرکانس بالا.

**عباس نصری** در سال ۱۳۹۳ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه زنجان دریافت نمود. وی در سال ۱۳۹۵ در مقطع دکترا مهندسی برق در دانشگاه زنجان پذیرفته شد. نامبرده در دوران دکترای خود موفق به اخذ فرصت مطالعاتی از دانشگاه تورین ایتالیا گردید و مشغول همکاری با گروه DTE این دانشگاه شد. ایشان در طول دوران تحصیل دکترای خود به عضویت بنیاد ملی نخبگان درآمدند. زمینه‌های پژوهشی مورد علاقه نامبرده عبارتند از: طراحی مدارات مجتمع آنالوگ و فرکانس بالا، طراحی مدارات ماکروویو و سیستم‌های فرستنده گیرنده.

**سیروس طوفان** در سال ۱۳۷۸ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی امیرکبیر و در سال‌های ۱۳۸۱ و ۱۳۸۷ مدرک کارشناسی ارشد و دکترا مهندسی برق خود را از دانشگاه علم و صنعت دریافت نمود. ایشان در دوران دکترا موفق به اخذ فرصت مطالعاتی از دانشگاه پلی تکنیک تورین واقع در ایتالیا شدند. دکتر طوفان از سال ۱۳۸۹ در دانشکده مهندسی برق دانشگاه زنجان مشغول به فعالیت گردید و اینک نیز عضو هیأت علمی این دانشکده می‌باشد. زمینه‌های علمی مورد علاقه نامبرده متنوع بوده و شامل موضوعاتی مانند طراحی مدارهای مجتمع فرکانس بالا، طراحی مدارهای مجتمع



آنالوگ، طراحی مبدل‌های DC به DC، طراحی مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ و سیستم‌های فرستنده و گیرنده می‌باشد.

**حبیب‌الله زلفخانی** مدرک کارشناسی و کارشناسی ارشد مهندسی برق خود را از دانشگاه تهران در سال‌های ۱۳۶۷ و ۱۳۷۲ و مدرک دکترای خود را در سال ۱۳۸۶ از دانشگاه علم و صنعت دریافت نمود. ایشان در حال حاضر عضو هیأت علمی دانشکده برق دانشگاه زنجان می‌باشند. نامبرده هم‌اکنون به عنوان معاون آموزشی دانشگاه مشغول به فعالیت است. همچنین ایشان در کارنامه مدیریتی خود سابقه حضور در قسمت معاونت آموزشی دانشکده برق را نیز دارند. زمینه‌های علمی مورد علاقه ایشان متنوع بوده و شامل موضوعاتی مانند طراحی مدارهای مجتمع فرکانس بالا، طراحی مدارهای میکروویو و پهن‌بند می‌باشد.