یک شیوه مداری جدید جهت حفاظت تریستورهای قدرت سری

محمد فرزی، سید ادیب ابریشمی‌فر، مسعود میرزرگر و مهدی فاضلی

چکیده: حفاظت سیستمهای مجهز به نیمه‌هادی‌های قدرت در برابر اضافه ولتاژ اهمیت به سزائی در افزایش قابلیت اطمینان آنها دارد. در این مقاله یک شیوهٔ جدید مداری جهت حفاظت در برابر اضافه ولتاژ تریستورهای سری که به عنوان یکی از اصلی‌ترین نیمه‌هادی‌های قدرت به حساب می‌آیند، ارائه شده است. نتایج حاصل از شبیه‌سازی SPICE نشان‌دهنده کارآئی بالای این مدار می‌باشد. قابلیت اطمینان زیاد، عدم نیاز به تغذیه کمکی و هزینه پائین از دیگر مزایای بارز این روش نسبت به دیگر مدارهای حفاظتی محسوب می‌شود. نتایج عملی در یک مجموعه یکسوساز سه فاز ولتاژ زیاد–توان زیاد ۱۵ kV/۳ MW همگی نشان‌دهندهٔ قابلیت بالای مدار ارائه شده است.

***کلید واژه:* تریستورهای سری، سوئیچ ولتاژ زیاد، حفاظت.**

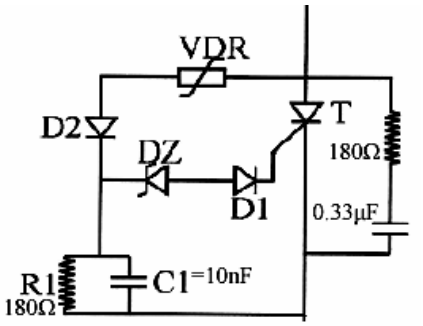
۱- مقدمه

با همه پیشرفت‌هائی که در ساخت عناصر نیمه‌هادی قدرت صورت گرفته اما باز هم این عناصر دارای محدودیت‌های ولتاژی–جریانی هستند که امکان استفاده از آنها را در ولتاژهای زیاد–جریانهای زیاد با محدودیت مواجه می‌سازد [۱]. بنابراین برای کار در ولتاژهای بالا هنوز ناگزیر از سری‌سازی این عناصر قدرت هستیم. در زمینهٔ سری‌سازی به ویژه در مورد تریستورهای قدرت، بحث توزیع یکسان ولتاژ بین عناصر، چه در حالت‌های پایدار و چه در حالت‌های گذرا مطرح می‌باشد. استفاده از مدارهای مقاومت–خازن (RC) یا مقاومت–خازن–دیود (RCD) تا حدی این مشکل را بر طرف می‌سازند. هرچند که این روش‌ها تلفات نسبتاً زیادی را به ویژه در مدارهای قدرت بالا موجب می‌گردند [۲]. حتی با این روش‌ها تضمین تعادل ولتاژ میان ادوات سری به دلیل تلرانس‌های موجود در مشخصات ادوات و یا عدم تطابق میان راه‌انداز آنها، مشکل خواهد بود. گرچه تاکنون روش‌های دینامیک متعادل‌سازی گوناگونی معرفی شده است اما این روش‌ها یا اتلاف توان زیادی دارند و یا این که به دلیل پیچیدگی زیاد مداری و یـا هزینه قطعـات مصرفی، استفاده از آنهـا از لحـاظ اقتصادی مقرون به صرفه نخواهد بود [۳] و [۴].

در این مقاله یک روش جدید مداری جهت غلبه بر این حالت ناخواسته به توسط وریستورها ارائه شده و مقایسه‌ای بین این روش و دیگر شیوه‌های حفاظتی انجام شده است. تکنیک پیشنهادی، ساده، ارزان‌قیمت و در عین حال با قابلیت اطمینان بالا بوده و هیچ محدودیتی در تعداد ادواتی که باید بطور سری قرار داده شوند ندارد. عملکرد مدار توسط نرم‌افزار SPICE شبیه‌سازی شده است. نتایج رضایت بخش حاصل از آزمایش مدار بر روی یک نمونه عملی یکسوساز قدرت ۱۵ kV/۳ MW نشان دهنده کارآئی بالای مدار پیشنهادی است.

این مقاله در تاریخ ۲۸ آذر ۱۳۸۰ دریافت و در تاریخ ۱۴ اسفند ۱۳۸۲ بازنگری شد.

محمد فرزی، گروه پژوهشی برق، جهاد دانشگاهی علم و صنعت.
سید ادیب ابریشمی فر، دانشکده برق، دانشگاه علم و صنعت ایران.
مسعود میرزرگر، گروه پژوهشی برق، جهاد دانشگاهی علم و صنعت.
مهدی فاضلی، گروه پژوهشی برق، جهاد دانشگاهی علم و صنعت.



شکل ۱: مدار پیشنهادی.

۲- عملکرد سری تریستورها

عملکرد سری تریستورها به دلایل زیر ساده نمی‌باشد:

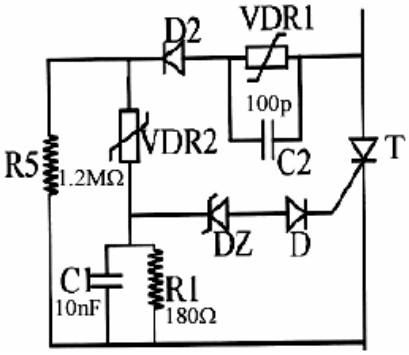
- مشخصات سوئیچینگ نامساوی.
- جریانهای نشتی غیریکسان.
- اندوکتانس نشتی نابرابر.
- تأخیرهای غیر مساوی در مدارهای راه‌انداز گیت.

در یک مجموعه با دو تریستور سری بعد از آمدن اولین سیگنال راه‌اندازی گیت، ولتاژ آند–کاتد قطعهٔ خاموش به شدت افزایش می‌یابد و اگر پالس گیت مناسب به آن اعمال نشود، حتماً صدمه خواهد دید. حتی با آمدن پالس گیت، نرخ افزایش ولتاژ (dv/dt) در دو قطعه یکسان نیست. واضح است که اختلاف (dv/dt)و ولتاژ اوج قطعات اساساً به اختلاف میان مشخصات سوئیچینگ قطعات، اندوکتانس‌های نشتی و تأخیر راه‌انداز گیت بستگی دارد. در حالی که اختلاف میان ولتاژ حالت پایدار به تفاوت میان جریانهای نشتی و خازن خروجی هر وسیله مربوط است. اگر ولتاژ اوج یک قطعه فراتر از مقدار مجاز آن رود، وسیله می‌شکند. بنابراین فنون متعادل‌سازی ولتاژ به جهت ایجاد تعادل نیاز می‌شود. تقسیم ولتاژ مقاومتی ساده می‌تواند تعادل ولتاژ قطعات را در شرایط استاتیک فراهم کند. اما متعادل‌سازی دینامیک بسیار مشکل‌تر فراهم می‌گردد. استفاده ازمدار اسنابر خیلی عملی نیست چرا که موجب اتلاف شدید می‌شود [۳] و [۴].

۳- اصول عملکرد مدار پیشنهادی

مدار پیشنهادی که در شکل ۱ مشاهده می‌شود شامل تعدادی عنصر غیرفعال است که تمامی آنها در مقایسه با تریستور قدرت اصلی، از توان مجاز کوچکتری برخوردار می‌باشند. فیلتر پائین‌گذر شامل R_1, C_1, D_Z و D_1 ضریب اطمینان کافی به جهت جلوگیری از روشن شدن تریستور در اثر نویزهای احتمالی را فراهم می‌آورد.

تمامی‌دیودهای مدار از نوع قدرت کم هستند ولی باید از انواع سریع انتخاب شوند. DZ در واقع نوعی Suppressor است. دیود سری با وریستور باید به نحوی انتخاب شود که از سرعت پاسخ‌دهی وریستور در برابر پالس‌های سریع نکاهد. R_2, D_2 و VDR عناصر برقراری تعادل ولتاژ استاتیک و این عناصر همراه با دیگر قطعات برای تعادل دینامیکی



شکل۲: مدار حفاظت در برابر dv/dt شدید.

قرار داده شده‌اند. عملکرد تعادل ولتاژ استاتیک واضح است و به همین دلیل از بحث در مورد آن صرف نظر می‌شود. اما عملکرد دینامیک مدار بدین صورت است، در هنگامی که تریستورها به آرامی به سمت خاموشی پیش می‌روند اگر در این لحظه یکی از آنها سریعتر خاموش شود، مسیر جریان از طریق مقاومت و خازن اسنابر بسته می‌شود. مقدار RC به گونه‌ای طراحی شده تا خاموشی همه تریستورها را تضمین کند. اما در هنگام روشن شدن با افزایش ولتاژ آند–کاتد V_{AK} تریستور، ولتاژ دو سر VDR نیز افزایش می‌یابد و اگر میزان دامنه ولتاژ از حد مشخصی فراتر رود که توسط مشخصات وریستور قابل کنترل است، جریان عبوری از وریستور به سرعت افزایش یافته و موجب افزایش ولتاژ دو سر خازن C_1 می‌شود. اگر ولتاژ دو سر خازن از مرز $V_{DZ}+۲\times۰/۷$ ولت بیشتر شود، تریستور با جریان گیت مناسبی تحریک شده و در نتیجه روشن خواهد شد. این امر موجب حفاظت تریستور می‌گردد. بر این اساس اختلاف‌های احتمالی میان مدار فرمان اصلی و یا اختلاف سرعت پاسخدهی تریستور جبران می‌شود. بدیهی است که این امر تا زمانی درست خواهد بود که نرخ تغییرات جریان وریستور در مقایسه با نرخ تغییرات ولتاژ دو سر عنصر قدرت قابل ملاحظه باشد. در غیر این صورت پالس تحریک، انرژی لازم را جهت تحریک گیت ندارد. چنین ویژگی از منحنی ولتاژ–جریان وریستور و تنظیم نقطهٔ کار آن قابل دستیابی است. مشخصه ولتاژ جریان وریستور یک رابطه نمائی است و داریم:

$$I = KV^{\alpha}, \alpha > ۱ \qquad (۱)$$

که در آن I جریان عبوری از وریستور، V ولتاژ دو سر آن، K ثابت سرامیک و تابع جنس وریستور و α ضریب نمائی است که کوچکترین مقدار آن برای جریانهای کوچکتر از μA ۱۰۰ است که برابر ۱ می‌باشد [۵]. لذا با فرض $I < ۱۰۰\ \mu A$ خواهیم داشت:

$$\frac{dI}{dt} = K\alpha V^{\alpha-۱}\frac{dv}{dt}, \alpha \cong ۱ \Rightarrow \frac{dI}{dt} \cong K\frac{dv}{dt} \qquad (۲)$$

تغییرات سریع جریان وریستور به دنبال تغییرات ولتاژ دو سر آن عامل بسیار مفیدی است که همانگونه که بیان شد می‌تواند برای کنترل dv/dt دو سر تریستور مورد استفاده قرار گیرد. شکل ۲ یک نمونه مدار حفاظت در برابر dv/dt شدید را نشان می‌دهد. تغییرات ولتاژ، از طریق خازن $C_۲$ به مقاومت $R_۵$ منتقل شده و وریستور $VDR_۲$ را روشن می‌کند. با افزایش جریان وریستور، امکان تحریک تریستور فراهم می‌شود. توجه شود که نقطه کار $VDR_۲$ از نظر ولتاژ بسیار پائین تر از $VDR_۱$ انتخاب می‌شود.

جدول ۱: مشخصات اصلی تریستور 5STP04D4200.

V_{DSM}	V_{RPM}	I_{TRMS}	I_{TMS}
۴۲۰۰V	۴۲۰۰V	۶۶۰A	۶۴۰۰A

I_{TAVM}	V_T	r_T	Q_{rr}
۴۲۵ A	۱V	۱/۵ mΩ	۸۰۰ μAs

۴- نکات بارز مدار پیشنهادی

۴-۱ تعادل ولتاژ خودکار

تعادل ولتاژ استاتیک با هدایت کوچک وریستور و مقاومت‌های مدار به سادگی به اجرا در می‌آید. تعادل ولتاژ دینامیک با عمل سادهٔ مدار پیشنهادی بطور خودکار انجام می‌شود. ولتاژ فیدبک شده از دو سر عنصر قدرت از طریق یک و (یا چند) وریستور موجب روشن شدن تریستور شده که این امر ولتاژ دو سر آن را در محدودهٔ عادی قرار می‌دهد. بر این اساس مدار طرح شده تعادل دینامیک را در هر شرایط شامل مشخصهٔ سوئیچینگ نابرابر، اندوکتانس‌های نشتی غیر مساوی و زمان تأخیر راه‌اندازی گیت غیریکسان، فراهم می‌آورد. بدیهی است که هیچ مدار کنترلی اضافی یا راه‌اندازی گیت ویژه نیاز نیست. همچنین اتلاف سوئیچینگ اضافی نخواهیم داشت، به علاوه تعداد ادواتی که می‌توانند به صورت سری متصل شوند نامحدود خواهد بود.

۴-۲ سادگی و اتلاف کم

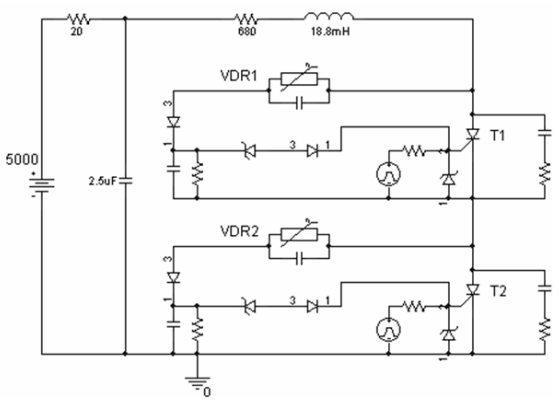
مدار طرح شده شامل تعدادی عنصر غیر فعال کم قدرت در مقایسه با تریستور قدرت اصلی است. در نتیجه اتلاف توان آن تقریباً قابل صرف نظر است. بنابراین، مدار دارای راندمان بالا، قابلیت اطمینان عالی و به جهت سادگی ساختار دارای صرفه اقتصادی است.

۴-۳ مقایسه با سایر مدارهای حفاظتی

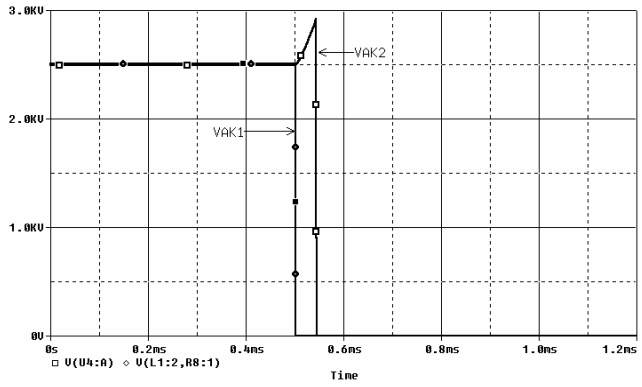
روش‌های حفاظتی دیگری برای تعادل دینامیک ولتاژ تریستور وجود دارد که مهمترین آنها حفاظت با استفاده از BOD [۱] و جرقه‌گیرها [۲] می‌باشد. BOD یک عنصر چهار لایه مشابه وریستور اما بدون گیت است. نحوهٔ استفاده از آن مشابه تریستور است با این تفاوت که اولاً باید دیود سری شده با آن قابلیت تحمل ولتاژ معکوس نسبتاً زیاد را داشته باشد و ثانیاً افت ولتاژ دو سر آن می‌تواند موجب تزریق جریانهای ناگهانی شدید به گیت تریستور شود که خود می‌تواند عامل تخریب گیت باشد. به همین دلیل برای جلوگیری از تزریق جریان زیاد به گیت باید از یک مقاومت ترکیبی با خاصیت سلفی کم به طور سری با آن استفاده شود. بنابراین مدارهائی که از BOD استفاده می‌کنند بسیار پرهزینه تمام خواهند شد [۶].

جرقه‌گیرها بطور موازی با عناصر حفاظت شونده قرار می‌گیرند. اگر ولتاژ دو سر عنصر از حد مجاز بیشتر شود جریان از جرقه‌گیر جاری شده و بدین ترتیب از تخریب عنصر مورد نظر جلوگیری به عمل می‌آید. این

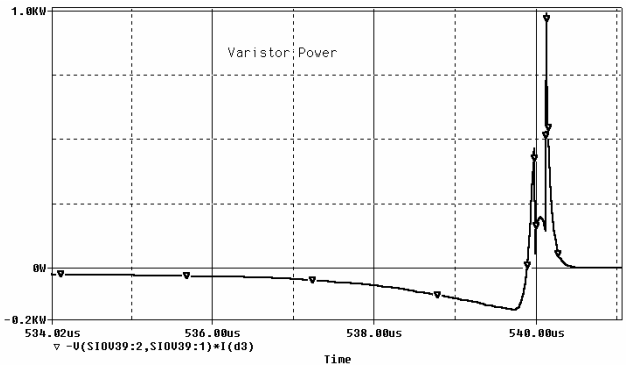
1. Break over diode
2. Spark gap



(الف)



(ب)



(ج)

شکل ۳: (الف) یک مدار نمونه شامل دو تریستور سری، (ب) نتایج شبیه‌سازی-ولتاژ آند کاتد تریستورها، (ج) نتایج شبیه‌سازی-توان لحظه‌ای وریستور.

فرآیند همواره با ایجاد جرقه با انرژی زیاد همراه است. به همین دلیل اولاً این عنصر نمی‌تواند بطور دائم کار کند و ثانیاً ایجاد نویز به هنگام رخداد جرقه موجب اختلال در عملکرد سایر مدارهای کنترلی و تحریک می‌شود.

۵- نقطه نظرات طراحی

۵-۱ نحوه انتخاب وریستور

پارامترهای مهم در انتخاب یک وریستور به جهت حفاظت تریستور تا حدود زیادی به مشخصات تریستور برمی‌گردد. حداکثر ولتاژ مستقیم مجاز تریستور (V_{DRM}) و تأخیر زمانی روشن شدن آن (t_d) جزو عوامل اصلی به حساب می‌آیند. بطور معمول نقطهٔ کار تریستور در مدار حدود $۰/۶\,V_{DRM}$ در نظر گرفته می‌شود. در این شرایط باید وریستور در حالت استراحت باشد. به علاوه مشخصه ولتاژ وریستور به گونه‌ای انتخاب می‌شود که در ولتاژ حدود $۰/۸\,V_{DRM}$ وارد هدایت گردد. در این شرایط مقادیر $C_۱$ و $R_۱$ به نحوی انتخاب می‌شوند که هنوز تریستور امکان روشن شدن را نداشته باشد. هرگاه ولتاژ دو سر تریستور اندکی افزایش یابد (یا شیب دو سر آن قابل ملاحظه باشد) تغییرات شدید جریان وریستور را به همراه خواهد داشت که در نتیجه تریستور به طور اجباری روشن خواهد شد. تأخیر زمانی روشن شدن تریستور در واقع عرض پالس جریان عبوری از وریستور را مشخص می‌کند و با توجه به اینکه وریستور قابلیت حمل پالسهای جریانی زیاد را در مدت زمان کوتاه دارد، لذا تحریک تریستور می‌تواند به صورت متناوب ادامه یابد [۵].

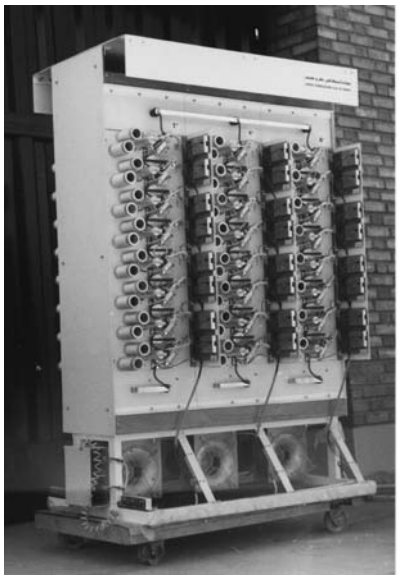
۵-۲ تغییرات خط تغذیه

اگر از تریستورهای سری به جهت ساخت یک یکسوساز ولتاژ زیاد- جریان زیاد استفاده شده باشد، تغییرات سریع ولتاژ دو سر خازن خروجی آن می‌تواند در شرایطی موجب تحریک نابجای تریستورها گردد. این امر طبعاً عملکرد نامطلوبی را نتیجه خواهد داد. بنابراین خط تغذیه خروجی نباید تغییرات شدید ولتاژ داشته باشد. این به آن مفهوم است که باید خازن خط تغذیه بسیار نزدیک یکسوساز و با ظرفیت نسبتاً بزرگ باشد که معمولاً نیز همین طور است.

۶- نتایج شبیه‌سازی

به جهت تأیید عملکرد مدار پیشنهادی، یک مدار نمونه شامل دو تریستور سری مطابق شکل ۳-الف طرح و به توسط SPICE شبیه‌سازی شد.

برای ایجاد شرایط نامتعادل در مدار، سیگنال تحریک گیت ۱ با تأخیر اعمال شده است. شکل ۳-ب شکل موجهای شبیه‌سازی شده در طی حالات گذرای خاموشی و روشنی را نشان می‌دهد. فیدبک ناشی از مدار کمکی در این شکل به نمایش گذاشته شده است. در طی زمان روشنی، سیگنال تحریک گیت ۲ ابتدا اعمال شده و ولتاژ آن شروع به کاهش می‌کند. این به مفهوم آن است که ولتاژ تریستور ۱ شروع به افزایش کرده که موجب هدایت وریستور ۱ و اعمال سیگنال تحریک به گیت ۱ حتی با عدم وجود پالس گیت مربوطه می‌شود. بنابراین تعادل ولتاژ دینامیک در طی زمان روشنی فراهم می‌شود. در طی زمان خاموشی، خوشبختانه تمامی تریستورها هنگامی قطع می‌شوند که جریان آنها به صفر رسیده باشد. بنابراین تعادل در خاموشی نیز به طور خودکار فراهم می‌گردد. توان لحظه‌ای وریستور در شکل ۳-ج حاکی از انرژی اندک تلف شده در این عنصر است.



شکل ۴: ساختار یکسوساز ۱۵ kV/۳MW

۷- نتایج آزمایش

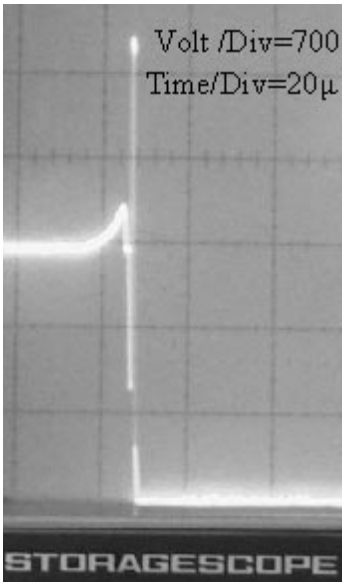
به جهت تعداد عملکرد عملی مدار، یک مدار یکسوساز ۱۵ kV/۳MW شامل ۴۸ تریستور، طرح، ساخته و مورد آزمایش واقع شد. شکل ۴ ساختار مورد استفاده را نشان می‌دهد. تریستورهای استفاده شده (5STP04D4200) از محصولات شرکت ABB با مشخصات جدول ۱ می‌باشند.

برای حفاظت از تریستور از چهار عدد وریستور S20K385 به صورت سری با یکدیگر استفاده شده و به علاوه مقادیر $R_1 = 18\Omega$، $C_1 = 10\,\text{nF}$ و $V_{DZ} = 22\,\text{V}$ در نظر گرفته شده است. نوع وریستور به گونه‌ای انتخاب شده که اگر ولتاژ آند-کاتد تریستور کمتر از $4 \times 780\,\text{V} = 3120\,\text{V}$ باشد، تحریک اجباری صورت نگیرد. هرگاه ولتاژ دو سر تریستور به ۴ kV برسد جریان نسبتاً بزرگی از وریستور عبور می‌کند و این به مفهوم آن است که حتماً تا قبل از این ولتاژ، تریستور روشن شده است (شکل ۵). آزمون‌های دراز مدت بر روی مدار یکسوساز فوق حتی با ایجاد خرابی عمدی در پالس‌های تحریک گیت برخی از تریستورها بدون آنکه در عملکرد کل مدار خللی وارد کند نشان از عملکرد موفقیت آمیز مدار طرح شده داشته است.

۸- نتیجه گیری

یک شیوهٔ حفاظتی جدید جهت عملکرد مطمئن تریستورهای قدرت سری ارائه شد. عملکرد مدار، نکات و ملاحظات طراحی با استفاده از یک طرح عملی یکسوساز قدرت شامل چندین تریستور سری و همچنین شبیه‌سازی‌های مربوطه بر روی یک نمونه مدار واقعی به اثبات رسید. نشان داده شد که متعادل‌سازی ولتاژ دینامیک و استاتیک با استفاده از مدار طرح شده به راحتی انجام می‌شود. مدار پیشنهادی چندین نکتهٔ بارز در مقایسه با دیگر مدارهای طرح شده دارد که عبارتند از:

- سادگی و ارزانی
- قابلیت اطمینان بالا
- سری‌سازی نامحدود و نامشروط قطعات
- اتلاف کم



شکل ۵: تحریک اجباری تریستور (نمونه عملی).

- عدم نیاز به تغذیه کمکی

مزایای این مدار در مقایسه با دیگر مدارهای طرح شده تا حدی است که آن را برای کار در ولتاژهای بالا-جریانهای بالا انتخاب مناسبی می‌گرداند.

مراجع

[1] J. W. Baek, D. –W. Yoo, and H. -G. Kim, "High-voltage switch using series-connected with simple auxiliary circuit, " *IEEE Trans. on Industry Applications*, vol. 37, no. 6, pp. 1832-1839, Nov. 2001.

[2] J. Sigg, M. Brukmann, and P. Turkes, "The series connection of switches investigated by experiments and simulation, "in *Proc. IEEE PESC ' 96*, vol. 2, pp. 1760-1765, Dec. 1996.

[3] A. Consoli, S. Musumeci, G. Oriti, and A. Testa, "Active voltage balancement of series connected switches," in *Proc Conf. Rec. IEEE-IAS Annu. Meeting*, vol. 3, pp. 2752-2758, 1995.

[4] P. R. Palmer and A. N. Githiari, "The series connection of IGBT's with optimized voltage sharing in the switching transient," in *Proc. IEEE PESC'95*, vol. 1, pp. 44-49, 1995.

[5] Siemens Matsushita Components, *SIOV (Metal Oxide Varistors),* (S+M), B462-P6209-X-X-7400, 1944 .

[6] H. M. Lawatsch and J. Vitins, "Protection of thyristors against over voltage with breakover diodes," *IEEE Trans. on Industry Application*, vol. 24, no. 3, pp. 444-448, May 1998.

محمد فرزی تحصیلات خود را در مقطع کارشناسی الکترونیک در سال ۱۳۷۴ در دانشگاه علم و صنعت ایران به پایان رسانده است. وی از سال ۱۳۷۴ همکاری خود را با جهاد دانشگاهی علم و صنعت ایران آغاز کرده و هم اکنون مدیر پروژه‌های بخش شارژر مرکز مبدلها می‌باشند. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی و ساخت شارژرهای پرقدرت صنعتی، طراحی و ساخت منابع تغذیه با ضریب اطمینان بالا و طراحی و ساخت یکسوسازهای الکترواپتیک پر قدرت صنعتی.

سید ادیب ابریشمی فر تحصیلات خود را در مقطع کارشناسی، کارشناسی ارشد و دکتری الکترونیک به ترتیب در سالهای ۱۳۶۸، ۱۳۷۱ و۱۳۸۰ در دانشگاه علم و صنعت ایران به پایان رسانده است و هم اکنون عضو هیات علمی دانشکده برق دانشگاه علم و صنعت ایران می‌باشد. وی در طی سالهای ۱۳۶۸-۱۳۸۰ برای دانشگاه‌های علم و صنعت، سیستان و بلوچستان و شهید بهشتی در زمینه‌های مختلف علوم مهندسی برق مشغول تدریس بوده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از:طراحی مدارهای مجتمع آنالوگ و الکترونیک قدرت.

سید مسعود میرزرگر تحصیلات خود را در مقطع کارشناسی و کارشناسی ارشد الکترونیک به ترتیب در سالهای ۱۳۶۵، ۱۳۶۸ در دانشگاه علم و صنعت ایران به پایان رسانده است. وی از سال ۱۳۶۸ عضو هیات علمی جهاد دانشگاهی علم و صنعت ایران بوده و از سال ۱۳۷۵ به عنوان مدیر مرکز مبدلها و منابع تغذیه جهاد مشغول به خدمت بوده‌اند. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی و ساخت UPSهای پرقدرت صنعتی با ضریب اطمینان بالاو طراحی و ساخت یکسوسازهای پر قدرت الکترواپتیک.

مهدی فاضلی تحصیلات خود را در مقطع کارشناسی الکترونیک در سال ۱۳۷۱ در دانشگاه علم و صنعت ایران به پایان رسانده است. وی از سال ۱۳۷۱ همکاری خود را با جهاد دانشگاهی علم و صنعت ایران آغاز کرده و هم اکنون مدیر پروژه‌های بخش اینورتر مرکز مبدلها می‌باشند. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی و ساخت UPS های موازی، طراحی و ساخت اینورترهای قدرت با ضریب اطمینان بالا، UPSهای سه فاز، طراحی و ساخت سیستمهای سریع جمع آوری اطلاعات صنعتی.