مقاله پژوهشی

تولید خودکار آزمون برای مدارهای دیجیتال ترکیبی با به‌کارگیری شاخص ردیابی تقریبی مسیر بحرانی با الگوهای موازی

زینب مرادی قیسوندی و آرزو کامران

چکیده: در این مطالعه، روشی برای تولید آزمون برای مدارهای دیجیتال ترکیبی ارائه شده است که از شاخص حاصل از روش ردیابی تقریبی مسیر بحرانی برای شناسایی بردارهای آزمون کارا استفاده می‌کند. نتایج ارزیابی‌ها در مدارهای محک نشان می‌دهد که شاخص حاصل از این روش تقریبی دارای همبستگی قوی با شاخص دقیق پوشش اشکال است و ضمناً پیچیدگی محاسباتی آن بسیار کمتر از روش دقیق است. با استفاده از روش پیشنهادی، برای تعدادی از مدارهای محک، مجموعه آزمون تولید شده و نتایج آن با سایر روش‌های تولید آزمون که از شاخص دقیق پوشش اشکال یا شاخص‌های تقریبی دیگر مانند شاخص احتمالاتی یا شاخص حاصل از شبیه‌سازی با نمونه‌برداری اشکال استفاده می‌کنند، مقایسه شده است. نتایج این مقایسه، کارایی روش آزمون پیشنهادی را از نظر پوشش اشکال، تعداد بردارهای آزمون، و زمان تولید آزمون تأیید می‌کند.

کلیدواژه: **شبیه‌سازی اشکال، تولید خودکار آزمون برای مدارهای دیجیتال، پوشش اشکال، الگوی آزمون، ردگیری تقریبی مسیر بحرانی.**

۱- مقدمه

با پیشرفت دائمی فناوری‌های ساخت در صنعت نیمه‌هادی و کاهش مداوم ابعاد ترانزیستورها، مدارهای دیجیتال روزبه‌روز پیچیده‌تر می‌شوند و در عین حال در کاربردهای حساس و حیاتی مانند صنایع دفاعی و نظامی، سامانه‌های کنترل صنعتی، سامانه‌های کنترل پرواز، سامانه‌های پزشکی و سامانه‌های مالی به کار گرفته می‌شوند. این افزایش پیچیدگی همراه با فشارهای زمانی و اقتصادی در فرآیند تولید، نیاز به اطمینان سریع از صحت عملکرد و کیفیت بالای تراشه‌ها را بیش از پیش ضروری ساخته است.

آزمون مدارهای دیجیتال، امکان شناسایی اشکال‌های ساخت، عیوب طراحی و آسیب‌دیدگی‌های احتمالی ناشی از شرایط محیطی یا فرسودگی را فراهم می‌کند. تولید الگوهای آزمون برای اطمینان از عملکرد درست مدارهای دیجیتال، فرایندی پیچیده است و در دسته مسائل NP-کامل قرار می‌گیرد [۱]. در روش‌های تولید خودکار آزمون برای مدارهای دیجیتال، شاخص‌هایی چون سرعت تولید بردارهای آزمون، پوشش اِشکال[1] مجموعه آزمون تولید شده و نیز تعداد الگوهای نهایی آزمون که تعیین کننده زمان اعمال آزمون به مدار واقعی است، دارای اهمیت هستند.

روش‌های تولید خودکار الگوهای آزمون[2] (ATPG) به دو دسته اصلی تقسیم می‌شوند: روش‌های قطعی[3] و روش‌های مبتنی بر شبیه‌سازی[4] در روش‌های قطعی، در هر مرحله، تمرکز بر شناسایی یک اِشکال[5] مشخص است؛ به این صورت که با انجام تحلیل‌های پیش‌رو و پس‌رو از محل اشکال، یک یا چند الگوی آزمون (بردار آزمون)[6] برای شناسایی آن اشکال استخراج می‌شود. نمونه‌هایی از این روش‌ها شامل الگوریتم D [۲]، FAN [۳]، SOCRATES [۴] و PODEM [۵] هستند. این روش‌ها قادر به ارائه پوشش اشکال بالا هستند، اما به دلیل پیچیدگی محاسباتی زیاد، زمان‌بر بوده و معمولاً پس از تولید الگوهای آزمون، نیاز به فشرده‌سازی برای کاهش تعداد الگوهای آزمون وجود دارد.

روش‌های مبتنی بر شبیه‌سازی رویکرد متفاوتی دارند؛ در این روش‌ها به جای هدف‌گیری یک اشکال خاص، مجموعه‌ای از الگوهای آزمون کاندید به صورت تصادفی یا با بهره‌گیری از الگوریتم‌های فراابتکاری تولید می‌شوند. سپس با اعمال هر کدام از این الگوهای کاندید به ورودی مدار و تحلیل مدار، پوشش اشکال هر کدام از آنها محاسبه شده و در صورتی که یک بردار آزمون، شایستگی لازم را از نظر پوشش اشکال یا سایر معیارهای جایگزین کسب کند، آن بردار آزمون، پذیرفته شده و به مجموعه آزمون نهایی اضافه می‌شود. روش‌های تولید خودکار آزمون مبتنی بر شبیه‌سازی، زمان اجرای کمتری دارند و لذا برای مدارهای پیچیده‌تر مقیاس‌پذیرتر و کارآمدتر هستند.

در روش‌های تولید خودکار آزمون مبتنی بر شبیه‌سازی، تولید بردارهای آزمون کاندید می‌تواند به صورت کاملاً تصادفی [۶] و [۷]، یا با استفاده از روش‌های تکاملی و فراابتکاری انجام شود.

محققان در [۸] سکویی برای تولید آزمون مبتنی بر الگوریتم ژنتیک ارائه کرده‌اند که از شاخص پوشش اشکال به عنوان تابع برازندگی[7] استفاده می‌کند. در یک مطالعه دیگر از الگوریتم ژنتیک برای تولید بردارهای آزمون برای مدارهای ترتیبی[8] استفاده شده است [۹] که از شاخص فعالیت سیگنال‌ها به عنوان تابع برازندگی استفاده می‌کند. در [۱۰]، از ترکیب روش‌های قطعی تولید آزمون و الگوریتم ژنتیک برای بهبود کارایی مجموعه آزمون نهایی استفاده کرده است. در [۱۱]، تولید

این مقاله در تاریخ ۲ شهریور ماه ۱۴۰۴ دریافت و در تاریخ ۸ آبان ماه ۱۴۰۴ بازنگری شد.

زینب مرادی قیسوندی، دانشکده مهندسی برق و کامپیوتر، دانشگاه رازی، کرمانشاه، ایران، (email: moradi72717@gmail.com).

آرزو کامران (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه رازی، کرمانشاه، ایران، (email: kamran@razi.ac.ir).

1. Fault Coverage
2. Automatic Test Pattern Generation
3. Deterministic
4. Simulation-Based
5. Fault
6. Test Pattern (Test Vector)
7. Fitness Function
8. Sequential Circuit

آزمون با استفاده از الگوریتم ژنتیک و یک شاخص احتمالی به عنوان تابع برازندگی انجام شده است. پژوهشی دیگری از الگوریتم ژنتیک ایمنی برای تولید بردارهای آزمون بهره برده است [۱۲]. الگوریتم ژنتیک در [۱۳] با در نظر گرفتن مدل اشکال چندچسبندگی[1] در [۱۴] با در نظر گرفتن مدل اشکال گذار[2]، و در [۱۵] برای مدارهای برگشت‌پذیر[3] برای تولید آزمون مورد استفاده قرار گرفته است. از سایر الگوریتم‌های فراابتکاری مانند بهینه‌سازی کلونی مورچگان[4] (ACO) [۱۶]، و بهینه‌سازی ازدحام ذرات[5] (PSO) [۱۷] تا [۲۱] نیز در تولید آزمون برای مدارهای دیجیتال استفاده شده است.

روش‌های تولید آزمون مبتنی بر شبیه‌سازی عمدتاً از شاخص پوشش اشکال برای بررسی شایستگی بردارهای آزمون استفاده می‌کنند. این شاخص گرچه دقیق و قابل تکیه است ولی محاسبه پوشش اشکال بردارهای آزمون با روش‌های معمول شبیه‌سازی اشکال[6] زمان‌بر است. پژوهش‌های زیادی بر ارائه روش‌هایی برای تسریع در فرایند بررسی شایستگی بردارهای آزمون متمرکز بوده‌اند که در چند گروه قابل دسته‌بندی هستند. ۱) پژوهش‌هایی که از اجرای موازی الگوریتم‌های شبیه‌سازی اشکال روی GPU یا پردازنده‌های چند هسته‌ای بهره می‌برند [۲۲] تا [۲۶]، ۲) پژوهش‌هایی که از ایده‌های شبیه‌سازی اشکال سلسله مراتبی[7] و ترکیب سطوح انتزاع[8] بهره می‌برند [۲۷] تا [۲۹]، ۳) پژوهش‌هایی که از شتاب‌دهنده‌های سخت‌افزاری برای پیاده‌سازی الگوریتم شبیه‌سازی اشکال استفاده می‌کنند [۳۰] تا [۳۲]، و ۴) پژوهش‌هایی که از شاخص‌های تقریبی ابتکاری به عنوان جایگزین شاخص پوشش اشکال استفاده می‌کنند [۳۳] تا [۳۶].

در این میان پژوهش‌هایی که بر شاخص‌های تقریبی جایگزین پوشش اشکال کار می‌کنند بسیار امید بخش هستند و مهم‌تر آنکه امکان ترکیب با سایر روش‌های تسریع در شبیه‌سازی اشکال را دارند و می‌توانند از تسریع هر دو روش منتفع شوند.

در بخش دوم این مقاله، چند شاخص تقریبی که می‌توانند جایگزین شاخص پوشش اشکال شوند، مورد بررسی قرار می‌گیرند. در بخش سوم، روش پیشنهادی تولید آزمون مبتنی بر یکی از این شاخص‌ها تشریح می‌شود. بخش چهارم به ارائه نتایج تولید آزمون برای چند مدار معیار اختصاص یافته و در نهایت، بخش پنجم به جمع‌بندی و نتیجه‌گیری مقاله می‌پردازد.

۲- شاخص‌های ارزیابی شایستگی بردارهای آزمون

به صورت معمول برای ارزیابی شایستگی الگوهای آزمون، از شاخص پوشش اشکال استفاده می‌شود که محاسبه آن پیچیدگی زمانی بالایی دارد. یکی از رویکردهای امیدبخش برای غلبه بر این پیچیدگی، استفاده از شاخص‌های دیگری است که تقریب مناسبی از شاخص پوشش اشکال ارائه می‌دهند و یا همبستگی[9] قوی با آن دارند. از جمله این شاخص‌ها می‌توان به شاخص‌های حاصل از شبیه‌سازی اشکال نمونه‌برداری شده[10] [۳۳]، شبیه‌سازی احتمالاتی اشکال[11] [۳۴]، و شبیه‌سازی به روش ردیابی تقریبی مسیر بحرانی[12] اشاره کرد [۳۷].

در شبیه‌سازی اشکال نمونه‌برداری شده، پاسخ مدار به یک الگوی آزمون، فقط به ازای زیرمجموعه‌ای از کل اشکال‌های مدار ارزیابی و محاسبه می‌شود. پوشش اشکال نمونه‌برداری شده، به عنوان تقریبی از پوشش اشکال واقعی قابل استفاده است.

در شبیه‌سازی احتمالاتی اشکال، تزریق اشکال به صورت احتمالی و با استفاده از یک مدل احتمالی مناسب که امکان تزریق همزمان تمام اشکال‌ها روی مدار را فراهم می‌کند، صورت می‌گیرد. در این روش، شبیه‌سازی عملکرد گیت‌ها و مدار با استفاده از توابع انتقال احتمالاتی به جای توابع منطقی صورت می‌گیرد و در نهایت خروجی‌های مدار به جای مقادیر منطقی، چند مقدار احتمالی است که احتمال صفر یا یک بودن یا احتمال خطا روی هر خروجی را نشان می‌دهد. نهایتاً بر اساس مقادیر احتمال خطا در خروجی‌های مدار، یک شاخص به دست می‌آید که نشان دهنده قابلیت الگوی آزمون اعمال شده در فعال‌سازی و انتشار اثر اشکال‌های مختلف به خروجی‌های مدار است. مزیت مهم این روش شبیه‌سازی اشکال در این است که تزریق تمام اشکال‌ها به مدار با هم صورت گرفته و شبیه‌سازی در یک مرحله قابل انجام است.

روش ردیابی تقریبی مسیر بحرانی، مبتنی بر روش کلاسیک ردیابی مسیر بحرانی است با این تفاوت که با به‌کارگیری یک تقریب هوشمندانه، پیچیدگی تحلیل ساقه انشعاب‌ها[13] در مدار را حذف می‌کند. جزئیات روش کلاسیک روش تقریبی مسیر بحرانی در [۳۶] قابل دسترس است ولی ایده کلی این روش به این‌صورت است که یک الگوی آزمون روی ورودی‌های مدار قرار داده می‌شود و با تحلیل پیش‌رو مدار از ورودی‌ها به سمت خروجی‌ها، مقدار منطقی خروجی تمام گیت‌ها (سیم‌های[14] مدار) به دست می‌آید. سپس یک تحلیل پس‌رو از خروجی‌های مدار به سمت ورودی‌ها انجام می‌شود تا سیم‌های بحرانی مدار تعیین شود. در تحلیل پس‌رو، همه خروجی‌های مدار، بحرانی در نظر گرفته می‌شوند و در حرکت از خروجی‌ها به سمت ورودی‌ها، ورودی یک گیت در صورتی بحرانی محسوب می‌شود که خروجی آن گیت بحرانی باشد و تغییر آن ورودی، منجر به تغییر مقدار خروجی آن گیت شود. آنچه روش ردیابی تقریبی مسیر بحرانی را پیچیده می‌کند، تعیین بحرانی بودن یا بحرانی نبودن ساقه یک انشعاب است. همانطوری که در [۳۶] نیز با جزئیات بحث شده است، به دلیل وجود انشعاب‌های همگرا در مدارها، تعیین بحرانی بودن یا نبودن ساقه یک انشعاب با بررسی وضعیت شاخه‌های[15] آن انشعاب امکان‌پذیر نیست. در واقع در تحلیل پس‌رو و هنگام برخورد با یک انشعاب، لازم است مقدار ساقه انشعاب را تغییر داده و با انجام یک تحلیل پیش‌رو بررسی کرد که آیا خروجی‌های نهایی مدار تغییر می‌کنند یا نه و اگر حداقل یکی از خروجی‌های مدار تغییر مقدار بدهد، ساقه انشعاب بحرانی و در غیر این‌صورت غیر بحرانی است. همین امر منجر به افزایش پیچیدگی روش کلاسیک ردیابی مسیر بحرانی می‌شود.

روش ردیابی تقریبی مسیر بحرانی، هنگام مواجه شدن با ساقه یک

1. Multiple Stuck-at Fault Model
2. Transition Fault Model
3. Reversible Circuit
4. Ant Colony Optimization
5. Particle Swarm Optimization
6. Fault Simulation
7. Hierarchical
8. Mixed-«evel
9. Correlation
10. Sampling Fault Simulation
11. Probabilistic Fault Simulation
12. Approximate Critical Path Tracing
13. Fanout Stem
14. Wires
15. Fanout Branches

انشعاب در مرحله تحلیل پس‌رو، متفاوت با روش کلاسیک عمل کرده و از یک تقریب برای تشخیص بحرانی بودن ساقه استفاده می‌کند. تقریب ارائه‌شده در [۳۷] به این صورت است که ساقه انشعاب فقط در صورتی بحرانی در نظر گرفته می‌شود که حداقل یکی از شاخه‌ها بحرانی باشند. این تقریب، پیچیدگی روش ردیابی مسیر بحرانی را خصوصاً در شرایطی که مدار دارای انشعاب‌های تو در تو است به نحو قابل توجهی کاهش می‌دهد. توجه به این نکته ضروری است که در روش ردیابی مسیر بحرانی، شبیه‌سازی اشکال برای هر الگوی آزمون، ذاتاً به صورت تک مرحله‌ای انجام می‌شود و نیازی به شبیه‌سازی‌های مجزا به ازای هر اشکال وجود ندارد.

۳- روش پیشنهادی تولید آزمون برای مدارهای ترکیبی

تولید آزمون برای اطمینان از صحت عملکرد مدارهای دیجیتال، فرآیندی پیچیده است و در دسته مسائل NP-کامل قرار می‌گیرد. در عمل، الگوریتم‌های موجود قادر به تولید پاسخ‌های بهینه نیستند و معمولاً پاسخ‌های نزدیک به بهینه، قابل قبول محسوب می‌شوند. از آنجایی که در فرایند تولید آزمون، نتیجه‌ای دقیق و یکتا وجود ندارد، به نظر می‌رسد که استفاده از روش‌های مبتنی بر شبیه‌سازی همراه با شاخص‌های سریع که تقریب مناسبی از پوشش اشکال ارائه می‌دهند یا همبستگی قوی با آن دارند، می‌تواند در مدت زمان کوتاه‌تری مجموعه‌ای از داده‌های آزمون با کارایی قابل قبول تولید کند. این شاخص‌های تقریبی می‌توانند در ترکیب با انواع الگوریتم‌های فراابتکاری و نیز روش‌های موازی‌سازی روی GPU، یا پردازنده‌های چندهسته‌ای، تسریع قابل توجه در فرایند تولید آزمون ایجاد کنند. در این بخش ما یک الگوریتم برای تولید آزمون برای مدارهای دیجیتال ترکیبی ارائه می‌کنیم که از روش ردیابی تقریبی مسیر بحرانی با الگوهای موازی، برای به دست آوردن تخمینی از پوشش اشکال الگوهای آزمون کاندید استفاده می‌کند. مدل اشکال مورد استفاده، مدل اشکال تک چسبندگی[1] است.

شکل ۱ الگوریتم پیشنهادی برای تولید آزمون را نشان می‌دهد که آن را *APX_PPCPT_TG* می‌نامیم. ورودی این الگوریتم، نِت‌لیست[2] مداری لیست[2] مداری است که قرار است مجموعه آزمون برای آن تولید شود. علاوه بر این، فهرست اشکال‌های مدار و پوشش اشکال مورد نظر (*fcDes*) نیز به عنوان ورودی به الگوریتم داده می‌شود.

پارامتری به نام *nParPats* درجه توازی الگوریتم را مشخص می‌کند. ایده اصلی این توازی، که «توازی در سطح الگو» نامیده می‌شود، شبیه‌سازی همزمان چندین نسخه از مدار است که هرکدام با یک الگوی آزمون تحریک شده است. برای این کار به‌جای آن که مقدار هر سیم در مدار یک مقدار اسکالر باشد، می‌توان آن را به‌صورت یک بردار در نظر گرفت که بیت iام این بردار بیانگر مقدار سیم در حالتی است که الگوی آزمون iام به ورودی مدار اعمال شده است. با توجه به اینکه پردازنده‌ها قادرند عملیات منطقی بیتی[3] را روی دو بردار با یک دستور پردازشی اجرا کنند، می‌توان خروجی گیت‌ها را در پاسخ به چندین الگوی آزمون ورودی به‌طور همزمان و تنها با یک دستور محاسبه کرد. این رویکرد منجر به افزایش سرعتی تقریباً متناسب با طول بردار می‌شود. از آنجا که عرض ثبات در پردازنده‌های رایج امروزی معمولاً ۶۴ بیت است، طول این بردار حداکثر می‌تواند برابر با ۶۴ باشد.

این توازی در اجرای الگوریتم، هم در پردازش پیش‌رو الگوهای آزمون و هم در پردازش پس‌رو در هنگام تعیین مسیرهای بحرانی، به کار گرفته می‌شود. در واقع برای هر سیم در نِت‌لیست مدار، دو بردار در نظر گرفته می‌شود: بیت iام در بردار اول، مقدار منطقی آن سیم را در حالتی که الگوی آزمون iام اعمال شده است نشان می‌دهد و بیت iام در بردار دوم، بیانگر بحرانی بودن یا نبودن آن سیم در همان حالت است.

شکل ۲ نمونه‌ای از تحلیل مدار با توازی سه بیتی در سطح الگو (اعمال همزمان سه الگوی آزمون) را برای یک مدار ساده مالتی‌پلکسر نشان می‌دهد. در این شکل، مقدار بالای هر سیم، بیانگر مقدار منطقی و مقدار پایین، نشان‌دهنده وضعیت بحرانی بودن یا نبودن آن سیم است. بخش (الف) تا (ج) از شکل ۲، تحلیل مستقل و جداگانه برای هر الگوی ورودی را نمایش می‌دهد، در حالی که بخش (د) تحلیل موازی و همزمان هر سه الگوی آزمون را نشان می‌دهد. برای وضوح بیشتر، در بخش (الف) تا (ج)، مسیرهای بحرانی با خطوط پررنگ مشخص شده‌اند.

به عنوان نمونه در بخش الف از شکل ۲، الگوی آزمون "۰۱۰" روی ورودی‌های مدار قرار داده شده است. با انجام تحلیل پیش‌رو، مقدار تمام سیم‌های مدار تعیین شده که در بالای هر سیم نشان داده شده است. سپس تحلیل پس‌رو از خروجی‌ها به سمت ورودی‌ها انجام می‌شود تا سیم‌های بحرانی مدار تعیین شوند. در این تحلیل خروجی مدار بحرانی در نظر گرفته می‌شود. مقدار ۱ در زیر سیم خروجی مدار، نشان‌دهنده بحرانی بودن آن است. سپس با حرکت به سمت ورودی‌های گیت OR، هر دو ورودی مدار، به عنوان بحرانی تعیین می‌شوند چون تغییر هر کدام از این ورودی‌ها، منجر به تغییر خروجی گیت OR می‌شود. ورودی‌های گیت AND بالایی هیچ‌کدام بحرانی نیستند چون تغییر هر کدام از این ورودی‌ها به تنهایی منجر به تغییر مقدار خروجی گیت AND نمی‌شود. ورودی گیت NOT نیز بحرانی نیست چون خروجی این گیت، غیربحرانی است. در مورد گیت AND پایین، تغییر ورودی بالایی باعث تغییر خروجی گیت نمی‌شود در حالی که تغییر مقدار ورودی پایینی باعث تغییر مقدار خروجی گیت می‌شود. در نتیجه ورودی بالایی گیت، غیر بحرانی و ورودی پایینی بحرانی است. تا این مرحله هر دو روش کلاسیک و تقریبی ردیابی مسیر بحرانی، مشابه با هم عمل می‌کنند. تفاوت این دو روش در تحلیل ساقه انشعاب این مدار است. در روش کلاسیک، مقدار ساقه تغییر داده می‌شود (در اینجا مقدار ۱ به ۰) و مدار به صورت پیش‌رو تحلیل شده و مقدار جدید خروجی مدار محاسبه می‌شود که همچنان صفر است. در نتیجه چون تغییر مقدار ساقه منجر به تغییر خروجی مدار نمی‌شود، ساقه انشعاب غیربحرانی است. در روش تقریبی ردیابی مسیر بحرانی، به سادگی و بدون نیاز به تحلیل پیش‌رو، اگر حداقل یکی از شاخه‌ها بحرانی باشد، ساقه انشعاب بحرانی در نظر گرفته می‌شود. در این مثال هیچ کدام از شاخه‌های انشعاب بحرانی نیستند و لذا روش تقریبی، ساقه را غیربحرانی تشخیص می‌دهد. پس از تعیین سیم‌های بحرانی، اشکال‌های قابل شناسایی توسط الگوی آزمون ورودی به راحتی تعیین می‌شوند که عبارتند از اشکال‌هایی روی خطوط بحرانی که مقدار آنها با مقدار منطقی آن سیم متفاوت است. در این مثال اشکال‌های چسبیده به یک[4] روی هر چهار سیم بحرانی مدار توسط الگوی آزمون "۰۱۰" قابل شناسایی است.

1. Single Stuck-at Fault Model
2. Netlist
3. Bitwise Logical Operations
4. Stuck-at One

Algorithm: APX_PPCPT_TG
Input:

- Netlist of a circuit
- Fault list with *m* faults, *f1* to *fm*
- Desired fault coverage, *fcDes*

Output:

- *AcpTV*: a list of test vectors for testing the input circuit

Parameters:

- *nParPats* ($1 \leq nParPats \leq 64$): the number of test patterns simulated in parallel
- *setSize*: the number of test patterns evaluated and compared, from which the one with the best fault coverage is selected and added to the final test set

01: START
02: Initialize *fc* (fault coverage) to 0
03: Initialize *detected* (detected faults) to 0
04: Initialize *AcpTV* (accepted test vectors) to an empty list
05: Set *expDet* to the desired number of faults to detect

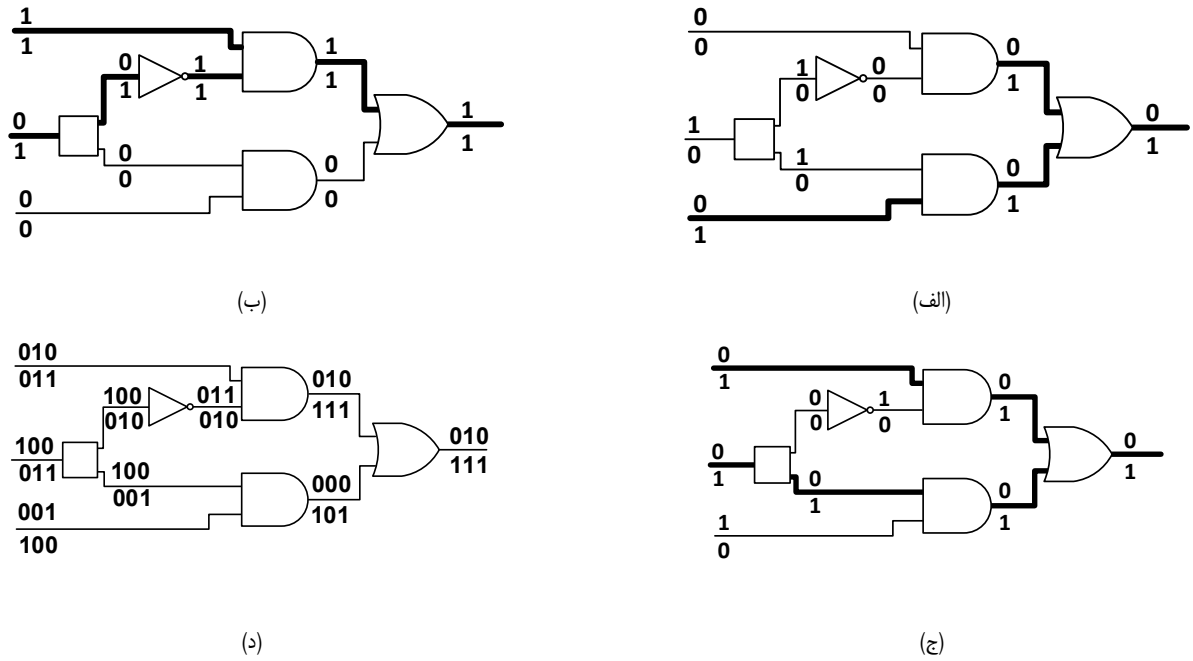
06: While *fc* < *fcDes*
07: Generate *setSize* random test patterns and store them in *curSet*

08: While not all test vectors in *curSet* are evaluated
09: Select *nParPats* unevaluated test patterns from *curSet* and insert them into *curBatch*
10: Apply all test patterns in *curBatch* to the circuit inputs
11: Set *FAULT_POLICY* to *UNDET_FLT*
12: Set *DROP_POLICY* to *KEEP*
13: Set simulation mode to *PAR_PATS*
14: Simulate the circuit in the forward direction and propagate input values to the outputs
15: Set simulation mode to *APX_PPCPT*
16: Simulate the circuit in the backward direction and identify all critical lines
17: Find the number of faults detected by each test pattern in *curBatch*
18: End While

19: Select the test pattern in *curSet* that detects the highest number of faults (*bestTV*)
20: Set *FAULT_POLICY* to *UNDET_FLT*
21: Set *DROP_POLICY* to *KEEP*
22: Set simulation mode to *PAR_FAULTS*
23: Apply *bestTV* to the circuit inputs
24: Simulate the circuit in the forward direction and propagate input values to the outputs
25: Determine the number of faults detected by *bestTV* and store it in *nNewDet*
26: If *nNewDet* > *expDet*
27: *detected* += *nNewDet*
28: Drop the faults detected by *bestTV* from the fault list
29: Add *bestTV* to *AcpTV*
30: Update *fc*
31: End If
32: End While

شکل ۱: الگوریتم پیشنهادی برای تولید آزمون مبتنی بر ردیابی تقریبی مسیر بحرانی با الگوهای موازی.

در شروع الگوریتم پیشنهادی *APX_PPCPT_TG* در شکل ۱ (خطوط ۱ تا ۵) ، مقداردهی اولیه متغیرها صورت می‌گیرد. سپس به صورت تکراری و تا رسیدن به پوشش اشکال دلخواه (*fcDes*)، تعدادی (به تعداد *setSize*) الگوی آزمون کاندید به صورت تصادفی تولید شده و در یک مجموعه به نام *curSet* قرار می‌گیرند (خط ۷). هر بار یک زیرمجموعه از *curSet* با تعداد الگوی آزمون معین (به تعداد *nParPats*)، انتخاب شده و با روش ردیابی تقریبی مسیر بحرانی با الگوهای موازی، پوشش اشکال تقریبی هر الگوی آزمون محاسبه شده و این کار تا تکمیل



شکل ۲: شبیه‌سازی به روش ردیابی تقریبی مسیر بحرانی ، (الف) الگوی آزمون ۰۱۰، (ب) الگوی آزمون ۱۰۰، (ج) الگوی آزمون ۰۰۱، و (د) پردازش موازی هر سه الگو با هم.

ارزیابی تمام بردارهای آزمون موجود در مجموعه *curSet* ادامه پیدا می‌کند (خطوط ۸ تا ۱۸). پس از تکمیل ارزیابی، الگوهای آزمون موجود در *curSet* از نظر تعداد تقریبی اشکال‌هایی که شناسایی می‌کنند با هم مقایسه شده و الگوی آزمونی که بیشترین تعداد اشکال را شناسایی می‌کند، به عنوان کاندید برای اضافه شدن به مجموعه آزمون نهایی انتخاب می‌شود (*bestTV* در خط ۱۹). سپس این الگوی آزمون (*bestTV*) به صورت دقیق و با روش شبیه‌سازی اشکال موازی (*PAR_FAULTS*) مورد بررسی قرار می‌گیرد و تعداد دقیق اشکال‌های قابل شناسایی توسط این بردار آزمون به دست می‌آید (خط ۲۰ تا ۲۵) و در صورتی که این تعداد از یک حد آستانه بالاتر باشد، این بردار آزمون به مجموعه آزمون نهایی افزوده شده و در غیر این صورت، از آن چشم پوشی می‌شود (۲۶ تا ۳۱). کل این فرایند تا جایی تکرار می‌شود که پوشش اشکال مجموعه آزمون تولید شده، به حد دلخواه برسد و یا اینکه تکرارهای جدید الگوریتم منجر به پیشرفت در پوشش اشکال نشود.

قابل ذکر است که در روش شبیه‌سازی *PAR_FAULTS* (خط ۲۲) نیز توازی در تحلیل و شبیه‌سازی مدار وجود دارد. با این تفاوت که در این روش، توازی مربوط به شبیه‌سازی نسخه‌های متعددی از مدار است که در هر یک از آن‌ها، یکی از اشکال‌های موجود در فهرست اشکال به مدار تزریق شده است. اساس این نوع پردازش نیز بر بهره‌گیری از پردازش برداری استوار است.

تسریع حاصل از الگوریتم پیشنهادی تولید آزمون، از روش‌های زیر حاصل می‌شود: ۱) توازی در سطح اشکال که به صورت ذاتی درتحلیل مسیر بحرانی وجود دارد. ۲) اعمال تقریب و ساده‌سازی در تحلیل انشعاب‌ها، ۳) توازی در سطح الگوهای آزمون در تحلیل پیش‌رو و پس‌رو مدار برای بررسی شایستگی بردارهای آزمون تصادفی، و ۴) توازی در سطح اشکال در محاسبه مقدار دقیق پوشش اشکال بردار آزمون کاندیدا.

٤- ارزیابی و نتایج

به منظور فراهم کردن امکان ارزیابی روش پیشنهادی، یک فرمت میانی شیءگرا به نام PLEX[1] طراحی شد. سپس با استفاده از زبان برنامه‌نویسی C++، یک شبیه‌ساز مدارهای دیجیتال در سطح گیت به نام LPSim[2] و مبتنی بر PLEX پیاده‌سازی گردید. این ابزار، توصیف مدار را بر اساس فرمت bench دریافت کرده و آن را به فرمت میانی PLEX تبدیل می‌کند و امکان شبیه‌سازی منطقی مدار، شبیه‌سازی دقیق اشکال به صورت سریال و موازی، شبیه‌سازی اشکال مبتنی بر نمونه‌برداری، شبیه‌سازی اشکال احتمالی، شبیه‌سازی اشکال به روش ردگیری تقریبی مسیر بحرانی، و نیز تولید آزمون برای مدار را فراهم می‌آورد. این شبیه‌ساز به دلیل قابلیت توسعه‌پذیری بالا، ابزار مناسبی برای پیاده‌سازی و ارزیابی سریع روش‌های تولید آزمون جدید است.

به منظور ارزیابی کارایی روش پیشنهادی، با استفاده از ابزار شبیه‌ساز LPSim و برای تعدادی از مدارهای محک ISCAS۸۵، ISCAS۸۹، و ITC۹۹، میزان همبستگی شاخص پوشش اشکال حاصل از روش ردیابی تقریبی مسیر بحرانی و شاخص دقیق پوشش اشکال مورد بررسی قرار گرفت که نتایج در بخش ۴-۱ ارائه می‌شود. علاوه بر این، با استفاده از روش پیشنهادی تولید آزمون، برای مدارهای مذکور، مجموعه آزمون تولید شد و کارایی مجموعه‌های آزمون تولید شده از نظر تعداد بردارهای آزمون، پوشش اشکال و زمان تولید آزمون مورد بررسی قرار گرفت. نتایج این بررسی در بخش ۴-۲ ارائه شده است. لازم به ذکر است که مجموعاً ۳۶ مدار از مدارهای محک ISCAS۸۹، ۱۱ مدار از مدارهای ISCAS۸۵، و ۱۳ مدار از مجموعه مدارهای ITC۹۹ مورد ارزیابی قرار گرفته‌اند. جدول ۱ نام مدارهای ارزیابی شده، و تعداد اِشکال‌ها و انشعاب‌های هر مدار را نشان می‌دهد.

1. Probabilisic-Logical Execution Model
2. Logical-Probabilistic Simulator

جدول ۱: مشخصات مدارهای مورد استفاده در ارزیابی روش‌ها.

مدار ITC۹۹	b۰۱	b۰۲	b۰۳	b۰۴	b۰۵	b۰۶	b۰۷	b۰۸	b۰۹
تعداد اشکال	۱۱۸	۶۴	۳۹۴	۱۶۸۴	۲۴۴۴	۱۴۰	۱۰۹۰	۴۵۲	۴۰۵
تعداد انشعاب	۱۷	۷	۴۴	۱۸۷	۳۱۵	۱۷	۱۴۴	۶۱	۴۷
مدار ITC۹۹	b۱۰	b۱۱	b۱۲	b۱۳					
تعداد اشکال	۵۱۷	۱۷۴۰	۲۸۷۸	۸۵۲					
تعداد انشعاب	۷۵	۲۱۸	۳۸۵	۱۱۰					
مدار ISCAS۸۵	C۱۷	C۴۳۲	C۴۹۹	C۸۸۰	C۱۳۵۵	C۱۹۰۸	C۲۶۷۰	C۳۵۴۰	C۵۳۱۵
تعداد اشکال	۲۲	۵۲۴	۷۵۸	۹۴۲	۱۵۷۴	۱۸۷۹	۲۷۴۷	۳۴۲۸	۵۳۵۰
تعداد انشعاب	۳	۸۹	۵۹	۱۲۵	۲۵۹	۳۸۵	۴۵۴	۵۷۹	۸۰۶
مدار ISCAS۸۵	C۶۲۸۸	C۷۵۵۲							
تعداد اشکال	۷۷۴۴	۷۵۵۰							
تعداد انشعاب	۱۴۵۶	۱۳۰۰							
مدار ISCAS۸۹	S۲۷	S۲۹۸	S۳۴۴	S۳۴۹	S۳۸۲	S۳۸۶	S۴۴۴	S۴۹۹	S۵۱۰
تعداد اشکال	۳۲	۳۰۸	۳۴۲	۳۵۰	۳۹۹	۳۸۴	۴۷۴	۵۸۳	۵۶۴
تعداد انشعاب	۴	۳۴	۴۰	۴۱	۴۹	۲۶	۶۵	۹۴	۷۳
مدار ISCAS۸۹	S۵۲۶	S۶۳۵	S۶۴۱	S۷۱۳	S۸۲۰	S۸۳۲	S۹۳۸	S۹۵۳	S۹۶۷
تعداد اشکال	۵۵۵	۶۶۶	۴۶۷	۵۸۱	۸۵۰	۸۷۰	۹۳۱	۱۰۷۹	۱۰۶۶
تعداد انشعاب	۵۴	۱۲۶	۵۷	۸۰	۳۹	۳۹	۱۱۸	۱۵۸	۱۴۹
مدار ISCAS۸۹	S۹۹۱	S۱۱۹۶	S۱۲۳۸	S۱۲۶۹	S۱۴۲۳	S۱۴۸۸	S۱۴۹۴	S۱۵۱۲	S۳۲۷۱
تعداد اشکال	۹۱۰	۱۲۴۲	۱۳۵۵	۱۳۴۳	۱۵۱۵	۱۴۸۶	۱۵۰۶	۱۳۵۷	۳۲۷۰
تعداد انشعاب	۱۲۰	۱۵۵	۱۶۵	۱۶۷	۱۸۰	۷۶	۷۶	۱۵۲	۴۲۵
مدار ISCAS۸۹	S۳۳۳۰	S۳۳۸۴	S۴۸۶۳	S۵۳۷۸	S۶۶۶۹	S۹۲۳۴	S۱۳۲۰۷	S۱۵۸۵۰	S۳۵۹۳۲
تعداد اشکال	۲۸۷۰	۳۳۸۰	۴۷۶۴	۴۶۰۳	۶۶۸۴	۶۹۲۷	۹۸۱۵	۱۱۷۲۵	۳۹۰۹۴
تعداد انشعاب	۳۰۹	۴۱۱	۵۸۷	۸۵۵	۸۸۱	۱۰۱۳	۱۲۲۴	۱۵۱۸	۵۲۹۵

۴-۱ همبستگی شاخص پوشش اشکال تقریبی با شاخص پوشش اشکال دقیق

در این بخش کارایی شاخص پوشش اشکال تقریبی حاصل از شبیه‌سازی اشکال به روش ردیابی تقریبی مسیر بحرانی مورد بررسی قرار می‌گیرد. به این منظور میزان همبستگی این شاخص با شاخص پوشش اشکال دقیق، برای مدارهای محک، مورد بررسی قرار می‌گیرد. برای هر مدار، ده مجموعه، هر کدام شامل ۲۰۰۰ الگوی آزمون تصادفی تولید شد. سپس با استفاده از ابزار LPSim، برای هر کدام از این مجموعه‌ها، شبیه‌سازی اشکال دقیق، شبیه‌سازی اشکال احتمالی، شبیه‌سازی اشکال مبتنی بر نمونه‌برداری، و شبیه‌سازی اشکال به روش ردیابی تقریبی مسیر بحرانی انجام شد و پوشش اشکال هر کدام از الگوهای آزمون به روش دقیق و تقریبی به دست آمد. سپس ضریب همبستگی بین هر کدام از شاخص‌های پوشش اشکال تقریبی با شاخص پوشش اشکال دقیق محاسبه شد. برای محاسبه ضریب همبستگی از (۱) استفاده شده است. در این معادله، Cor_i ضریب همبستگی اسپیرمن[1]، n تعداد داده‌ها و d_i اختلاف در رتبه‌بندی دو شاخصی که می‌خواهیم ضریب همبستگی آنها را محاسبه کنیم را نشان می‌دهد.

$$Cor_s = ۱ - \frac{۶\sum_{i=۱}^{n} d_i^۲}{n(n^۲ - ۱)} \qquad (۱)$$

1. Spearman's Correlation Coefficient

ضریب همبستگی، عددی بین ۱- تا ۱+ است. مثبت بودن ضریب همبستگی بین دو پارامتر نشان می‌دهد که با افزایش یکی از آنها، پارامتر دیگر نیز افزایش می‌یابد و منفی بودن ضریب همبستگی، نشان می‌دهد که افزایش یکی از پارامترها با کاهش دیگری همراه است. هر چه قدرمطلق همبستگی به یک نزدیک‌تر باشد، همبستگی بین آن دو پارامتر قوی‌تر است.

جدول‌های ۲ تا ۵ نتایج همبستگی را نشان می‌دهند. برای دقت بیشتر، برای هر مدار، ضریب همبستگی برای ده مجموعه تصادفی از الگوهای آزمون، محاسبه و میانگین آنها گزارش شده است. در این جدول‌ها، پارامترهای *APX_PPCPT_Cor*، *PRB_Cor*، *SMP10_Cor*، *SMP5_Cor* و *SMP3_Cor* به ترتیب ضریب همبستگی بین شاخص پوشش اشکال دقیق با شاخص‌های حاصل از روش‌های ردگیری تقریبی مسیر بحرانی، روش تحلیل احتمالاتی [۳۳]، روش نمونه‌برداری با نرخ نمونه برداری ٪۱۰، ٪۵ و ٪۳ را نشان می‌دهد [۳۴].

جدول ۲ نتایج همبستگی را برای ۱۰ مدار از ۳۶ مدار ارزیابی شده مجموعه ISCAS۸۹ نشان می‌دهد. جدول ۳ و جدول ۴ به ترتیب ضریب همبستگی را برای ۱۰ مدار از مجموعه ISCAS۸۵، و ۱۰ مدار از ۱۳ مدار ارزیابی شده ITC۹۹ ارائه می‌کنند. نتایج نشان می‌دهند که در اکثر قریب به اتفاق مدارها، روش ردگیری تقریبی مسیر بحرانی نسبت به سایر شاخص‌های تقریبی، همبستگی قوی‌تر با شاخص پوشش اشکال دارد.

جدول ۵، همبستگی نتایج حاصل از روش‌های تقریبی و پوشش اشکال دقیق را برای تمام مدارهای بررسی شده (۶۰ مدار)، در سه بازه همبستگی قوی (ضریب همبستگی بزرگتر از ۰/۷)، همبستگی متوسط (ضریب

جدول ۲: ضریب همبستگی شاخص‌های تقریبی و شاخص دقیق پوشش اشکال در تعدادی از مدارهای ISCAS۸۹.

مدار	S۳۲۷۱	S۳۳۳۰	S۳۳۸۴	S۴۸۶۳	S۵۳۷۸	S۶۶۶۹	S۹۲۳۴	S۱۳۲۰۷	S۱۵۸۵۰	S۳۵۹۳۲
ضریب همبستگی										
APX_PPCPT_Cor	۰٫۹۸۹	۰٫۹۹۹	۰٫۹۲۱	۰٫۹۹۳	۰٫۹۷۷	۰٫۶۶۵	۰٫۹۷۷	۰٫۹۹۵	۰٫۹۹۶	۰٫۹۴۶
PRB_Cor	۰٫۸۹۹	۰٫۷۸۱	−۰٫۸۵	۰٫۵۶۶	۰٫۸۰۹	۰٫۱۳۳	۰٫۵۱۵	۰٫۴۱۲	۰٫۵۱۰	۰٫۹۷۷
SMP۱۰_Cor	۰٫۸۲۳	۰٫۷۴۸	۰٫۳۳۱	۰٫۹۱۱	۰٫۴۵۳	۰٫۲۶۲	۰٫۶۷۶	۰٫۶۳۳	۰٫۸۹۰	۰٫۸۵۸
SMP۵_Cor	۰٫۷۵	۰٫۶۹۲	۰٫۲۵۷	۰٫۸۷۸	۰٫۳۴۴	۰٫۲۲۸	۰٫۴۰۸	۰٫۴۲۹	۰٫۸۳۷	۰٫۸۶۰
SMP۳_Cor	۰٫۶۳۹	۰٫۷۶۶	۰٫۲۱۳	۰٫۸۴۶	۰٫۲۸۲	۰٫۱۳۸	۰٫۴۷۵	۰٫۳۵۳	۰٫۶۷۷	۰٫۸۸۶

جدول ۳: ضریب همبستگی شاخص‌های تقریبی و شاخص دقیق پوشش اشکال در تعدادی از مدارهای ISCAS۸۵.

مدار	C۴۳۲	C۴۹۹	C۸۸۰	C۱۳۵۵	C۱۹۰۸	C۲۶۷۰	C۳۵۴۰	C۵۳۱۵	C۶۲۸۸	C۷۵۵۲
ضریب همبستگی										
APX_PPCPT_Cor	۰٫۹۷۶	۰٫۷۵۵	۰٫۹۴۵	۰٫۷۶۷	۰٫۹۹۹	۰٫۹۳۰	۰٫۸۳۲	۰٫۹۹۶	۱	۰٫۹۵۰
PRB_Cor	۰٫۸۴۹	۰٫۷۶۰	۰٫۹۰۶	۰٫۸۳۸	۰٫۹۳۴	۰٫۶۲۷	۰٫۶۵۶	۰٫۹۴۸	۰٫۳۰۵	۰٫۳۶۸
SMP۱۰_Cor	۰٫۶۷۷	۰٫۷۴۶	۰٫۸۰۹	۰٫۷۰۱	۰٫۷۵۱	۰٫۸۲۸	۰٫۶۸۸	۰٫۹۲۱	۰٫۶۰۹	۰٫۶۸۲
SMP۵_Cor	۰٫۶۳۵	۰٫۶۷۰	۰٫۶۷۶	۰٫۶۳۲	۰٫۷۳۰	۰٫۷۲۸	۰٫۵۸۸	۰٫۸۶۵	۰٫۴۵۳	۰٫۵۳۸
SMP۳_Cor	۰٫۵۶۷	۰٫۶۲۵	۰٫۴۲۹	۰٫۶۱۹	۰٫۷۴۲	۰٫۴۱۹	۰٫۷۲۳	۰٫۷۱۲	۰٫۰۶۱	۰٫۵۶۰

جدول ۴: ضریب همبستگی شاخص‌های تقریبی و شاخص دقیق پوشش اشکال در تعدادی از مدارهای ITC۹۹.

مدار	b۰۶	b۰۷	b۰۸	b۰۹	b۱۰	b۱۱	b۱۲	b۱۳	b۱۴	b۱۵
ضریب همبستگی										
APX_PPCPT_Cor	۰٫۹۹۸	۰٫۹۸۴	۰٫۹۲۱	۰٫۹۹۴	۰٫۹۲۱	۰٫۹۸۸	۰٫۹۸۶	۰٫۸۸۵	۰٫۹۹۷	۰٫۸۸۵
PRB_Cor	۰٫۸۴۸	۰٫۹۰۹	۰٫۳۸۵	۰٫۷۱۱	۰٫۶۱۵	۰٫۸۳۷	۰٫۵۳۹	۰٫۵۰۹	۰٫۹۰۳	۰٫۷۲۸
SMP۱۰_Cor	۰٫۳۲۹	۰٫۷۶۴	۰٫۴۰۷	۰٫۷۸۹	۰٫۳۴۶	۰٫۵۸۷	۰٫۶۷۵	۰٫۴۲۵	۰٫۸۶۸	۰٫۸۱۲
SMP۵_Cor	۰٫۱۷۴	۰٫۷۲۸	۰٫۲۶۱	۰٫۷۱۵	۰٫۱۸۸	۰٫۵۰۲	۰٫۵۴۲	۰٫۱۸۵	۰٫۸۱۸	۰٫۷۱۷
SMP۳_Cor	۰٫۱۳۶	۰٫۳۹۲	۰٫۲۳۵	۰٫۰۷۶	۰٫۱۲۴	۰٫۴۸۵	۰٫۳۳۶	۰٫۱۶۱	۰٫۷۶۳	۰٫۵۰۷

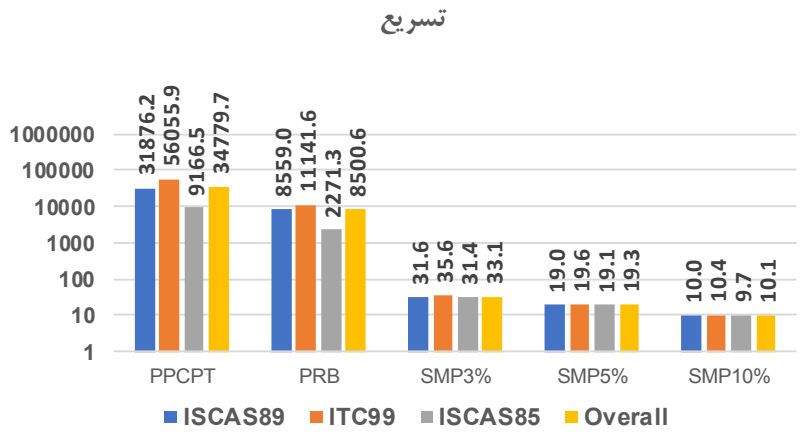
جدول ۵: شدت همبستگی بین نتایج روش‌های مختلف شبیه‌سازی تقریبی اشکال با شاخص پوشش اشکال دقیق.

مجموعه مدار	شدت همبستگی	*APX_PCPT*	*PRB*	*SMP۱۰*	*SMP۵*	*SMP۳*
ISCAS۸۹	همبستگی قوی	۳۵	۲۸	۱۶	۱۰	۱۱
	همبستگی متوسط	۱	۵	۱۱	۸	۷
	همبستگی ضعیف	۰	۳	۹	۱۸	۱۸
ITC۹۹	همبستگی قوی	۱۲	۷	۳	۲	۰
	همبستگی متوسط	۰	۳	۵	۴	۲
	همبستگی ضعیف	۱	۳	۵	۷	۱۱
ISCAS۸۵	همبستگی قوی	۱۱	۷	۶	۳	۳
	همبستگی متوسط	۰	۲	۴	۶	۵
	همبستگی ضعیف	۰	۲	۱	۲	۳

همبستگی قوی: ضریب همبستگی بزرگتر از ۰٫۷ همبستگی متوسط: ضریب همبستگی از ۰٫۵ تا ۰٫۷ همبستگی ضعیف: ضریب همبستگی کمتر از ۰٫۵

همبستگی از ۰٫۵ تا ۰٫۷)، و همبستگی ضعیف (ضریب همبستگی کمتر از ۰٫۵) دسته‌بندی می‌کند. این نتایج تأیید می‌کند که روش ردگیری تقریبی مسیر بحرانی (*APX_PPCPT*) به صورت قابل توجه عملکرد بهتری از سایر روش‌های تقریبی دارد و در تمام مدارهای ارزیابی شده، به استثناء یک مدار از مجموعه ISCAS۸۹ و یک مدار از مجموعه ITC۹۹، نتایج با همبستگی قوی تولید کرده است.

شکل ۳ تسریع حاصل از روش‌های تقریبی شبیه‌سازی اشکال را در مقایسه با روش شبیه‌سازی اشکال سریال نشان می‌دهد. مقادیر تسریع هم به صورت مجزا برای شبیه‌سازی اشکال در مدارهای ISCAS۸۵، ISCAS۸۹، و ITC۹۹ و هم در مجموع برای پردازش تمام مدارهای این سه مجموعه، گزارش شده است. نتایج نشان می‌دهد که شبیه‌سازی اشکال به روش ردگیری تقریبی مسیر بحرانی و سپس روش



شکل۳: تسریع در پردازش روش‌های تقریبی شبیه‌سازی اشکال.

جدول ۶: نتایج تولید مجموعه آزمون برای مدارهای محک در بیشترین پوشش اشکال.

مجموعه مدار	شاخص	*PAR_TG*	*APX_PCPT_TG*	*PRB_TG*	*SMP۱۰_TG*	*SMP۵_TG*	*SMP۳_TG*
S۳۵۹۳۲	تعداد بردار	۵۸	۵۵	۴۳	۶۳	۵۹	۵۶
	پوشش اشکال	۸۹٫۸	۸۹٫۸	۸۸٫۶	۸۹٫۸	۸۹٫۸	۸۹٫۷
	تسریع	۱٫۰	۳۱٫۲	۲۵٫۰	۰٫۱	۰٫۳	۰٫۵
S۱۳۲۰۷	تعداد بردار	۵۲۲	۵۲۵	۳۸۰	۵۳۹	۵۱۷	۴۹۸
	پوشش اشکال	۹۷٫۲	۹۷٫۱	۹۳٫۴	۹۶٫۹	۹۶٫۳	۹۵٫۶
	تسریع	۱٫۰	۱۷٫۳	۴٫۸	۰٫۱	۰٫۲	۰٫۲
C۶۲۸۸	تعداد بردار	۲۴	۲۴	۳۲	۲۶	۲۶	۲۲
	پوشش اشکال	۹۹٫۲	۹۹٫۲	۹۸٫۹	۹۹٫۱	۹۹٫۱	۹۸٫۸
	تسریع	۱٫۰	۲۴/۷	۵/۷	۰٫۲	۰٫۳	۰/۵
C۵۳۱۵	تعداد بردار	۱۱۶	۱۱۲	۹۶	۱۳۷	۱۳۵	۱۳۰
	پوشش اشکال	۹۸٫۹	۹۸٫۹	۹۷٫۴	۹۸٫۶	۹۸٫۴	۹۷٫۹
	تسریع	۱٫۰	۱۵٫۵	۴٫۱	۰٫۱	۰٫۲	۰٫۳
b۱۳	تعداد بردار	۳۹	۳۹	۳۴	۴۸	۴۹	۵۰
	پوشش اشکال	۹۷٫۰	۹۷٫۰	۹۵٫۹	۹۶٫۹	۹۶٫۹	۹۶٫۹
	تسریع	۱٫۰	۲٫۷	۱٫۲	۰٫۲	۰٫۳	۰٫۴
b۱۲	تعداد بردار	۱۷۴	۱۷۴	۱۶۹	۱۹۱	۱۸۲	۱۷۵
	پوشش اشکال	۹۸٫۴	۹۸٫۴	۹۷٫۵	۹۷٫۸	۹۶٫۸	۹۵٫
	تسریع	۱٫۰	۹٫۱	۲٫۱	۰٫۲	۰٫۳	۰٫۳
کل ۶۰ مدار ارزیابی‌شده	تعداد بردار	۵۵۳۱	۵۵۴۸	۴۴۴۵	۵۹۸۵	۵۷۷۸	۵۵۷۳
	پوشش اشکال	۹۳٫۹	۹۳٫۹	۹۱٫۸	۹۳٫۵	۹۳٫۲	۹۲٫۷
	تسریع	۱٫۰	۱۷٫۴۵	۴٫۷۸	۰٫۰۹	۰٫۱۵	۰٫۲۳

شبیه‌سازی اشکال احتمالاتی بیشترین تسریع را دارند.

۴-۲ بررسی کارایی مجموعه آزمون‌های تولید شده

به منظور بررسی کارایی روش تولید آزمون پیشنهادی، با استفاده از شش روش *APX_PPCPT_TG*، *PRB_TG*، *SMP10_TG*، *SMP5_TG*، *SMP3_TG*، و *PAR_TG* برای ۳۶ مدار از مجموعه ISCAS۸۹، ۱۱ مدار از مجموعه ISCAS۸۵ و ۱۳ مدار از مجموعه ITC۹۹، مجموعه آزمون تولید کردیم. لازم به ذکر است که *APX_PPCPT_TG* روش آزمون پیشنهادی با استفاده از شاخص ردگیری تقریبی مسیر بحرانی است که جزئیات آن در شکل ۱ ارائه شده است. سایر روش‌های تولید آزمون مشابه با الگوریتم شکل ۱ هستند با این تفاوت که برای ارزیابی بردارهای آزمون تصادفی (خط ۱۵ تا ۱۷ شکل ۱) در روش *PAR_TG* از شبیه‌سازی اشکال موازی، در روش *PRB_TG* از شبیه‌سازی اشکال احتمالاتی [۳۳] و در روش‌های *SMP۱۰_TG*، *SM۵_TG* و *SMP۳_TG* از شبیه‌سازی اشکال به روش نمونه‌برداری [۳۴] و به ترتیب با نرخ نمونه‌برداری اشکال ۱۰٪، ۵٪ و ۳٪ استفاده شده است.

نتایج در جدول ۶ نشان می‌دهد که روش *APX_PPCPT_TG* نتایجی بسیار نزدیک به روش *PAR_TG* از نظر تعداد بردار آزمون و پوشش اشکال ولی با تسریع قابل توجه تولید کرده است. با در نظر گرفتن

جدول ۷: نتایج تولید مجموعه آزمون برای مدارهای محک در پوشش اشکال کمینه.

مجموعه مدار	شاخص	*PAR_TG*	*APX_PCPT_TG*	*PRB_TG*	*SMP۱۰_TG*	*SMP۵_TG*	*SMP۳_TG*
S۳۵۹۳۲	۲۷	۲۶	۴۳	۲۸	۲۸	۲۸	۲۷
	۸۸٫۸	۸۸٫۷	۸۸٫۶	۸۸٫۷	۸۸٫۷	۸۸٫۶	۸۸٫۸
	۱٫۰	۳۱٫۴	۱۶٫۸	۰٫۱	۰٫۳	۰٫۴	۱٫۰
S۱۳۲۰۷	۲۷۷	۳۳۰	۳۸۸	۳۵۳	۳۷۱	۳۷۴	۲۷۷
	۹۳٫۱	۹۳٫۱	۹۳٫۱	۹۳٫۱	۹۳٫۱	۹۳٫۱	۹۳٫۱
	۱٫۰	۱۳٫۰	۲٫۶	۰٫۱	۰٫۲	۰٫۲	۱٫۰
C۶۲۸۸	۱۷	۱۷	۳۱	۲۰	۲۱	۲۲	۱۷
	۹۹٫۲	۹۹٫۲	۹۹٫۲	۹۹٫۲	۹۹٫۱	۹۹٫۱	۹۹٫۲
	۱٫۰	۲۵٫۸	۵٫۶	۰٫۱	۰٫۳	۰٫۵	۱٫۰
C۵۳۱۵	۶۶	۶۶	۹۶	۹۹	۹۹	۱۱۴	۶۶
	۹۷٫۴	۹۷٫۴	۹۷٫۳	۹۷٫۴	۹۷٫۴	۹۷٫۳	۹۷٫۴
	۱٫۰	۱۸٫۷	۳٫۴	۰٫۱	۰٫۲	۰٫۳	۱٫۰
b۱۳	۳۴	۳۴	۳۴	۳۹	۴۰	۴۱	۳۴
	۹۶٫۲	۹۶٫۲	۹۵٫۹	۹۵٫۸	۹۵٫۸	۹۵٫۸	۹۶٫۲
	۱٫۰	۲٫۹	۰٫۶	۰٫۲	۰٫۲	۰٫۲	۱٫۰
b۱۲	۱۵۶	۱۵۶	۱۶۰	۱۸۲	۱۷۱	۱۷۵	۱۵۶
	۹۵٫۶	۹۵٫۶	۹۵٫۶	۹۵٫۶	۹۴٫۷	۹۵٫۶	۹۵٫۶
	۱٫۰	۱۱٫۵	۱٫۹	۰٫۱	۰٫۲	۰٫۱	۱٫۰
کل ۶۰ مدار ارزیابی‌شده	۳۵۲۶	۳۵۸۰	۴۱۳۹	۴۳۹۲	۴۴۹۵	۴۶۲۹	۳۵۲۶
	۹۱٫۵	۹۱٫۵	۹۱٫۴	۹۱٫۴	۹۰٫۹	۹۰٫۹	۹۱٫۵
	۱٫۰	۱۵٫۲۳	۲٫۷۷	۰٫۱۱	۰٫۱۵	۰٫۱۴	۱٫۰

کل ۶۰ مدار مورد ارزیابی، روش پیشنهادی *APX_PPCPT_TG* توانسته است در مقایسه با روش *PAR_TG* و در پوشش اشکال یکسان به تسریع حدود ۱۷/۵ برابر دست پیدا کند در حالی که تعداد بردارهای آزمون حاصل برای دستیابی به این پوشش اشکال، حدود ۰٫۳٪ افزایش یافته است. این افزایش در تعداد بردارهای آزمون ناشی از این است که روش *PAR_TG* از شاخص پوشش اشکال دقیق و روش *APX_PPC_TG* از یک شاخص تقریبی برای ارزیابی بردارهای آزمون استفاده می‌کند. با توجه به تسریع قابل توجه روش *APX_PPC_TG* نسبت به روش *PAR_TG*، که منجر به مقیاس‌پذیری و امکان به‌کارگیری آن برای تولید آزمون در مدارهای بزرگ‌تر می‌شود، این افزایش ناچیز در تعداد بردارهای آزمون قابل قبول است.

روش *APX_PPCPT_TG* در مقایسه با سایر روش‌های تقریبی عملکرد بهتری داشته و توانسته است با تعداد بردارهای آزمون کمتر به پوشش اشکال بالاتری دست یابد. البته تعداد بردارهای آزمون در روش *PRB_TG* کمتر است ولی این امر به قیمت پوشش اشکال پایین‌تر تمام شده است. روش تولید آزمون *APX_PPCPT_TG* در مقایسه با *PRB_TG*، روش‌های *SMP۱۰_TG*، *SM۵_TG* و *SMP۳_TG* به ترتیب ۳/۷، ۱۹۳/۹، ۱۱۶/۳، و ۷۵/۹ برابر سریع‌تر است.

همانطوری که گفته شد، نتایج در جدول ۶ نشان می‌دهد که *PRB_TG* در مقایسه با روش *APX_PPCPT_TG* تعداد بردار آزمون کمتری تولید کرده ولی در عوض به پوشش اشکال پایین‌تری دست پیدا کرده است. به منظور مقایسه عادلانه‌تر، در جدول ۷، نتایج تولید آزمون توسط روش‌های مختلف، در کمترین پوشش اشکال ارائه شده است. به این ترتیب که به ازای هر مدار، حداقل پوشش اشکال حاصل از روش‌های مختلف تولید آزمون در نظر گرفته شده و مقایسه روش‌ها از نظر سرعت، پوشش اشکال و سرعت در آن نقطه انجام شده است. نتایج نشان می‌دهد که روش پیشنهادی *APX_PPCPT_TG* در مقایسه با روش *PAR_TG* که از شاخص پوشش اشکال دقیق استفاده می‌کند، در پوشش اشکال یکسان به تسریع ۱۵/۲ برابر دست پیدا کرده است و در عین حال تعداد بردارهای آزمون حاصل از آن فقط ۱٫۵٪ افزایش داشته است. روش تولید آزمون *APX_PPCPT_TG* در مقایسه با *PRB_TG*، ۵/۵ برابر و در مقایسه با سه روش *SMP۱۰_TG*، *SM۵_TG* و *SMP۳_TG* به ترتیب حدود ۱۳۸، ۱۰۱، و ۱۰۸ برابر سریعتر است در حالی که پوشش اشکال اندکی بالاتر و تعداد بردارهای آزمون به مراتب کمتری دارد.

۵- نتیجه‌گیری

در این پژوهش، یک روش مبتنی بر شبیه‌سازی برای تولید آزمون برای مدارهای دیجیتال ترکیبی ارائه شده است. این روش با استفاده از معیار تقریبی حاصل از روش ردگیری تقریبی مسیر بحرانی، به ارزیابی و گزینش الگوهای آزمون با کارایی بالا می‌پردازد. نتایج ارزیابی‌ها نشان می‌دهد که شاخص تقریبی حاصل از این روش در ۵۸ مدار از ۶۰ مدار ارزیابی شده از مجموعه‌های ISCAS۸۹، ISCAS۸۵ و ITC، دارای همبستگی قوی با شاخص پوشش اشکال دقیق است. نتایج تولید آزمون برای ۶۰ مدار محک نشان می‌دهد که روش پیشنهادی برای تولید آزمون

در مقایسه با روشی که از شاخص پوشش اشکال دقیق استفاده می‌کند حدود ۱۷٫۵ برابر سریع‌تر است و تنها با ۰٫۳٪ افزایش در تعداد بردارهای آزمون به پوشش اشکال یکسان دست پیدا می‌کند. روش تولید آزمون پیشنهادی در مقایسه با روش‌هایی که از سایر شاخص‌های تقریبی برای ارزیابی بردارهای آزمون استفاده می‌کنند با پوشش اشکال بالاتر، تا ۷٪ کاهش در تعداد بردارهای آزمون و تا ۱۹۳ برابر تسریع در زمان اجرا دارد. روش تولید آزمون پیشنهادی می‌تواند به صورت کارا با یک روش قطعی برای شناسایی اشکال‌های سخت‌شناسایی شونده در مدارهای بزرگ و پیچیده مورد استفاده قرار گیرد. علاوه بر این می‌توان با پیاده‌سازی روش پیشنهادی روی GPU یا محیط‌های چندپردازنده‌ای از تسریع مضاعف در تولید آزمون بهره برد.

مراجع

[1] H. Fujiwara and Toida, "The complexity of fault detection Problems for combinational logic circuits," *IEEE Trans. on Computers*, vol. 31, no. 6, pp. 555-560, Jun. 1982.

[2] J. P. Roth, W. G. Bouricius, and P. R. Schneider, "Programmed algorithms to compute tests to detect and distinguish between failures in logic lircuits," *IEEE Trans. on Electronic Computers*, vol. 16, no. 5, pp. 567-580, Oct. 1967.

[3] H. Fujiwara, "Fan: A fanout-oriented test pattern generation algorithm," in *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 671-674, Kyoto, Japan, 5-7 Jun.1985.

[4] M. H. Schulz, E. Trischler, and T. M. Sarfert, "SOCRATES: A highly efficient automatic test pattern generation system," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 7, no. 1, pp. 126-137, Jan. 1988.

[5] Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits," *IEEE Trans. on Computers*, vol. \30, no. 3, pp. 215-222, Mar. 1981.

[6] E. O. Osimiry, R. Ubar, S. Kostin, and J. Raik, "A novel random approach to diagnostic test generation," in *Proc. 2016 IEEE Nordic Circuits and Systems Conf.*, 4 pp., Copenhagen, Denmark, 1-2 Nov. 2016.

[7] A. Kamran, M. S. Jahangiry, and Z. Navabi, "Merit based directed random test generation (MDRTG) scheme for combinational circuits," in *Proc. 2010 East-West Design & Test Symp.*, pp. 416-419, St. Petersburg, Russia, 17-20 Sept. 2010.

[8] E. M. Rudnick, J. H. Patel, G. S. Greenstein, and T. M. Niermann, "A genetic algorithm framework for test generation," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 9, pp. 1034-1044, Sept. 1997.

[9] E. M. Rudnick, J. G. Holm, D. G. Saab, and J. H. Patel, "Application of simple genetic algorithms to sequential circuit test generation," in *Proc. of European Design and Test Conference EDAC-ETC-EUROASIC*, pp. 40-45, Paris, France, 28 Feb.-3 Mar. 1994.

[10] H. Harmanani and B. Karablieh, "A hybrid distributed test generation method using deterministic and genetic algorithms," in *Proc. 5th. Int. Workshop on System-on-Chip for Real-Time Applications*, pp. 317-322, Banff, Canada, 20-24 Jul. 2005.

[11] M. Fooladi and A. Kamran, "Speed-Up in test Methods Using Probabilistic Merit Indicators," *Journal of Electronic Testing*, vol. 36, no. 2, pp. 285-296, Apr. 2020.

[12] M. Azimipour, M. r. Bonyadi, and M. Eshghi, "Using immune genetic algorithm in ATPG," *Australian Journal of Basic and Applied Sciences*, vol. 2, no. 4, pp. 920-928, Oct./Dec. 2008.

[13] J. P. Anita and P. T. Vanathi, "Genetic algorithm based test pattern generation for multiple stuck-at faults and test power reduction in VLSI circuits," in *Proc. 2014 Int. Conf. on Electronics and Communication Systems*, 6 pp., Coimbatore, India, 13-14 Feb. 2014.

[14] A. Bhar, S. Chattopadhyay, I. Sengupta, and R. Kapur, "GA based diagnostic test pattern generation for transition faults," in *Proc. 19th Int. Symp. on VLSI Design and Test*, 6 pp., Ahmedabad, India, 26-29 Jun 2015.

[15] A. N. Nagamani, S. N. Anuktha, N. Nanditha, and V. K. Agrawal, "A genetic algorithm-based heuristic method for test set generation in reversible circuits," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 37, no. 2, pp. 324-336, Feb. 2018.

[16] R. Farah and H. M. Harmanani, "An ant colony optimization approach for test pattern generation," in *Proc. 2008 Canadian Conf. on Electrical and Computer Engineering*, pp. 001397-001402, Niagara Falls, Canada, 4-7 May 2008.

[17] Z. Jiali, Z. Lin, Y. Yun, N. Tianlin, Z. Long, and X. Xiaodong, "The test pattern generation for digital integrated circuits based on CA-IA-PSO algorithm," in *Proc. 7th. Int. Conf. on Measuring Technology and Mechatronics Automation*, pp. 1316-1320, Nanchang, China, 13-14 Jun. 2015.

[18] G. Yuan-Liang and X. Wen-Bo, "Study on Automatic test generation of digital circuits using particle swarm optimization," in *Proc. 10th Int. Symp.on Distributed Computing and Applications to Business, Engineering and Science*, pp. 324-328, Sydney, Australia, 14-17 Oct. 2011.

[19] M. M. Alateeq and W. Pedrycz, "Analysis of optimization algorithms in automated test pattern generation for sequential circuits," in *Proc. 2017 IEEE Int. Conf. on Systems, Man, and Cybernetics*, Banff, Canada, 5-8 Oct. 2017.

[20] P. Bhattacharya, R. Bhattacharya, and H. Deka, "MATLAB-open source tool based framework for test generation for digital circuits using evolutionary algorithms," *Journal of Electronic Testing,* vol. 39, no. 5-6, pp. 555-570, Dec. 2023.

[21] E. Haghparast, S. H. Zahiri, and A. Bijari, "An intelligent ATPG technique based on meta-heuristic algorithms," in *Proc. 19th Iranian Conf. on Intelligent Systems*, pp. 94-99, Sirjan, Iran, 23-24 Oct. 2024.

[22] E. Schneider and H. J. Wunderlich, "SWIFT: Switch-level fault simulation on GPUs," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 38, no. 1, pp. 122-135, Jul. 2019.

[23] M. Li and M. S. Hsiao, "3-D parallel fault simulation with GPGPU," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, no. 10, pp. 1545-1555, Oct. 2011.

[24] M. Beckler and R. D. Blanton, "Fault simulation acceleration for TRAX dictionary construction using GPUs," in *Proc. 2017 IEEE Int. Test Conf.*, 9 pp., 31 Oct.-2 Nov. 2017 2017.

[25] M. H. Haghbayan, S. Teräväinen, A. M. Rahmani, P. Liljeberg, and H. Tenhunen, "Adaptive fault simulation on many-core microprocessor systems," in *Proc. 2015 IEEE Int. Symp. on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, pp. 151-154, Amherst, USA, 12-14 Oct. 2015.

[26] S. Hadjitheophanous, S. N. Neophytou, and M. K. Michael, "Scalable parallel fault simulation for shared-memory multiprocessor systems," in *Proc. IEEE 34th VLSI Test Symp.*, 6 pp., Las Vegas, NV, USA, 25-27 Apr. 2016.

[27] M. Karami, M. H. Haghbayan, M. Ebrahimi, A. Miele, H. Tenhunen, and J. Plosila, "Hierarchical fault simulation of deep neural networks on multi-core systems," in *Proc. 2021 IEEE European Test Symp.*, 2 pp. Bruges, Belgium, 24-28 May 2021.

[28] P. R. Maier, U. Sharif, D. Mueller-Gritschneder, and U. Schlichtmann, "Efficient fault injection for embedded systems: As fast as possible but as accurate as necessary," in *Proc. IEEE 24th Int. Symp. on On-Line Testing And Robust System Design*, pp. 119-122, Costa Brava, Spain, 2-4 Jul. 2018.

[29] J. T. Xiao, *et al.*, "An ISA-level accurate fault simulator for system-level fault analysis," in *Proc. IEEE 29th Asian Test Symp.*, 6 pp., Penang, Malaysia, 23-26 Nov. 2020.

[30] L. Kafka and O. Novak, "FPGA-based fault simulator," in *Proc. 9th IEEE Design and Diagnostics of Electronic Circuits and Systems*, pp. 272-276, Prague, Czech Republic, 18-21 Apr. 2006.

[31] F. Ferlini, *et al.*, "A methodology for accelerating FPGA fault injection campaign using ICAP," *Electronics*, vol. 12, no. 4, ArticleID: 807, Feb.-2 2023.

[32] P. Bhattacharya, A. Shakeel, and R. Bhattacharya, "Fault emulation in digital circuits using FPGA based software-hardware co-simulation," in *Proc. 11th Int. Conf. on Signal Processing and Integrated Networks*, pp. 355-360, Noida, India, 21-22 Mar. 2024.

[33] F. M. Goncalves, M. B. Santos, I. C. Teixeira, and J. P. Teixeira, "Self-checking and fault tolerance quality assessment using fault sampling," in *Proc. 17th IEEE Int. Symp. on Defect and Fault Tolerance in VLSI Systems*, pp. 216-224, 6-8 Nov. 2002.

[34] M. Fooladi and A. Kamran, "Speed-Up in Test Methods Using Probabilistic Merit Indicators," *Journal of Electronic Testing,* vol. 36, no. 2, pp. 285-296, Apr. 2020

[35] S. Mirkhani, J. A. Abraham, T. Vo, H. Jun, and B. Eklow, "FALCON: Rapid statistical fault coverage estimation for complex designs," in *Proc. 2012 IEEE Int. Test Conf.*, 10 pp., 5-8 Nov. 2012.

[36] Z. Navabi, *Digital System Test and Testable Design: Using HDL Models and Architectures*, Springer, 2011.

[37] A. Ehteram, H. Sabaghian-Bidgoli, H. Ghasvari, and S. Hessabi, "A simple and fast solution for fault simulation using approximate

parallel critical path tracing," *Canadian Journal of Electrical and Computer Engineering*, vol. 43, no. 2, pp. 100-110, Spring 2020.

زینب مرادی قیسوندی تحصیلات خود را در مقطع کارشناسی مهندسی کامپیوتر در سال ۱۳۹۶ و در مقطع کارشناسی ارشد مهندسی کامپیوتر گرایش معماری کامپیوتر در سال ۱۴۰۳ در دانشگاه رازی به پایان رساند. زمینه تحقیقاتی مورد علاقه ایشان طراحی و تست سیستم‌های دیجیتال است.

آرزو کامران در سال ۱۳۸۰ مدرک کارشناسی مهندسی کامپیوتر از دانشگاه تهران و در سال ۱۳۸۲ مدرک کارشناسی ارشد مهندسی کامپیوتر در گرایش معماری کامپیوتر از دانشگاه صنعتی شریف دریافت کردند. ایشان از سال ۱۳۸۲ تا سال ۱۳۸۸ در پروژه‌های تحقیقاتی و صنعتی مربوط به توسعه ابزارهای شبیه‌سازی و تست سیستم‌های دیجیتال مشغول به فعالیت بودند. پس از آن در دوره دکتری مهندسی کامپیوتر در دانشگاه تهران پذیرفته شده و در سال ۱۳۹۴ موفق به اخذ درجه دکترا در رشته مهندسی کامپیوتر از دانشگاه مذکور شدند. ایشان از سال ۱۳۹۴ به عنوان عضو هیأت علمی در دانشکده مهندسی برق و کامپیوتر دانشگاه رازی مشغول به فعالیت هستند. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل موضوعاتی چون طراحی و تست سیستم‌های دیجیتال، مدارهای محاسباتی تقریبی، و سخت‌افزارها و شتاب‌دهنده‌های شبکه‌های عصبی است.

.