مقاله پژوهشی

ارائه مدار نوشتن جدید جهت کاهش انرژی و تأخیر عملیات نوشتن در حافظه‌های STT-MRAM با بهره‌گیری از روش دمایی

امیرمحمد حاجی‌صادقی، حمیدرضا زرندی و شاهرخ جلیلیان

چکیده: با پیشرفت تکنولوژی و کوچک‌ترشدن ابعاد ترانزیستورها در تکنولوژی CMOS، چالش‌های متعددی به وجود آمده‌اند. از نگرانی‌های اصلی در بهره‌گیری از حافظه‌های مبتنی بر CMOS، می‌توان توان مصرفی بالا در این نوع حافظه‌ها را برشمرد. از این رو برای مرتفع‌نمودن کمبودهای حافظه‌های فرار مرسوم، حافظه‌های جدید و غیر فراری ارائه شدند. در این میان یکی از تکنولوژی‌های غیر فرار نوظهور، حافظه‌های STT-MRAM هستند که به واسطه ویژگی‌هایی همچون توان نشتی ناچیز، چگالی بالا و زمان دسترسی مناسب به عنوان جایگزینی مؤثر و کارا برای حافظه‌های مرسوم همچون SRAMها در نظر گرفته می‌شوند. ویژگی‌های مثبت STT-MRAMها این امکان را به وجود می‌آورد که بتوان از آنها در سطوح مختلف از سلسله‌مراتب حافظه، علی‌الخصوص سطح حافظه نهان بهره برد. با این حال، حافظه‌های STT-MRAM از انرژی نوشتن بالا رنج می‌برند که در این مقاله با ارائه یک مدار نوشتن جدید با بهره‌گیری از روش دمایی، علاوه بر بهبود انرژی بالای نوشتن در این نوع حافظه، تأخیر نوشتن نیز بهبود داده می‌شود. روش پیشنهادی در مقایسه با روش‌های موجود به بهبودی ۲۲٫۵ و ۱۸٫۶۲ درصدی به ترتیب در انرژی و تأخیر نوشتن دست یافته است.

کلیدواژه: **حافظه غیر فرار نوظهور، حافظه STT-MRAM، انرژی عملیات نوشتن، نوسانات فرایند ساخت، خطای نوشتن.**

۱- مقدمه

امروزه اغلب سیستم‌های پردازشی در گستره کاربردهایی همچون یادگیری ماشین، پردازش چندرسانه‌ای، داده‌کاوی و غیره، با حجم زیادی از داده‌های خام مواجه هستند که پردازش این حجم داده، مستلزم افزایش متناسب قدرت در سیستم‌های پردازشی از جوانب مختلف همچون توان مصرفی و سرعت پردازش می‌باشد. تحقیقات متعددی نشان می‌دهند که نرخ پیشرفت در بخش پردازشی سیستم‌ها نسبت به میزان پیشرفت تکنولوژی از حیث فناوری‌های نگهداری داده (حافظه‌ها) بسیار بیشتر بوده و به عبارت دیگر، موجب شکاف بزرگی مابین این دو واحد (که دو واحد اصلی یک سیستم کامپیوتری هستند) از حیث پیشرفت شده است [۱].

این مقاله در تاریخ ۶ خرداد ماه ۱۳۹۹ دریافت و در تاریخ ۱۹ دی ماه ۱۳۹۹ بازنگری شد. این تحقیق توسط پژوهشگاه فضایی ایران بر اساس طرح پژوهشی شماره ۴۲ از قرارداد شماره ۹۵/۱۰۵۰/۳۸۳/ق پشتیبانی شده است.

امیرمحمد حاجی‌صادقی، دانشکده مهندسی کامپیوتر، دانشگاه صنعتی امیرکبیر، تهران، ایران، (email: hajisadeghi@aut.ac.ir).

حمیدرضا زرندی (نویسنده مسئول)، دانشکده مهندسی کامپیوتر، دانشگاه صنعتی امیرکبیر، تهران، ایران، (email: h_zarandi@aut.ac.ir).

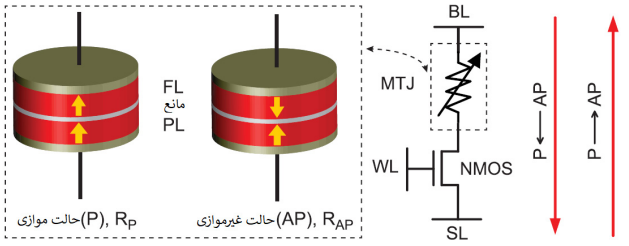
شاهرخ جلیلیان، پژوهشکده سامانه‌های ماهواره، پژوهشگاه فضایی ایران، تهران، ایران، (email: sh.jalilian@isrc.ac.ir).

بنابراین تمرکز بر بهبود کارایی حافظه‌ها به عنوان گلوگاه در سیستم‌های پردازشی از اهمیت بالایی برخوردار است.

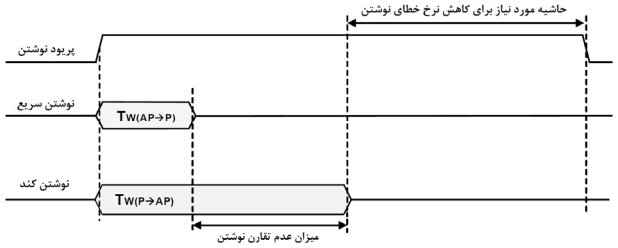
از سوی دیگر با کوچک‌ترشدن ابعاد ترانزیستورها، مشکلاتی همچون مقیاس‌پذیری، قابلیت اطمینان و توان نشتی بالا در حافظه‌های مبتنی بر تکنولوژی CMOS باعث شده است که پژوهشگران به دنبال جایگزینی حافظه‌های مرسوم با تکنولوژی‌های حافظه جدید باشند [۲]. در این راستا حافظه STT-MRAM به عنوان یکی از حافظه‌های نوظهور و غیر فراری شناخته می‌شود که به واسطه ویژگی‌های مثبت زیادی همچون توان نشتی نزدیک به صفر و چگالی، سرعت دسترسی و قابلیت اطمینان بالا بسیار مورد توجه قرار گرفته است [۳]. تحقیقات نشان داده که می‌توان از این تکنولوژی حافظه به عنوان جایگزینی مناسب برای حافظه‌های SRAM و حتی DRAM در سلسله‌مراتب حافظه بهره برد [۳]. پژوهش‌های صورت‌گرفته در این حوزه تا کنون نشان می‌دهند که اگرچه سرعت دسترسی به حافظه STT-MRAM با حافظه‌های SRAM و DRAM قابل مقایسه است، اما عملیات نوشتن در این تکنولوژی حافظه انرژی زیادی را مصرف خواهد کرد. بنابراین هدف پژوهشگران، بهبود این نقیصه STT-MRAM برای جایگزینی کامل این تکنولوژی با حافظه‌های مرسوم مبتنی بر CMOS می‌باشد. در جدول ۱، ویژگی‌های حافظه‌های مختلف مرسوم و نوظهور از حیث پارامترهای مختلف آورده شده که خصوصیات مثبت حافظه STT-MRAM در قیاس با دیگر حافظه‌ها را بهتر نمایان می‌سازد.

به طور کلی روش‌های نوشتن درون حافظه‌های STT-MRAM را می‌توان به دو دسته تقسیم کرد: ۱) روش‌هایی که بر اعمال جریان در مدت زمان بیشتر بر سلول حافظه متمرکز شده‌اند و ۲) روش‌هایی که به افزایش دامنه پالس جریان نوشتن برای رسیدن به یک نوشتن موفق متمرکز هستند. روش‌های متعددی در سطوح مختلف تجرید (ابزار، مدار، معماری و کاربرد) مبتنی بر دو دسته فوق با هدف بهبود عملیات نوشتن در سلول‌های STT-MRAM ارائه شده‌اند [۵] تا [۸]. با وجود این، همچنان نیاز به یافتن راه حلی که به صورت توأمان، به بهبود انرژی و همچنین سرعت نوشتن منجر شود وجود داشته و چالش نوشتن مذکور در حافظه STT-MRAM در صنعت همچنان حل‌نشده باقی مانده است.

در این مقاله مدار نوشتن کارایی ارائه شده است که با بهره‌گیری از مشخصه دمایی سلول MTJ و شناسایی آنی اتمام فرایند نوشتن، با سرباری کمتر به واسطه بهره‌گیری از پارامتر فیزیکی MTJ در قیاس با روش‌های پیشین منجر به بهبود در انرژی و همچنین سرعت نوشتن در حافظه‌های STT-MRAM خواهد شد.



شکل ۱: ساختار ۱T\MTJ سلول STT-MRAM [۹].



شکل ۲: عدم تقارن رفتار سلول MTJ هنگام عملیات نوشتن [۶].

جدول ۱: ویژگی‌های حافظه‌های مرسوم و نوظهور [۴].

نوع حافظه	SRAM	DRAM	FLASH	PCMRAM	RRAM	STTRAM
غیر فرّاربودن	–	–	+	+	+	+
دوام	$>10^{15}$	$>10^{15}$	$>10^{4}$	$\sim10^{8}-10^{9}$	$\sim10^{5}-10^{11}$	$>10^{12}$
اندازه تکنولوژی (nm)	۱۰	۳۲	۱۵	۶۵	۴۰	۴۵
زمان نگهداری (years)	>۱۰	~۱(ms)	۵	>۱۰	>۱۰	۱۰
تأخیر خواندن (ns)	<۱۰	۱۰-۶۰	۲۵×10^{3}	۴۸	<۱۰	<۱۰
تأخیر نوشتن (ns)	<۱۰	۱۰-۶۰	۲×10^{5}	۴۰-۱۵۰	~۱۰	~۱٫۲۵
انرژی نوشتن (pj)	۳۵۵	۱۰۰	۱۰۰	۲-۲٫۵	۵۹۲	۰٫۲-۱٫۵
شرکت سازنده	Qualcomm, Intel	Samsung, SK Hynix	Micron, Samsung	Samsung, Intel, WD, IBM	Panasonic, Micron	Toshiba, Hitachi

۲- حافظه STT-MRAM

حافظه STT-MRAM را می‌توان به صورت ساختار ۱T\MTJ مدل‌سازی کرد، بدین صورت که یک سلول نگهدارنده داده MTJ به صورت سری‌شده در کنار یک ترانزیستور NMOS قرار خواهد گرفت که ساختار بیان‌شده در شکل ۱ آورده شده است [۹]. یک سلول MTJ متشکل از یک لایه اکسید بوده که میان دو لایه فرومغناطیس قرار گرفته است. یکی از دو لایه فرومغناطیس لایه ثابت (مرجع)، بدان معنا که جهت مغناطیسی آن ثابت است و دیگری لایه آزاد با جهت مغناطیسی متغیر می‌باشد. تغییر جهت مغناطیسی لایه آزاد امکان ذخیره‌سازی داده را با ایجاد تغییر در مقاومت کلی سلول فراهم می‌آورد. در صورتی که جهت میدان مغناطیسی دو لایه مرجع و آزاد همسو باشد، در آن صورت حالت سلول را موازی یا P می‌نامند و در صورت متفاوت‌بودن جهت میدان مغناطیسی دو لایه مذکور سلول MTJ در حالت غیر موازی یا AP قرار خواهد داشت. مقاومت سلول در حالت P کم و در حالت AP سلول مقاومت زیاد از خود نشان می‌دهد. به صورت قراردادی می‌توان هر یک از دو حالت P یا AP را به منطق‌های داده‌ای '۰' یا '۱' منتسب کرد [۹].

هر دو عملیات خواندن و نوشتن از یک سلول STT-MRAM را می‌توان با گذراندن جریان از سلول به انجام رساند. برای عملیات خواندن کافی است جریانی کمتر از جریان بحرانی سلول را که حداقل جریان لازم جهت گذار میان حالات سلول است از آن عبور داد. سپس با بررسی میزان مقاومتی که سلول در برابر گذر جریان از خود نشان می‌دهد، می‌توان داده موجود در سلول را تشخیص داد (خواند). همچنین برای نوشتن در سلول حافظه کافی است جریانی بزرگ‌تر از جریان بحرانی و در مدت زمانی مشخص تحت عنوان زمان گذار به سلول اعمال گردد. در این صورت متناسب با جهت جریان اعمال‌شده به سلول حافظه، تغییر حالت از P به AP و یا از AP به P صورت خواهد پذیرفت.

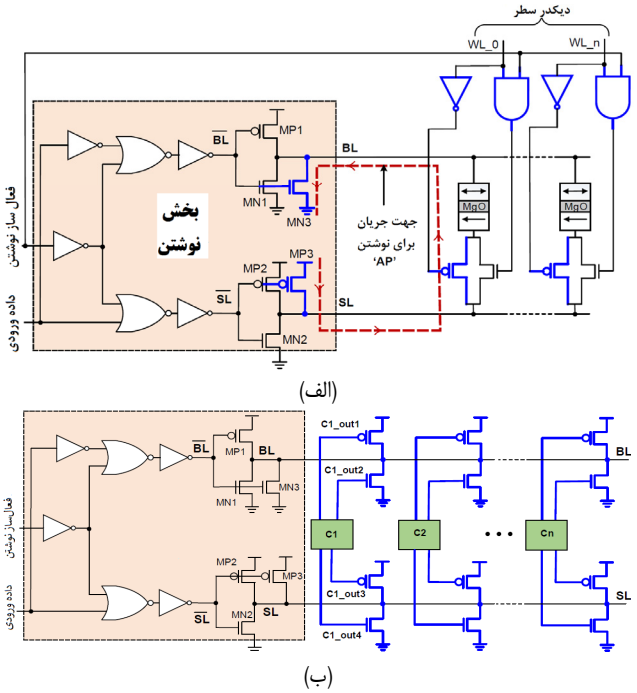
بررسی و پژوهش‌های صورت‌گرفته نشان می‌دهد که عملیات نوشتن در حافظه STT-MRAM با دو پدیده ۱) عدم تقارن عملیات نوشتن و ۲) پدیده غیر معین بودن زمان نوشتن مواجه است [۱۰]. پدیده عدم تقارن نوشتن بدان معنا است که به طور میانگین عرض پالس جریان بزرگتری برای نوشتن منطق '۱' در مقایسه با منطق '۰' مورد نیاز است (متناسب با فرضی که برای منطق انتسابی به مقاومت بالا و پایین در نظر گرفته شده است، می‌تواند برعکس باشد) و یا به عبارت دیگر تأخیر نوشتن منطق‌های داده‌ای '۰' یا '۱' درون حافظه متفاوت است. این عدم تقارن در شکل ۲ به وضوح قابل مشاهده است. پدیده دوم یعنی غیر معین بودن زمان نوشتن بدان معناست که عرض پالس جریان مورد نیاز برای منطق ۰ و منطق ۱ درون حافظه عدد ثابتی نبوده و پیرو توزیعی تصادفی می‌باشند که علل اصلی آن نیز تأثیرات فرایند ساخت بر المان MTJ و ترانزیستور دسترسی و همچنین ذات تصادفی گذار حالت در المان MTJ است. از پارامترهای اصلی در اختلالات مرتبط با نوسانات فرایند ساخت در المان MTJ می‌توان به ضخامت لایه اکسید، مساحت ناحیه مؤثر و همچنین پارامتری تحت عنوان نرخ مقاومت مغناطیسی تونل‌زنی[1] $(TMR=(R_H-R_L)/R_L)$ [۹] که متأثر از مقاومت سلول در دو حالت P و AP است، اشاره کرد. در نهایت عوامل اصلی مشکل‌ساز در انجام موفق عملیات نوشتن درون حافظه STT-MRAM را به طور خلاصه می‌توان دو مورد زیر دانست [۶] و [۱۰]:

۱) نوسانات فرایند ساخت بر ترانزیستور دسترسی می‌تواند منجر به ایجاد یک افت ولتاژ ناخواسته در هنگام نوشتن داده در جهت گذار به حالت AP (در این پژوهش منطق ۱ فرض شده است) شود و عمل نوشتن در زمان پیش‌بینی شده به صورت موفقیت‌آمیز به اتمام نرسد.

۲) تأثیر نوسانات فرایند ساخت بر المان MTJ باعث شود که مقاومت بالا و پایین این سلول دستخوش تغییر گردد، در نتیجه ممکن است در یک آرایه حافظه، جریان مورد نیاز نوشتن در سلول‌های مختلف متفاوت از دیگری باشد که چالش مهمی در عملیات نوشتن است.

عدم موفقیت‌آمیز بودن عملیات نوشتن درون حافظه به هر یک از

1. Tunneling Magnetoresistance Ratio



شکل ۳: مدار تزریق جریان، (الف) روش ایستا و (ب) روش پویا [۶].

دلایل فوق به خطای نوشتن (WE)[1] منجر می‌شود و نرخ آن را می‌توان به صورت تئوریک طبق (۱) که برگرفته از پارامترهای سلول MTJ است تخمین زد و یا آن را با کمک شبیه‌سازی مونت‌کارلو با انجام تعداد زیادی علمیات نوشتن به دست آورد [۶]

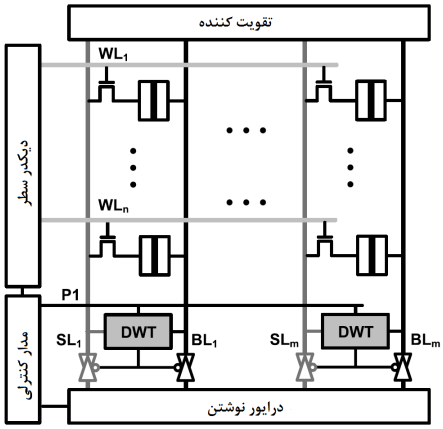
$$WER(t) = 1 - \exp\left[\frac{-\pi\Delta\left(1-\frac{I}{I_C}\right)^2}{\frac{I}{I_C}e^{\frac{2\alpha\gamma H_K t}{1+\alpha^2}\left(1-\frac{I}{I_C}\right)}-1}\right] \qquad (1)$$

که I دامنه پالس جریان نوشتن، I_c جریان بحرانی یا آستانه و α، Δ و H_K به ترتیب ثابت‌های گیلبرت، پایداری دمایی و ناهمسان‌گردی مغناطیسی می‌باشند.

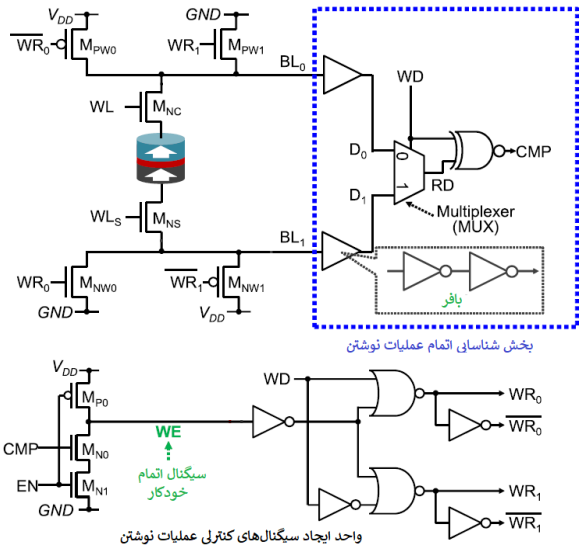
۳- پژوهش‌های پیشین

پژوهش [۶] یکی از پژوهش‌هایی است که برای بهبود وضعیت نوشتن در حافظه‌های STT-MRAM ارائه شده و مبتنی بر افزایش دامنه پالس جریان جهت دستیابی به نوشتن‌های موفقیت‌آمیز عمل می‌کند. این پژوهش به ارائه دو روش، یکی ایستا و دیگری پویا می‌پردازد. روش ایستای ارائه‌شده پدیده عدم تقارن نوشتن را برطرف کرده و در روش پویا سعی بر آن است که مدار نوشتن پیشنهادی، به صورت پویا و تدریجی به تزریق جریان بیشتر برای تسریع عملیات نوشتن در سطح مدار بپردازد. مدار پیشنهادی این پژوهش در شکل ۳ آورده شده است. این پژوهش با سه نقصان اصلی مواجه است: ۱) سربار توان: به واسطه اضافه‌شدن مداری ثابت در بخش ایستا در کنار مدارات مرتبط با روش پویای ارائه‌شده، حال آن که در حقیقت سرباری که در روش ایستا اضافه می‌شود برای تمامی نوشتن‌ها نیاز نیست. ۲) سربار مساحت: به واسطه ترانزیستورهای اضافه‌شده در دو روش ایستا و پویا به مدار راه‌انداز نوشتن و همچنین سربار قابل توجه ناشی از مداری که برای تولید سیگنال تصدیق اتمام

1. Write Error



شکل ۴: شمای کلی مدار نوشتن پژوهش [۵].

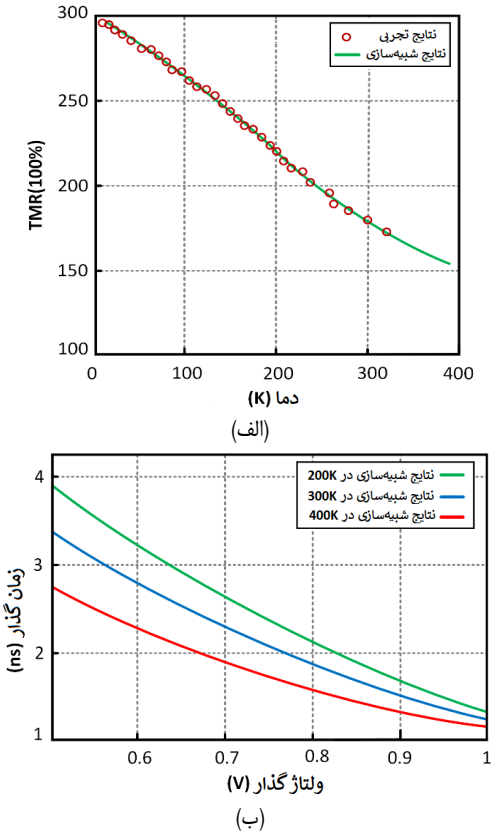


شکل ۵: شمای کلی مدار نوشتن و شناسایی اتمام نوشتن پژوهش [۱۱].

نوشتن ارائه شده است. ۳) نرخ بالای خطای نوشتن: سازوکاری برای نگارش‌هایی که پس از ۴ مرحله تزریق جریان موفقیت‌آمیز نباشند ارائه نشده است.

پژوهش دیگری که مدار پیشنهادی آن در شکل ۴ آورده شده است [۵]، مدار نوشتنی پیشنهاد داده که تا اتمام موفقیت‌آمیز عملیات نوشتن، عبور جریان از سلول را ادامه داده و با کمک مداری دیگر اتمام عملیات نوشتن را از طریق افت ولتاژ دو سر سلول یعنی گره‌های BL و SL شناسایی می‌نماید. به عبارت دقیق‌تر افت ولتاژ مذکور توسط مداری به نام $COMP$ تقویت شده و سپس سیگنال قطع نوشتن یا WT را فعال می‌کند.

پژوهش دیگری که مدار نوشتن پیشنهادی آن بر روی حافظه STT-MRAM در شکل ۵ آورده شده است [۷] و [۱۱]، از یک سازوکار نظاره‌گرانه بهره می‌برد و با شناسایی تغییر مقاومت سلول به محض اتمام موفقیت‌آمیز عمل نوشتن، مدار جریان‌دهی نوشتن را قطع می‌کند. به عنوان نمونه برای نوشتن مقداری در حافظه با کمک این مدار، می‌بایست ولتاژ گره WD را متناسب با داده مد نظر تنظیم کرده (به عنوان مثال منطق صفر) و گره EN را در ولتاژ یک منطقی قرار داد. بدین صورت ترانزیستورهای M_{pw} و M_{nw} در حالت وصل قرار گرفته و جریان از سلول عبور خواهد کرد. هنگامی که جریان گذرنده منجر به تغییر حالت سلول حافظه گردد این تغییر به صورت یک افت ولتاژ در گره BL بروز خواهد کرد که افت ولتاژ با کمک بافر تقویت شده و به داده حقیقی ترجمه می‌شود. در صورتی که داده موجود در حافظه با WD یکسان باشد، CMP



شکل ۶ رفتار دمایی المان MTJ با افزایش دما، (الف) دما- TMR و (ب) زمان/ ولتاژ گذار- دماهای مختلف.

برابر ۱ شده و منجر به فعال‌سازی سیگنال قطع نوشتن (WE) می‌گردد و در غیر این صورت CMP صفر بوده و فرایند نوشتن را تا برابری مقدار درون حافظه با WD ادامه می‌دهد. ایراد اصلی در این پژوهش مربوط به اندازه‌گذاری ترانزیستورهای M_{nc} و M_{ns} است که تأثیر بالایی بر عملکرد صحیح مدار نوشتن دارند. در نتیجه مدار پیشنهادی و عملکرد صحیح آن وابستگی زیادی به نوسات فرایند ساخت خواهد داشت.

٤- روش پیشنهادی

در این مقاله با بهره‌گیری از مشخصه فیزیکی MTJ که در کارهای پیشین بدان توجهی نشده است، مدار نوشتن کارایی ارائه گردیده که به بهبود انرژی و سرعت نوشتن در حافظه‌های STT-MRAM منجر می‌شود. بدین صورت که با بهره‌گیری از پارامتر دمایی سلول MTJ و تأثیر آن در افزایش سرعت گذار حافظه میان حالت‌های AP و P به تسریع فرایند نوشتن خواهیم پرداخت و همچنین مداری ارائه شده است که به محض اتمام نوشتن جریان را قطع می‌نماید. در ادامه روش پیشنهادی مقاله و مدار طراحی‌شده آن طی چهار بخش به تفصیل شرح داده می‌شود.

٤-١ رفتار دمایی المان MTJ

بررسی رفتار دمایی المان MTJ و مشاهده مشخصات مداری آن در دماهای مختلف نشان می‌دهد که رابطه منطقی میان دمای سلول و مقدار مقاومت‌های بالا و پایین آن وجود دارد. این موضوع را می‌توان با بررسی روابط توصیف‌کننده مدل MTJ که در زیر آورده شده است توجیه نمود

$$I_C = \alpha \frac{\gamma e}{\mu_B g(T)} \mu_0 M_S H_K V_{sl} = 2\alpha \frac{\gamma e E}{\mu_B g(T)} \quad (2)$$

$$\tau^{-1} = \frac{1}{\tau_0 \ln \frac{\pi}{2\theta_0}} \cdot \left(\frac{I}{\lambda I_C} - 1\right) \quad (3)$$

$$g(T) = \frac{\sqrt{TMR(T,V)(TMR(T,V)+2)}}{[2(TMR(T,V)+1)]} \quad (4)$$

در معادلات فوق α ثابت گیلبرت، γ نسبت ژیرومغناطیسی، e میزان بار الکترون، μ_B ثابت مغناطیسی بور، μ_0 زاویه اولیه لایه آزاد، M_S ضریب اشباع مغناطیسی، H_K ثابت ناهمسان‌گردی مغناطیسی و پارامتر θ_0 جهت چرخش اولیه لایه آزاد سلول حافظه است. همچنین در (۳)، پارامتر λ برابر ۰٫۲۳۳ در نظر گرفته می‌شود [۱۲]. معادلات فوق به صورت تئوری نشانگر آن است که با افزایش دما، مقدار پارامتر TMR کاهش می‌یابد. این پارامتر نشان‌دهنده نسبت مقاومت بالا به پایین سلول است و کاهش آن را می‌توان به معنای کاهش مقاومت بالا به سبب افزایش دما تفسیر نمود. شبیه‌سازی‌های صورت‌گرفته نیز درستی نتیجه‌گیری فوق را در عمل نشان می‌دهد. همان طور که در شکل ۶ مشاهده می‌شود، با افزایش دما مقدار پارامتر TMR کاهش یافته و همچنین با افزایش دما ولتاژ مورد نیاز برای تغییر حالت سلول از داده صفر به یک و بالعکس کاهش می‌یابد.

٤-٢ تأثیر دمای سلول بر بهبود عملیات نوشتن

همان طور که در بخش ۳ بیان شد، میزان جریان اعمالی لازم (در یک بازه زمانی ثابت) برای تغییر حالت سلول از حالت موازی به غیر موازی (PAP) به جریان بیشتری در قیاس با تغییر حالت APP نیاز دارد که این پدیده را تحت عنوان عدم تقارن نوشتن نیز نام‌گذاری می‌کنند. حداقل چگالی جریان لازم برای گذارهای مذکور در (۵) تا (۷) آورده شده که در آن t نشانگر ضخامت لایه آزاد و $g(\theta)$ پارامتر بهره‌وری نامیده می‌شود. همچنین متغیرهای H_S، H_{ki} و H_{dip} به ترتیب میدان‌های عمود، عمود ناهمسان‌گرد و دوقطبی اعمالی مابین دو لایه آزاد و ثابت MTJ می‌باشند. همچنین H_d میزان مؤثر میدان‌گریزی مغناطیسی را نشان می‌دهد [۱۳]

$$J_{co}^{p\to ap} = \frac{\alpha\gamma e M_S t}{\mu_B g(0)} \cdot [(H_{ex} + H_{dip}) + (H_{ki} + H_d)] \quad (5)$$

$$J_{co}^{ap\to p} = \frac{\alpha\gamma e M_S t}{\mu_B g(\pi)} \cdot [(H_{ex} + H_{dip}) - (H_{ki} + H_d)] \quad (6)$$

$$g(\theta) = \frac{P}{[2(1+P^2)\cos\theta]} \quad (7)$$

در این مقاله برای افزایش سرعت گذار مابین دو حالت P و AP سلول MTJ، از خاصیت دمایی سلول بهره برده خواهد شد. همان طور که در بخش ۴-۱ مشاهده شد در صورت آن که نوشتن بر سلول MTJ با دمای بالاتر انجام گیرد، گذار سلول سریع‌تر انجام خواهد پذیرفت و در نتیجه می‌توان با قطع سریع‌تر جریان نوشتن به بهبود سرعت و انرژی نوشتن دست یافت. بدین منظور از ارتباط میان جریان نشتی و دما بهره گرفته و با کنترل جریان نشتی ایجادشده، افزایش دمای سلول حاصل می‌شود. این امر با ایجاد تغییر در ولتاژ آستانه ترانزیستورهای دسترسی و به کمک روش توازن بدنه انجام می‌پذیرد.

معادله رابطه میان ولتاژ بدنه ترانزیستور در روش توازن بدنه و تأثیر آن بر ولتاژ آستانه ترانزیستور در زیر آورده شده است. طبق این رابطه با

کنترل ولتاژ بدنه ترازیستور می‌توان ولتاژ آستانه را دستخوش تغییر در جهت مورد نیاز نمود. همچنین تغییر ولتاژ آستانه تأثیر مستقیمی بر میزان جریانات نشتی ترانزیستور و مشخصاً بر روی جریان نشتی زیرآستانه خواهد داشت که با (۸) قابل توصیف است. از طرفی طبق (۹) افزایش جریان فوق به افزایش تحرک‌پذیری در ترانزیستورها منجر می‌شود و افزایش دمایی منطبق بر (۱۰) و (۱۱) را به دنبال خود دارد. در این روابط، $V_{th.}$ ولتاژ آستانه در شرایط صفربودن ولتاژ V_{SB}، Φ_F ضریب پتانسیل سطح و V_{SB} تفاوت ولتاژ میان سورس و بدنه ترانزیستور است. همچنین V_{ds} تفاوت ولتاژ میان درین و سورس، V_{th} ولتاژ آستانه، W عرض ترانزیستور، L طول ترانزیستور، C_{ox} ظرفیت مؤثر خازنی گیت و μ نیز نمایانگر میزان تحرک حامل‌ها در ترانزیستور است و در نهایت T_r ثابت دمایی تحرک‌پذیری حامل‌ها در دمای اتاق و k_u پارامتر تطبیق است [۱۴]

$$V_{th} = V_{th.} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (۸)$$

$$I_{DS} = I_S 10^{\frac{V_{GS}-V_{TH}}{S}}(1-10^{\frac{-nV_{DS}}{S}}) \quad (۹)$$

$$I_{DS} = \mu C_{ox}\frac{W}{L}(V_{gs} - V_{th} - \frac{V_{ds}}{2})V_{ds} \quad (۱۰)$$

$$\mu(T) = \mu(T_r)(\frac{T}{T_r})^{-k_u} \quad (۱۱)$$

رابطه میان دما و احتمال گذار حالت سلول MTJ در زیر آورده شده که با توجه به افزایش دمای سلول طبق این رابطه، به افزایش احتمال گذار سلول حافظه و کمک به عملیات نوشتن منجر خواهد شد و به عبارت دیگر منجر به کاهش نرخ خطای نوشتن می‌شود

$$P_{sw} = 1 - e^{-\frac{t_p}{\tau}} \quad (۱۲)$$

$$\tau = \tau_{.} e^{\Delta(1-\frac{V}{V_{c.}})} \quad (۱۳)$$

در معادلات فوق، P_{sw} احتمال گذار حالت در المان MTJ، t_p عرض پالس جریان اعمالی و $\tau_{.}$ ثابت دمایی المان MTJ است. همچنین Δ پایداری دمایی و V و $V_{c.}$ به ترتیب ولتاژ پالس اعمال و ولتاژ بحرانی گذرای MTJ می‌باشند [۱۴].

اگرچه مدل‌های مختلفی از المان MTJ در سطح مدار ارائه شده‌اند، با وجود این در آنها اغلب یا امکان مدل‌سازی کامل دمایی برای MTJها وجود ندارد و یا امکان مدل‌سازی دمایی در کنار معماری‌های ترکیبی MTJ/CMOS پشتیبانی نمی‌گردد. در نتیجه به منظور بررسی دمایی سلول STT-MRAM در سطح مدار، از مدل گرمایی [۱۵] استفاده شده و پارامترهای نسخه پیش‌تولید حافظه STT-MRAM مستخرج از [۱۶] به آن اضافه شده و نهایتاً اثرات دمایی از طریق تغییرات TMR و روابط آن با دما به صورت زیر مورد استفاده قرار گرفته است. در نتیجه رابطه مابین دمای MTJ با پارامتر TMR این المان در صورت صفربودن ولتاژ بایاس را می‌توان با (۱۴) توصیف کرد

$$TMR(0) = a_1 + a_2\cos(T \times b_2) + b_1\sin(T \times b_2) \quad (۱۴)$$

در این رابطه a_1، a_2، b_1 و b_2 پارامترهای همسان‌سازی جهت انطباق اندازه‌گیری می‌باشند [۱۷]. لازم به ذکر است همان طور که در رابطه فوق نیز بیان شد، پارامتر TMR نه تنها متأثر از دمای سلول است بلکه تأثیر مستقیم ولتاژ بدنه نیز بر آن وجود داشته که می‌توان رابطه آن را به صورت (۱۵) مدل کرد. طبق این رابطه می‌توان تأثیرگذاری TMR به ازای ولتاژهای توازن مختلف را مدل نمود [۱۸]

$$TMR(V_{bias}) = \frac{TMR(0)}{1+\frac{V_{bias}^2}{V_h^2}} \quad (۱۵)$$

همچنین تأثیر اعمال ولتاژ توازن را می‌توان طبق روابط زیر بر پارامتر پایداری دمایی المان MTJ نشان داده و در مدل‌سازی‌ها لحاظ نمود. در روابط زیر، Δ پارامتر پایداری دمایی MTJ است و M_s پارامتری است که این وابستگی به دما را طبق (۱۷) مدل می‌کند که در آن پارامترهای p_1، p_2، p_3 و p_4 پارامترهای همسان‌سازی هستند [۱۹]

$$\Delta = \frac{M_s H_k V\cos^2\theta}{1+\frac{V_{bias}^2}{V_h^2}} \quad (۱۶)$$

$$M_s = p_1T^3 + p_2T^2 + p_3T + p_4 \quad (۱۷)$$

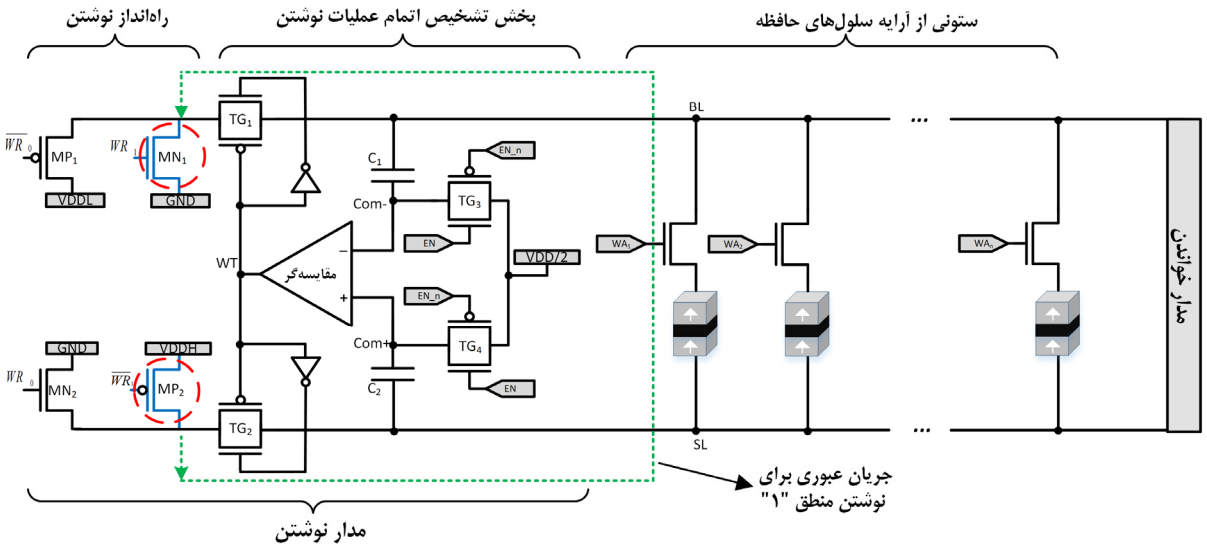
در نتیجه با نگاهی مجدد به روابط فوق و در نظر گرفتن تأثیرات افزایش دما بر پارامترهای M_s و TMR و مشخصاً T، جریان بحرانی نوشتن در سلول حافظه STT-MRAM کاهش خواهد یافت که این کاهش منجر به بهبود انرژی نوشتن در این حافظه‌ها می‌گردد.

۴-۳ طراحی مدار یاری‌رسان دمایی

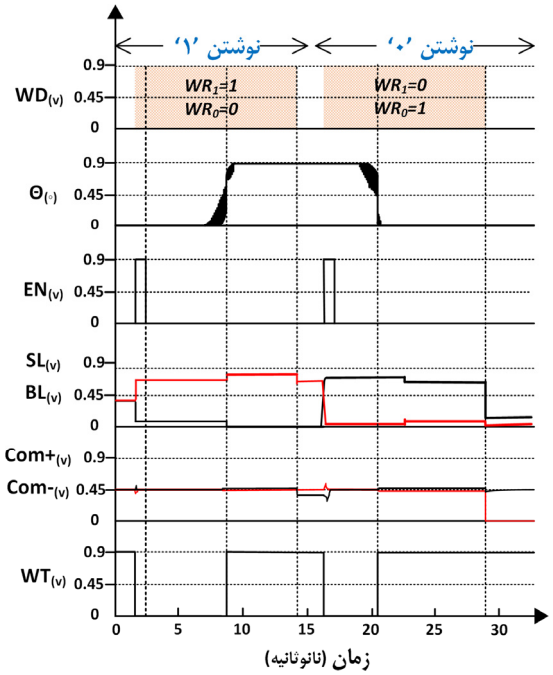
در مدار نوشتن پیشنهادی این مقاله که در شکل ۷ مشاهده می‌شود، برای بهبود عملیات نوشتن در سلول حافظه دو راهکار اساسی ارائه شده است. در مرحله اول از آنجایی که زمان مورد نیاز برای تغییر حالت سلول از محتوای صفر به یک چندین برابر حالت یک به صفر است بر آن شدیم تا ولتاژ آستانه ترانزیستورهای دخیل در مسیر نوشتن داده یک را کاهش دهیم. این تغییر که با استفاده از روش توازن بدنه اعمال شد، موجب می‌شود تا دمای سلول حافظه در هنگام نگارش داده همان طور که در بخش قبلی ثابت شد، افزایش یابد و از این طریق عملیات نوشتن در سلول حافظه تسریع می‌گردد. این روش در شکل ۷ روی ترانزیستورهایی که با نماد WR_1 و $\overline{WR_1}$ مشخص شده‌اند اعمال گردیده است. از طرف دیگر از آنجایی که این افزایش دما موجب افزایش توان نشتی می‌گردد، با استفاده از روش دوگان‌سازی منابع ولتاژ که بر روی ترانزیستورهای مسیر نوشتن داده صفر اعمال می‌گردد، توانستیم سربار توان مصرفی بخش اول را کنترل کنیم. اگرچه ممکن است به نظر برسد که استفاده از روش دوم تأخیر نوشتن داده صفر را افزایش می‌دهد و به صورت کلی موجب افزایش تأخیر مدار می‌شود، اما در عمل این کاهش تأخیر در نوشتن داده صفر، نسبت به افزایش سرعت نگارش داده صفر قابل چشم‌پوشی است.

۴-۴ مدار تشخیص پایان عملیات نوشتن

در مدار پیشنهادی مقاله، پایان عملیات نوشتن، توسط بخش تشخیص اتمام نوشتن مدار ارائه‌شده در شکل ۷ شناسایی می‌شود. بدین صورت که پس از شروع عملیات نوشتن با یک‌شدن سیگنال فعال‌ساز برای مدت کوتاهی مقادیر خازن‌های C_1 و C_2 به اندازه نصف ولتاژ V_{DD} شارژ می‌شوند. سپس سیگنال فعال‌ساز قطع شده و عملیات نگارش آغاز می‌شود. بلافاصله پس از اتمام موفقیت‌آمیز عملیات نگارش، با توجه به این که داده صفر و یا یک نوشته می‌شود، مقدار ولتاژ خطوط بیت و یا سورس در همان لحظه دارای یک پرش ناگهانی خواهند بود. این پرش



شکل ۷: مدار نوشتن پیشنهادی مقاله.



شکل ۸: نتایج شکل موج خروجی مدار نوشتن پیشنهادی مقاله.

ناگهانی ناشی از تغییر مقاومت سلول حافظه است و با استفاده از قوانین تقسیم ولتاژ به صورت دقیق قابل محاسبه می‌باشد. پرش ناگهانی با استفاده از مدار مقایسه‌گر داده‌شده با مقادیر اولیه مقایسه شده و اگر محتوای سلول مطابق خواست تغییر کرده باشد، سیگنال قطع عملیات نوشتن فعال می‌شود تا از هدررفت انرژی در قیاس با روش‌های نوشتن مبتنی بر پالس زمانی مشخص جلوگیری شود. نکته قابل توجه در مدار ارائه‌شده آن است که این مدار در برابر نوسانات فرایند ساخت تا حد مطلوبی مقاوم است (بررسی‌های مربوط در بخش ۵ آورده شده است). توجیه این امر آن است که در ابتدا و قبل از شروع عملیات نگارش، مقادیر ولتاژ خطوط سورس و بیت سلول MTJ در خازن‌های C_1 و C_2 ذخیره می‌شود تا بعد از شروع عملیات نگارش از این مقدار مرجع برای تصمیم‌گیری‌های بعدی استفاده شود و در نتیجه با توجه به انجام مقایسه‌ها بر اساس این مقادیر و نه به صورت ثابت و پیش‌فرض شده، اثر نوسانات فرایند ساخت بر عملیات نوشتن مربوط به این بخش از مدار حذف می‌گردد.

جدول ۲: مشخصات سلول STT-MRAM.

پارامتر	توضیح	مقدار پیش‌فرض
Area	سطح MTJ	$۱۶e-۹$ m^۲
TMR	*TMR ratio with* v_{bias}	٪۲۰۰
T_{ox}	ضخامت لایه اکسید	$۸٫۵e-۱۰$ m
R.A	حاصل‌ضرب مقاومت در مساحت	۵
I_C	جریان آستانه	۲۰۰ u
T	دمای اتاق	۳۰۰ k
Tsl	ارتفاع لایه آزاد	$۱٫۳e-۹$ m
R_p	مقاومت پایین سلول	۴٫۲ kΩ
R_{ap}	مقاومت بالای سلول	۶٫۶ kΩ

۵- نتایج شبیه‌سازی‌ها

برای بررسی روش پیشنهادی شبیه‌سازی‌هایی در سطح مدار و با استفاده از ابزار HSPICE انجام گردید. شبیه‌سازی‌ها با استفاده از مدل حافظه ارائه‌شده در [۱۸] و همچنین بهره‌گیری از تکنولوژی ۳۲ نانومتری CMOS ارائه‌شده در [۲۰]، پس از ایجاد تغییرات لازم و همسان‌سازی‌های مذکور، انجام شد. خلاصه‌ای از تنظیمات پارامترهای شبیه‌سازی در جدول ۲ آورده شده است. تغییرات شکل موج گره‌های مختلف مدار حین انجام عملیات نوشتن روی یک سلول MTJ در دو حالت نوشتن منطق ۱ و منطق ۰ در شکل ۸ قابل مشاهده است. در تمامی این شبیه‌سازی‌ها ولتاژ بالای مدار برابر با ۰٫۹ ولت و عرض حداکثر پالس اعمالی به سلول برای مقایسه با روش‌های پیشین برابر با ۱۰ نانوثانیه قرار داده شد. همان گونه که در شکل ۸ مشاهده می‌شود با اعمال جریان نوشتن، زاویه بین لایه آزاد و ثابت MTJ که مشخص‌کننده مقدار ذخیره‌شده در سلول است تغییر می‌کند و در نتیجه جریان نوشتن بلافاصله بعد از تغییر حالت سلول قطع می‌شود که بیانگر صحت عملکرد مدار تشخیصگر اتمام عملیات نوشتن و به طور کلی عملکرد صحیح مدار است. لازم به توضیح است که مقادیر V_{th-n} و V_{th-p} و در دمای ۴۰۰ درجه کلوین و تحت روابط بیان‌شده در بخش ۴ محاسبه گردیده و همچنین V_{dd-l} معادل ۰٫۸۶۰۱ قرار داده شده که ضمن جبران توان نشتی ایجادشده در مسیر نوشتن ۱، کمترین تأخیر را در مسیر نوشتن منطق ۰ ایجاد نماید.

جدول ۳: نتایج روش پیشنهادی در قیاس با پژوهش‌های پیشین.

پارامترها	STT-MRAM استاندارد	[۵]	[۶]	[۷]	روش پیشنهادی
مساحت [mm^2]	۱٫۳۱	۱٫۴۱	۱٫۵۷	۱٫۳۷	۱٫۳۹
تأخیر نوشتن [ns]	۱۹	۱۱٫۳	۶٫۹	۵٫۸	۴٫۷۲
انرژی نوشتن [pJ]	۱۰۴۶	۷۲۳٫۲	۸۴۹	۳۷۷٫۳	۲۹۲٫۴
توان نشتی [mW]	۱۹۳	۱۹۳٫۰۷	۱۹۳٫۲	۲۱۷٫۳	۲۱۲٫۶۹
تشخیص اتمام نوشتن	ندارد	دارد	دارد	دارد	دارد
شیوه نظارت	–	پیوسته	دوره‌ای	پیوسته	پیوسته
حاشیه نویز	کم	خیلی زیاد	زیاد	متوسط	خیلی زیاد

در جدول ۳ مقایسه‌ای از روش پیشنهادی مقاله نسبت به روش‌های پیشین ارائه شده است. همان گونه که مشاهده می‌شود مدار پیشنهادی این مقاله در اکثر پارامترها عملکرد بهتری از خود نشان داده است. لازم به توضیح است که در این جدول نتایج تأخیر و انرژی نوشتن به صورت میانگین و همچنین به ازای یک سلول حافظه و مدار جانبی نوشتن آن برای تمامی مراجع آورده شده است.

لازم به ذکر است که مشخصاً در یک آرایه از سلول‌های حافظه، مدار نوشتن پیشنهادی بین تمامی سلول‌های حافظه که در یک ستون واقع شده و خط بیت مشترکی دارند به صورت مشترک خواهد بود و تصویر مدار در شکل ۷ صرفاً برای نمایش بهتر نحوه برقراری جریان و نوشتن درون یک سلول بدان صورت نمایش داده شده است.

همچنین لازم به توضیح است که اگرچه بهره‌گیری از روش‌های ولتاژ چندگانه برای کاهش توان مصرفی در حالت کلی با چالش پیچیدگی ساخت مواجه است، اما در این مقاله صرفاً از روش ولتاژ دوگانه بهره برده شده که چالش‌های ساخت و سربارهای آن طی پژوهش‌های متعدد به حداقل رسیده است [۲۱] و [۲۲].

اگرچه افزایش دمای سلول می‌تواند به ایجاد اثر منفی بر عملیات خواندن (اغتشاش خواندن) در حافظه منجر شود، با این وجود پژوهش‌های متعددی در جهت بهبود مورد مذکور ارائه شده‌اند که به خوبی این چالش را برطرف می‌نمایند [۲۳].

به طور کلی منابع اصلی بروز نوسانات فرآیند ساخت در CMOS ضخامت لایه اکسید، عرض و طول کانال ترانزیستور بوده و همچنین سه پارامتر اصلی تأثیرگذار در المان MTJ به ترتیب TMR، ضخامت لایه آزاد و ضخامت لایه مانع می‌باشند. [۲۴]. به منظور بررسی روش پیشنهادی در حضور نوسانات فرایند ساخت، شبیه‌سازی مونت‌کارلو با کمک ابزار HSPICE صورت پذیرفته است. در این راستا شبیه‌سازی‌ها به میزان ۱۰۰۰ مرتبه و حول مقدار نامی پارامترها و با در نظر گرفتن انحراف معیار ۱۰ درصدی نسبت به مقدار نامی هر پارامتر انجام شد. بخشی از نتایج بررسی‌ها در شکل ۹ آورده شده است. در این شکل محور عمودی نرخ خطای نوشتن را نشان می‌دهد و همان طور که مشاهده می‌شود روش پیشنهادی این مقاله به نرخ خطای کمتری در قیاس با سه روش مورد بررسی دیگر دست یافته است.

۶- نتیجه‌گیری

در کنار ویژگی‌های مثبت تکنولوژی حافظه STT-MRAM، همچون توان نشتی نزدیک به صفر و چگالی، سرعت دسترسی و قابلیت اطمینان بالا، این حافظه با مشکلاتی در عملیات نوشتن مواجه است که به بالارفتن نرخ رخداد خطای نوشتن منجر می‌شود. از عوامل اصلی بالابودن نرخ خطای نوشتن در این حافظه می‌توان به نوسانات فرایند ساخت و به طور مشخص، پدیده‌هایی همچون عدم تقارن نوشتن و نیز تصادفی‌بودن گذار المان MTJ اشاره کرد. در نتیجه احتمال نوشتن موفقیت‌آمیز در هر سلول حافظه می‌تواند با دیگر سلول‌ها متفاوت باشد. در این مقاله با استفاده از خاصیت دمایی سلول MTJ به کاهش اختلاف بین زمان نوشتن در دو منطق صفر و یک پرداخته شد و با ارائه مدار نوشتن جدید مبتنی بر نظارت پیوسته به محض اتمام نوشتن، جریان نوشتن قطع می‌گردد. شبیه‌سازی‌ها نشان می‌دهد که روش پیشنهادی به ترتیب منجر به کاهش ۲۲٫۵ و ۱۸٫۶۲ درصدی در انرژی و میانگین زمان نوشتن شده است.

مراجع

[1] [1] W. Kang, E. Deng, Z. Wang, شدیW. Zhao, "Spintronic logic-in-memory paradigms and implementations," *Applications of Emerging Memory Technology,* vol. 63, no. 1, pp. 215-229, Jan. 2020.

[2] F. Schwierz and J. J. Liou, "Status and future prospects of CMOS scaling and Moore's law-a personal perspective," in *Proc. IEEE Latin America Electron Devices Conf., LAEDC'20*, 4 pp., 25-25 Feb. 2020.

[3] A. M. Monazzah, A. M. Rahmani, A. Miele, and N. Dutt., "CAST: content-aware STT-MRAM cache write management for different levels of approximation," IEEE *Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 39, no. 12, pp. 4385-4398, Dec. 2020.

[4] N. G. Orji, "Beyond CMOS," *International Roadmap for Devices and Systems (IRDS),* [Online]. Available: https://irds.ieee.org/editions/2018.

[5] H. Farkhani, M. Tohidi, A. Peiravi, J.K. Madsen, and F. Moradi, "STT-RAM energy reduction using self-referenced differential write termination technique," *IEEE Trans. on Very Large-Scale Integration and Systems*, vol. 25, no. 2, pp. 476-487, Feb. 2017.

[6] R. Bishnoi, M. Ebrahimi, F. Oboril, and M. B. Tahoori, "Improving write performance for STT-MRAM," *IEEE Trans. on Magnetics*, vol. 52, no. 8, pp. 1-11, Aug. 2017.

[7] S. Seyedfaraji, J. Talafy, A. M. Hajisadeghi and H.R. Zarandi, "DUSTER: dual source write termination method for STT-RAM memories," in *Proc. 21st. Euromicro Conf. on Digital System Design*, pp. 182-189, 29-31 Aug. 2018.

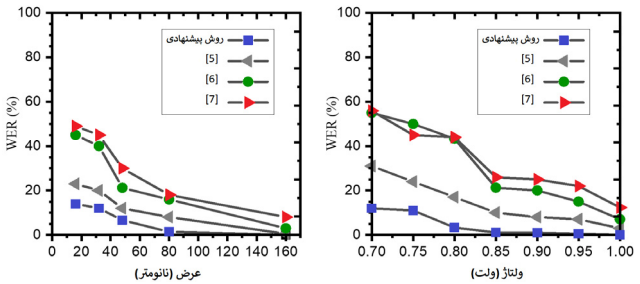
[8] N. Sayed, F. Oboril, A. Shirvanian, R. Bishnoi and M. B. Tahoori, "Exploiting STT-MRAM for approximate computing," in *Proc. IEEE 22nd. European Test Symp.*, 6 pp., Limassol, Cyprus, 22-26 May 2017.

[9] W. Kang, *et al.*, "Reconfigurable codesign of STT-MRAM under process variations in deeply scaled technology," *IEEE Trans. on Electron Devices*, vol. 62, no. 6, pp. 1769-1777, Jun. 2015.

[10] L. Wu, M. Taouil, S. Rao, E. J . Marinissen, and S. Hamdioui, *Survey on STT-MRAM Testing: Failure Mechanisms, Fault Models, and Tests*, arXiv, 2001.05463, 2020.

[11] D. Suzuki, M. Natsui, A. Mochizuki, and T. Hanyu, "Cost-efficient self-terminated write driver for spin-transfer-torque RAM and logic," *IEEE Trans. on Magnetics*, vol. 50, no. 11, pp. 1-4, Nov. 2014.

[12] B. Wu, Y. Cheng, J. Yang; A. Todri-Sanial, and W. Zhao., "Temperature impact analysis and access reliability enhancement for 1T1MTJ STT-RAM," *IEEE Trans. on Reliability*, vol. 65, no. 4, pp. 1755-1768, Dec. 2015.



شکل ۹: ارزیابی مدار پیشنهادی در حضور نوسانات فرایند ساخت و تأثیر آن بر خطای نوشتن.

[13] W. Kang, Y. Ran, Y. Zhang, and W. Zhao, "Modeling and exploration of the voltage-controlled magnetic anisotropy effect for the next generation low-power and high-speed MRAM applications," *IEEE Trans. Transactions on Nanotechnology*, vol. 16, no. 3, pp. 387-395, May 2017.

[14] L. Yang, *et al.*, "A body-biasing of readout circuit for STT-RAM with improved thermal reliability," in *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 1530-1533, Lisbon, Portugal, 24-27 May 2015.

[15] X. Fong, S. H. Choday, P. Georgios, C. Augustine, and K. Roy, *Purdue Nanoelectronics Research Laboratory Magnetic Tunnel Junction Model 1.0.0*, 2014, [On-line]. Available: https://nanohub.org.

[16] C. Lin, *et al.*, "45 nm low power CMOS logic compatible embedded STT MRAM utilizing a reverse-connection 1T/1MTJ cell," in *Proc. Int. Electron Devices Meeting,* 4 pp., Baltimore, MD, USA, 7-9 Dec. 2009.

[17] K. Lee and S. H. Kang, "Design consideration of magnetic tunnel junctions for reliable high-temperature operation of STT-MRAM," *IEEE Trans. on Magnetics*, vol. 46, no. 6, pp. 1537-1540, Jun. 2010.

[18] Y. Zhang, *et al.*, "Compact modeling of perpendicular-anisotropy CoFeB/MgO magnetic tunnel junctions," *IEEE Trans. Electron Devices*, vol. 59, no. 3, pp. 819-826, May 2012.

[19] S. Ikeda, S. Fukami, F. Matsukura, and H. Ohno, "Perpendicular-anisotropy CoFeB-MgO magnetic tunnel junctions with a MgO/CoFeB/Ta/CoFeB/MgO recording structure," *Appl. Phys. Lett*, vol. 101, no. 2, pp. 214-224-???, May 2012.

[20] *Predictive Technology Model (PTM),* [Accessed: 24-Sept.-2020]. Available: https://www.eas.asu.edu/~ptm.

[21] J. C. Garcia, A. Juan, and S. Nooshabadi., "Single supply CMOS up level shifter for dual voltage system," in *Proc. IEEE Int. Symp. on Circuits and Systems*, 4 pp., Baltimore, MD, USA, 28-31 May 2017.

[22] K. N. Shim, J. Hu, and J. Silva-Martinez, "Dual-level adaptive supply voltage system for variation resilience," *IEEE Trans. on Very Large-Scale Integration Systems*, vol. 21, no. 6, pp. 1041-1052, Jun. 2013.

[23] R. Bishnoi, F. Oboril, M. Ebrahimi, and M.B. Tahoori, "Self-timed read and write operations in STT-MRAM," *IEEE Trans. on Very Large-Scale Integration Systems*, vol. 24, no. 5, pp. 1783-1793, May 2016.

[24] A. Chintaluri, H. Naeimi, S. Natarajan and A. Raychowdhury, "Analysis of defects and variations in embedded Spin Transfer Torque (STT) MRAM arrays," *Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 6, no. 3, pp. 319-329, Sept. 2016.

امیرمحمد حاجی‌صادقی مقاطع کارشناسی و کارشناسی ارشد خود را در رشته مهندسی کامپیوتر در سال‌های ۱۳۹۵ و ۱۳۹۷ به ترتیب در دانشگاه شاهد تهران و دانشگاه صنعتی امیرکبیر تهران به پایان رسانید. نام‌برده از سال ۱۳۹۷ مشغول به تحصیل در مقطع دکترا در دانشگاه صنعتی امیرکبیر می‌باشد و زمینه‌های تحقیقاتی مورد علاقه ایشان شامل موضوعاتی همچون سیستم‌های تحمل‌پذیر اشکال، معماری کامپیوتر و حافظه‌های غیرفرار نوظهور می‌باشد.

حمیدرضا زرندی تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکتری به‌ترتیب در سال‌های ۱۳۷۹، ۱۳۸۱ و ۱۳۸۵ از دانشگاه صنعتی شریف به پایان رسانده است. نام‌برده از سال ۱۳۸۶ در دانشکده مهندسی کامپیوتر دانشگاه صنعتی امیرکبیر (پلی تکنیک تهران) به‌عنوان عضو هیأت علمی شروع به کار کرده است. ایشان هم اکنون دانشیار دانشکده و مؤسس آزمایشگاه تحلیل و طراحی سیستم‌های اتکاپذیر می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: تزریق اشکال، قابلیت اطمینان، اتکاپذیری و محاسبات تحمل‌پذیری اشکال و طراحی معماری سیستم‌های اتکاپذیر. ایشان عضو هیأت مدیره انجمن فیزیکی سایبری و نیز ریاست قطب اینترنت اشیاء دانشگاه صنعتی امیرکبیر را برعهده دارد.

شاهرخ جلیلیان در سال ۱۳۷۴ مدرک کارشناسی مهندسی برق الکترونیک خود را از دانشگاه صنعتی خواجه نصیرالدین طوسی و در سال ۱۳۷۷ مدرک کارشناسی ارشد مهندسی برق الکترونیک خود را از همان دانشگاه دریافت نمود. از سال ۱۳۷۵ الی ۱۳۸۶ نام‌برده به عنوان کارشناس ارشد در حوزه سامانه های دیجیتال و نرم افزار سامانه‌های نهفته در مرکز تحقیقات مخابرات ایران به کار مشغول بود و پس از آن در پژوهشکده سامانه‌های ماهواره (ذیل سازمان فضایی ایران و اکنون ذیل پژوهشگاه فضایی ایران) در حوزه نرم‌افزار روی برد ماهواره ادامه کار داد و از سال ۱۳۹۱ نیز عضو هیأت علمی این پژوهشکده در رتبه مربی است. زمینه‌های علمی مورد علاقه ایشان شامل موضوعاتی مانند سامانه‌های نهفته، معماری نرم‌افزار روی برد، تست نرم‌افزارهای نهفته و تحمل‌پذیری خطای نرم‌افزاری است.