ارزیابی مشخصه فلیپ‌فلاپ استاتیک مبتنی بر ترانزیستور نانو- نوار گرافنی سد شاتکی تحت تغییرات فرایند ساخت

عرفان عباسیان و مرتضی قلی‌پور

چکیده: ترانزیستورهای نانو- نوار گرافینی (GNRFETs) به عنوان یک گزینه امیدوارکننده برای جایگزینی ترانزیستورهای سیلیکونی متداول در تکنولوژی نسل آینده مطرح می‌باشند. کانال GNRFET در مقیاس چند نانومتر است و از این رو بررسی تأثیر تغییرات فرایند ساخت بر روی عملکرد مدارها بسیار حایز اهمیت خواهد بود. در این مقاله، تأثیر تغییرات فرایند ساخت نظیر ضخامت اکسید، طول کانال و تعداد خطوط دایمر بر روی تأخیر، توان و حاصل‌ضرب انرژی- تأخیر (EDP) فلیپ‌فلاپ مبتنی بر SB-GNRFET ارزیابی شده و مورد تجزیه و تحلیل قرار گرفته است. علاوه بر آن شبیه‌سازی مونت‌کارلو نیز برای تحلیل آماری این تغییرات انجام شده است. با تغییر ضخامت اکسید از مقدار نامی به ۱٫۱۵ nm، تأخیر انتشار و EDP به ترتیب به میزان ۳۱٫۵۷ و ۶۰٫۶۲ درصد افزایش می‌یابد. همچنین تغییر طول کانال کمترین میزان تأثیر را بر روی مشخصه فلیپ‌فلاپ دارد. با افزایش یک واحد تعداد خطوط دایمر از مقدار نامی، تأخیر انتشار و EDP به ترتیب به میزان ۳۱۵٫۴۸ و ۲۰۴٫۷۹ درصد افزایش می‌یابد. همچنین نتایج حاصل از شبیه‌سازی مونت‌کارلو نشان می‌دهد که مشخصه فلیپ‌فلاپ نسبت به تغییر ضخامت اکسید یک توزیع هیستوگرام با میزان گستردگی ۲٫۴۶، ۱٫۵۷ و ۲٫۳۹ برابر نسبت به تغییر خطوط دایمر دارد.

کلیدواژه: **ترانزیستور نانو- نوار گرافنی (GNRFET)، سد شاتکی، فلیپ‌فلاپ، پارامترهای زمانی، مونت‌کارلو.**

۱- مقدمه

با اختراع Si-CMOS، گوردون مور در سال ۱۹۶۵ پیش‌بینی کرد که تعداد ترانزیستورهای یک تراشه هر ۱۸ ماه تقریباً دو برابر می‌شود [۱]. روند نمایی در کاهش ابعاد این نوع ترانزیستورها، تبعیت از قانون مور را برای چندین دهه به ارمغان آورده است که منجر به تراشه‌های متراکم با قابلیت‌های بیشتر، قیمت پایین‌تر در هر تراشه، سوئیچینگ سریع‌تر و توان مصرفی کمتر می‌شود [۲] و [۳]. اما زمانی که ابعاد ترانزیستورهای سیلیکونی به ناحیه نانومتری می‌رسد، مشکلات زیادی از قبیل مصرف توان بالا در حالت بیکار به خاطر نشتی زیاد، مشکل انتخاب ماده اکسید مناسب، از دست دادن کنترل کانال و در نتیجه ناتوانی در کاهش ضخامت اکسید، افزایش جریان خاموشی، کاهش تحرک حامل‌ها، کاهش سد القای درین (DIBL) و دیگر اثرات کانال کوتاه را به وجود می‌آورد [۴] تا [۶]. علاوه بر این به دلیل دشواری‌های تکنولوژی، سیلیکون بلورین به سیلیکون بی‌نظم می‌شکند که باعث می‌شود به عنوان یک ماده مناسب برای الکترونیک آینده قابل استفاده نباشد [۵]. نیاز به ساخت ترانزیستورهای کوچک‌تر، قابل اعتماد و سریع موجب شده که محققان مواد جایگزین برای سیلیکون پیدا کنند. بدین منظور گروه زیادی از مواد و افزاره‌های نوظهور به طور گسترده مورد مطالعه قرار گرفته است [۷] و [۸].

با لایه‌برداری موفق گرافن تک‌لایه از گرافیت در سال ۲۰۰۴، فرصتی برای افزاره الکترونیک آینده فراهم شد [۹] و [۱۰]. گرافن برخی خواص جالب توجه مانند تحرک بالای حامل (تا $(۱۵۰۰۰ \mathrm{cm}^{۲}/(\mathrm{V.s})$)، سرعت فرمی بالا ($\sim ۱۰^{۸}\ \mathrm{cm/s}$) حتی در دمای اتاق، هدایت حرارتی و الکتریکی بالا، هدایت فلزی، نویز جانسون کم و مسیر آزاد میانگین در مقیاس- میکرون در دمای اتاق را نشان می‌دهد [۱۱] تا [۱۶]. اگرچه نانولوله‌های کربنی (CNT) خواص مشابه گرافن را نشان می‌دهد، با این وجود به خاطر هندسه غیر صفحه‌ای CNT، نیاز به جایگزینی فناوری ساخت و تولید فعلی دارد که منجر به تحمیل هزینه‌های زیادی خواهد شد [۱۷]. از سویی دیگر، گرافن یک هندسه صفحه‌ای دارد و به همین دلیل نیاز به تغییر تکنولوژیکی عمده ندارد [۱۸] و [۱۹]. ساختار اتمی نازک گرافن تک‌لایه منجر به کنترل بهتر گیت بر کانال می‌شود و ساختار صفحه‌ای، سازگار با فرایندهای ساخت CMOS موجود است که تولید بالقوه مدارهای مجتمع در مقیاس ویفر را معرفی می‌کند [۲۰]. به دلیل این مزایا، الکترونیک مبتنی بر گرافن توجه زیادی را به خود جلب می‌کند و به عنوان یک ماده امیدوارکننده برای افزاره نانو- الکترونیک نسل بعد مطرح می‌شود.

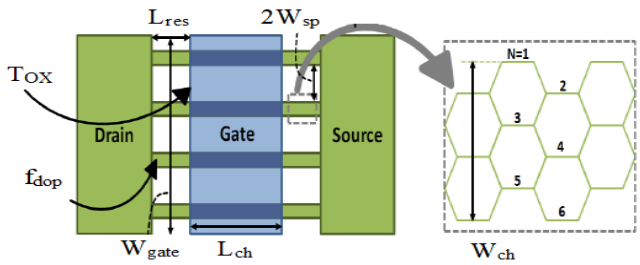
در سال‌های اخیر، ترانزیستورهای اثر- میدان نانو- نوار گرافنی (GNRFET) برای هر دو کاربرد آنالوگ و دیجیتال به خاطر تحرک بالای حامل و نسبت جریان I_{ON}/I_{OFF} بالا مطالعه شده است. در [۲۱]، مدارهای دیجیتال مانند INV، NAND و NOR طراحی شده است. در [۲۲]، INV، اسیلاتور حلقوی و لچ‌ها بر اساس GNRFET طراحی شده است. در [۲۳]، مدار SRAM مبتنی بر GNRFET برای مصرف انرژی کمتر طراحی شده است. در [۴]، ALU مبتنی بر GNRFET طراحی و شبیه‌سازی شده و با نوع CMOS از نظر توان و تأخیر مقایسه گردیده که افزاره گرافنی به ترتیب بهبود ۹۸٫۹۸ و ۶۴٫۴۵ درصد را نسبت به CMOS نشان می‌دهد. همان طور که افزاره‌های مبتنی بر گرافن در مراحل اولیه طراحی هستند، فناوری ساخت هنوز در حال توسعه است. رسیدن به نانو- نوارهای مبتنی بر گرافن کامل امکان‌پذیر نشده است. کارایی ترانزیستور به شدت به پارامترهای فرایند ساخت وابسته است. از این رو مطالعه تأثیر تغییرات فرایند بر ترانزیستور اهمیت زیادی دارد [۷]. با این وجود، در این مقالات اثر تغییرات فرایند روی کارایی مدار در نظر گرفته نشده است. در [۷]، [۲۰] و [۲۴] تا [۲۶]، برخی از مدارهای دیجیتال از نظر تأخیر و توان تحت تغییرات فرایند ساخت تجزیه و تحلیل شده‌اند.

در این مقاله به منظور ارزیابی اثر تغییرات فرایند، یک فلیپ‌فلاپ استاتیک در نظر گرفته شده است. مدار با استفاده از ترانزیستور SB-

این مقاله در تاریخ ۳ مهر ماه ۱۳۹۸ دریافت و در تاریخ ۲۵ بهمن ماه ۱۳۹۸ بازنگری شد.

عرفان عباسیان، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: erfan.cmu@gmail.com).

مرتضی قلی‌پور (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: m.gholipour@nit.ac.ir).



شکل ۱: ساختار SB-GNRFET با چهار AGNR [۲۰].

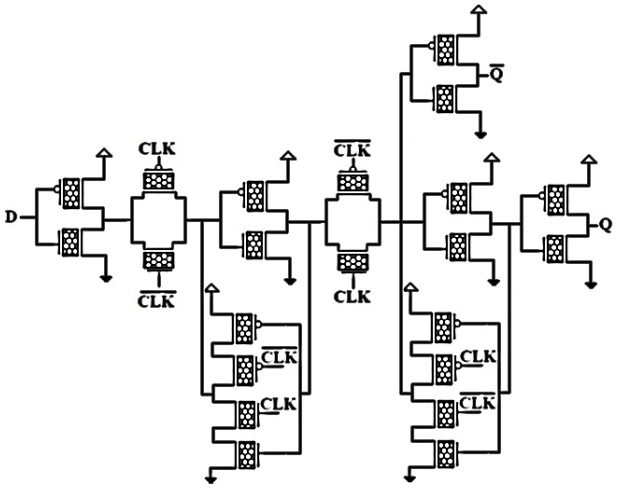
GNRFET طراحی و شبیه‌سازی شده و سپس تأخیر و توان مدار تحت تغییرات پارامترهای فرایند ساخت اندازه‌گیری شده است. علاوه بر این، شبیه‌سازی مونت‌کارلو نیز برای تحلیل آماری تغییرات فرایند ساخت انجام شده است.

در بخش دوم این مقاله ترانزیستورهای GNRFET و انواع آن، فلیپ‌فلاپ مبتنی بر SB-GNRFET و نحوه محاسبه پارامترهای زمانی آن بررسی شده است. پارامترهای زمانی، توان و حاصل‌ضرب انرژی-تأخیر (EDP) فلیپ‌فلاپ مبتنی بر SB-GNRFET تحت تغییرات پارامترهای فرایند ساخت در بخش سوم ارزیابی و تجزیه و تحلیل شده و در نهایت نتیجه‌گیری در بخش چهارم ارائه گردیده است.

۲- فلیپ‌فلاپ مبتنی بر SB-GNRFET

پس از کشف گرافن علاقه زیادی به استفاده از آن به عنوان کانال ترانزیستور بوده است اما به دلیل عدم وجود گاف انرژی در گرافن [۲۰]، ترانزیستور ساخته‌شده با استفاده از آن دارای نسبت جریان I_{ON}/I_{OFF} بسیار پایینی خواهد بود و برای کاربردهای دیجیتال مناسب نیست. یکی از راه حل‌های این مشکل، ایجاد محدودیت کوانتومی ورقه گرافن در شکل نوارهای یک‌بعدی با عرض خیلی نازک به صورت نانو- نوار گرافنی (GNR) است. محاسبات تئوری و تجربی نشان می‌دهد که گاف انرژی GNR رابطه عکس با عرض آن دارد و برای دستیابی به ترانزیستوری با عملکرد مناسب در دمای محیط، کاهش عرض به زیر ۱۰ nm ضروری است [۲۷]. عرض نوار تنها عامل مؤثر نیست و برش در مقیاس نانوی گرافن در نوع مرز لبه (یا زاویه پیچش) نیز دارای اهمیت است به طوری که تعیین‌کننده فلزی یا نیمه هادی بودن GNRها است. بسته به وضعیت لبه GNR، دو نوع GNR وجود دارد: ۱) GNR با لبه زیگزاگ (ZGNR) که دارای تنها ویژگی فلزی است و ۲) GNR با لبه آرمچیر (AGNR) که هر دو ویژگی فلزی و نیمه هادی را از خود نشان می‌دهد [۲۰]. با توجه به خاصیت نیمه هادی AGNR، از این نوع نانو- نوار گرافنی در کانال ترانزیستور استفاده می‌شود.

بر اساس طراحی FET، ترانزیستورهای GNRFET دو نوع هستند: ۱) نوع فلز- اکسید- نیمه‌هادی (نوع-MOS) و ۲) نوع سد شاتکی (نوع SB). ترانزیستور MOS-GNRFET از نواحی کانال، درین و سورس مبتنی بر GNR استفاده می‌کند و دارای منحنی مشخصه یک‌طرفه است در حالی که SB-GNRFET دارای کانال مبتنی بر GNR است اما اتصالات درین و سورس فلزی دارد و دارای منحنی مشخصه دوطرفه است. فقدان مقاومت اتصال گرافن- فلز در مدارهای SB-GNRFET موجب برتری آن در مقایسه با مدارهای MOS-GNRFET است. علاوه بر این، سطح ناخالصی نواحی درین و سورس MOS-GNRFET به طور بالقوه حساس به تغییرات فرایند است که منجر به تغییرات قابل توجهی در مشخصات ترانزیستور و کارایی مدار می‌شود. SB-GNRFET درین و سورس فلزی



شکل ۲: ساختار فلیپ‌فلاپ استاتیک مبتنی بر ترانزیستورهای SB-GNRFET [۳۲].

بدون ناخالصی دارد و به همین دلیل از این مسئله مستثنا است. ساخت ترانزیستورهای MOS-GNRFET مستلزم آلایش GNR است که به دلیل ابعاد کوچک این مواد، روش‌های مرسوم کارایی زیادی ندارد [۷]، [۲۰] و [۲۸] تا [۳۰]. با توجه به دلایل گفته‌شده از نوع SB- برای شبیه‌سازی مدار مورد نظر استفاده شده است. یک نمونه از SB-GNRFET با چهار نوار موازی در شکل ۱ نشان داده شده است. همه نوارها از نوع آرمچیر هستند، برای این که نیمه‌رسانا باشند. در این شکل، عرض گیت با W_{gate}، عرض هر GNR با W_{ch}، طول کانال با L_{ch}، طول مخزن (درین یا سورس) با L_{res}، فاصله بین نوارها با $2W_{sp}$ و سطح ناخالصی درین و سورس با f_{dop} تعریف می‌شود. عرض گیت با تعداد خطوط دایمر (N) مشخص می‌شود

$$W_{GNR} = \sqrt{3} d_{cc} \frac{N-1}{2} \quad (1)$$

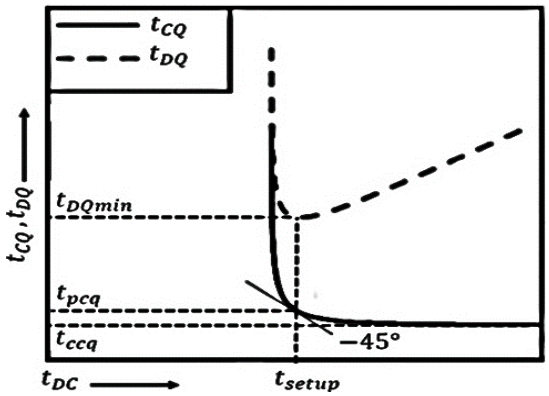
$$W_{gate} = (W_{GNR} + 2W_{sp}) \times N_{rib} \quad (2)$$

که در آن $d_{cc} = 0.142\,\text{nm}$ فاصله پیوند کربن- کربن، $2W_{sp}$ فاصله بین نوارها و N_{rib} تعداد نوارهای GNR است [۲۰].

ساختار فلیپ‌فلاپ استاتیک مبتنی بر SB-GNRFET در سطح ترانزیستور در شکل ۲ نشان داده شده است. این فلیپ‌فلاپ حساس به لبه بالارونده پالس ساعت است، یعنی ورودی را روی لبه بالارونده پالس ساعت به خروجی منتقل می‌کند و در مابقی زمان‌ها، آن را نادیده می‌گیرد. ورودی‌های داده و پالس ساعت یک فلیپ‌فلاپ باید محدودیت‌های زمانی پایه مانند زمان‌های آمادگی[1] و نگهداری[2] را برای اطمینان از عملیات درست فلیپ‌فلاپ برآورده سازند. زمان‌های آمادگی و نگهداری فاصله‌های زمانی را تعریف می‌کنند که در طی آن داده باید پایدار باشد تا اطمینان حاصل شود که فلیپ‌فلاپ درست عمل می‌کند [۳۱]. اکثر کتابخانه‌های سلول استاندارد از این طرح استفاده می‌کنند چون ساده، قابل اطمینان، جمع و جور و از لحاظ انرژی پربازده است [۳۲].

برای محاسبه پارامترهای زمانی فلیپ‌فلاپ، رسم نمودارهای تأخیر t_{DQ} و t_{CQ} نسبت به زمان رسیدن داده به لبه بالارونده پالس ساعت ضروری است. تأخیر t_{CQ} یک فلیپ‌فلاپ وابسته به زمانی است که ورودی داده قبل از لبه بالارونده پالس ساعت مستقر می‌شود (t_{DC}).

1. Setup Time
2. Hold Time



شکل ۳: نمودار کیفی تأخیرهای t_{DQ} و t_{CQ} نسبت به زمان رسیدن داده t_{DC} [۳۳].

جدول ۱: پارامترهای ترانزیستور SB-GNRFET.

SB-GNRFET parameters	values
Channel length (L_{ch})	۱۶ nm
Number of dimmer lines (N)	۱۲
Space between two adjacent GNRs ($۲\times sp$)	۲ nm
Number of GNRs (N_{rib})	۶
Oxide thickness (T_{OX})	۰٫۹۵ nm
Edge roughness percentage (P_r)	۰
Doping fraction	۰٫۰۰۱
Voltage supply	۰٫۵ V

شکل ۳ این رابطه را به صورت کیفی نشان می‌دهد. اگر داده به اندازه کافی زود برسد (t_{DC} بزرگ)، تأخیر t_{CQ} به حداقل مقدار ثابت خود می‌رسد که به آن تأخیر آلودگی[1] (t_{ccq}) گفته می‌شود. زمانی که داده به لبه بالارونده پالس ساعت نزدیک‌تر می‌شود، تأخیر t_{CQ} شروع به افزایش می‌کند و در نهایت به یک مجانب می‌رسد که در آن فلیپ‌فلاپ برای ضبط صحیح داده با شکست مواجه می‌شود. تأخیر t_{DQ} برابر است با زمان کل از وقتی که داده مستقر می‌شود تا خروجی مستقر شود ($t_{DQ}=t_{DC}+t_{CQ}$). تأخیر t_{DQ} یک شیب ۱- برای t_{DC} بزرگ دارد و به یک حداقل مقدار در نقطه‌ای می‌رسد که در آن t_{CQ} یک شیب ۱- دارد. پارامترهای زمانی فلیپ‌فلاپ، زمان آمادگی (t_{setup}) و تأخیر انتشار (t_{pcq}) در این نقطه حداقل t_{DQ} به دست می‌آید. زمان نگهداری برابر حداقل تأخیر از پالس ساعت به تغییر داده است به طوری که $t_{CQ}\le t_{pcq}$ [۳۲] تا [۳۵].

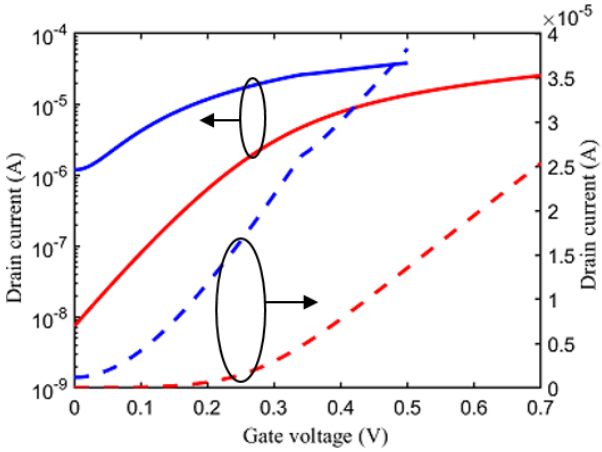
مقدار زمان آمادگی و زمان نگهداری می‌تواند مثبت یا منفی باشد که به ولتاژ تغذیه، توپولوژی مدار و تنظیمات شبیه‌سازی بستگی دارد. پارامترهای زمانی فلیپ‌فلاپ بسته به حالت منطقی ورودی داده، یعنی منطق ۰ و منطق ۱ به دست آورده می‌شود. در حالت کلی مقادیر تأخیرها در دو حالت با هم متفاوت است [۳۱].

۳- نتایج شبیه‌سازی

۳-۱ شبیه‌سازی فلیپ‌فلاپ پایه

در این مقاله از مدل [۲۰] برای شبیه‌سازی فلیپ‌فلاپ مبتنی بر SB-GNRFET در نرم‌افزار HSPICE استفاده شده است. جدول ۱، پارامترهای مختلف SB-GNRFET را به طور مختصر بیان می‌کند. به

1. Contamination Delay



شکل ۴: منحنی مشخصه جریان- ولتاژ (I_D-V_G) دو ترانزیستور Si-CMOS (قرمز) و SB-GNRFET (آبی) در مقیاس خطی و لگاریتمی.

جدول ۲: مقدار پارامترهای زمانی، توان، PDP و EDP فلیپ‌فلاپ مبتنی بر SB-GNRFET و CMOS.

parameters	Si-CMOS design	SB-GNRFET design	change
t_{setup} (ps)	۱۲٫۹۲	۲٫۳۹	−۸۱٫۵٪
t_{hold} (ps)	۸٫۴۰	۵٫۴۳	−۳۵٫۳٪
t_{pcq} (ps)	۲۱٫۷۶	۴٫۹۱	−۷۷٫۴٪
t_{ccq} (ps)	۱۹٫۶۶	۴٫۵۷	−۷۶٫۷٪
P_{avg} (μW)	۰٫۱۹	۳٫۷۱	۱۹٫۵۳ X
PDP (aW.s)	۴٫۱۳	۱۸٫۲۲	۴٫۴۱ X
EDP (W.s^{۲})	۹×۱۰^{-۲۹}	$۸٫۹۴\times۱۰^{-۲۹}$	−۰٫۶۷٪

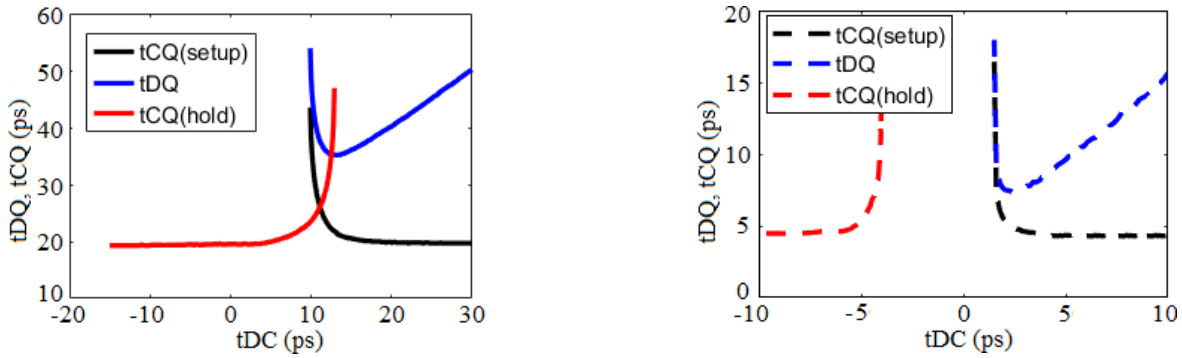
کمک (۱) و (۲)، عرض گیت برابر $W_{gate}=۲۱٫۵۹\,\text{nm}$ به دست می‌آید. تعداد نوارها (N_{rib}) به گونه‌ای انتخاب شده که به منظور ایجاد شرایط منصفانه و برابر در شبیه‌سازی‌ها، عرض ترانزیستورهای GNRFET و CMOS تقریباً یکسان باشند. برای مقایسه نتایج، پارامترهای ترانزیستور CMOS به صورت $W_{ch}=۲۱٫۵۹\,\text{nm}$، $L_{ch}=۱۶\,\text{nm}$ و ولتاژ نامی $V_{DD}=۰٫۷\,\text{V}$ در نظر گرفته شده است. با توجه به پارامترهای در نظر گرفته شده برای دو ترانزیستور، منحنی مشخصه جریان- ولتاژ (I_D-V_G) آنها در مقیاس خطی و لگاریتمی در شکل ۴ رسم شده است.

برای ایجاد حالت واقعی در سیگنال‌های ورودی، آنها را از یک بافر عبور داده و سپس به مدار فلیپ‌فلاپ اعمال کرده‌ایم. در خروجی نیز یک مدار FO۴ قرار داده شده تا آن را راه‌اندازی کند. شبیه‌سازی در دمای ۲۵ درجه سانتیگراد انجام شده است. شکل ۵ منحنی تأخیرهای t_{CQ} و t_{DQ} را نسبت به زمان رسیدن داده با منطق ۱، یعنی t_{DC}، به لبه بالارونده پالس ساعت برای فلیپ‌فلاپ مبتنی بر SB-GNRFET و CMOS نشان می‌دهد. جدول ۲ مقدار پارامترهای زمانی، توان مصرفی، PDP و EDP مدار را بیان می‌کند.

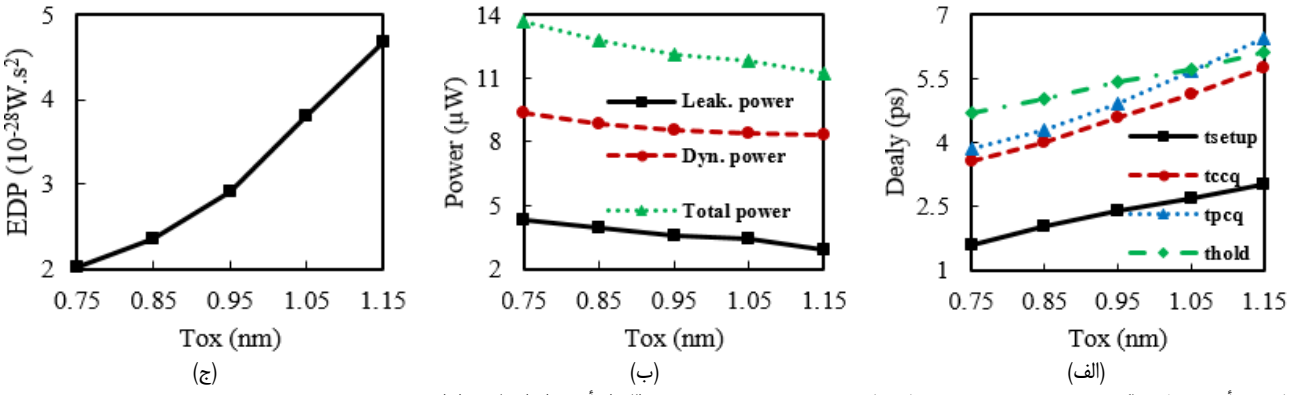
بر اساس جدول ۲، حداقل عرض پالس داده برای طراحی SB-GNRFET و CMOS به ترتیب باید ۷٫۸۲ ps و ۲۱٫۳۲ ps باشد. توان گزارش‌شده در جدول ۲، توان متوسط کشیده‌شده از منبع تغذیه توسط مدار فلیپ‌فلاپ برای چهار فرکانس کاری است. برای به دست آوردن مقدار PDP و EDP از (۳) و (۴) استفاده شده است

$$PDP = P_{avg}\times t_{pcq} \qquad (۳)$$

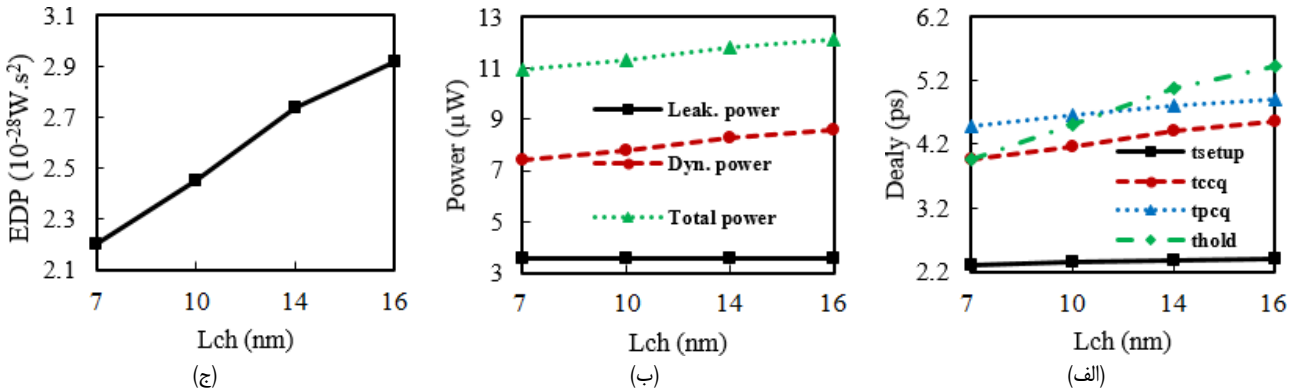
$$EDP = PDP\times t_{pcq} \qquad (۴)$$



شکل ۵: نمودار تأخیرهای t_{DQ} و t_{CQ} نسبت به تأخیر t_{DC}، (الف) فلیپ‌فلاپ مبتنی بر SB-GNRFET و (ب) فلیپ‌فلاپ مبتنی بر Si-CMOS.



شکل ۶: تأثیر ضخامت اکسید T_{ox} بر روی مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET، (الف) تأخیر، (ب) توان و (ج) EDP.



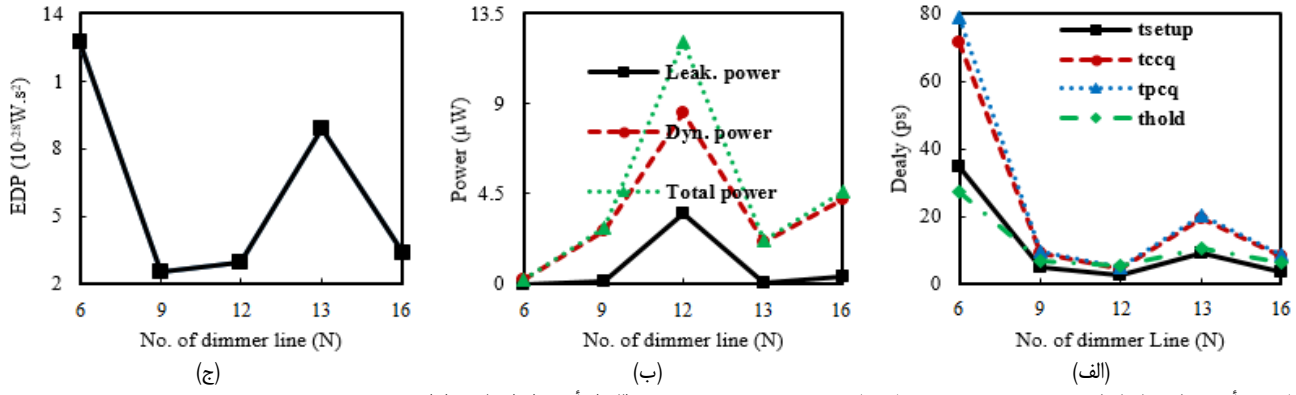
شکل ۷: تأثیر طول کانال L_{ch} بر روی مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET، (الف) تأخیر، (ب) توان و (ج) EDP.

۳-۲ بررسی اثر تغییر پارامترها

برای گزارش تغییر پارامترهای ترانزیستورهای SB-GNRFET، تحلیل حساسیت روی پارامترهای مشخصه مهم فلیپ‌فلاپ مانند پارامترهای زمانی، توان و EDP انجام شده است. نتایج شبیه‌سازی‌های انجام‌شده که نشان‌دهنده وابستگی این سه مشخصه فلیپ‌فلاپ به پارامترهای ترانزیستور SB-GNRFET مانند تعداد خطوط دایمر (N)، ضخامت اکسید (T_{ox}) و طول کانال (L_{ch}) است، در شکل‌های ۶ تا ۸ آمده است. شکل ۶ تأثیر ضخامت اکسید را نشان می‌دهد. ضخامت اکسید دارای تأثیر مرتبه اول بر روی تأخیر، توان و EDP و در نتیجه کارایی مدار است. افزایش T_{ox} منجر به افت جریان روشن می‌شود و بنابراین تأخیر افزایش می‌یابد. از سویی دیگر با کاهش ضخامت اکسید، توان نیز افزایش می‌یابد. شکل ۷ نشان‌دهنده تأثیر طول کانال است. طول کانال نیز دارای یک تأثیر مرتبه اول بر روی تأخیر و کارایی مدار است. افزایش در طول کانال، ظرفیت خازنی بزرگ‌تر را نتیجه می‌دهد و در نتیجه آن تأخیر نیز افزایش پیدا می‌کند. توان نشتی به طور قابل توجه با تغییرات طول کانال تحت تأثیر قرار نمی‌گیرد اما توان دینامیک با افزایش طول کانال بیشتر می‌شود. شکل ۸ تأثیر تعداد خطوط دایمر N را نشان می‌دهد. تعداد خطوط دایمر دارای اثر تناوبی بر روی شکاف باند[1] است.

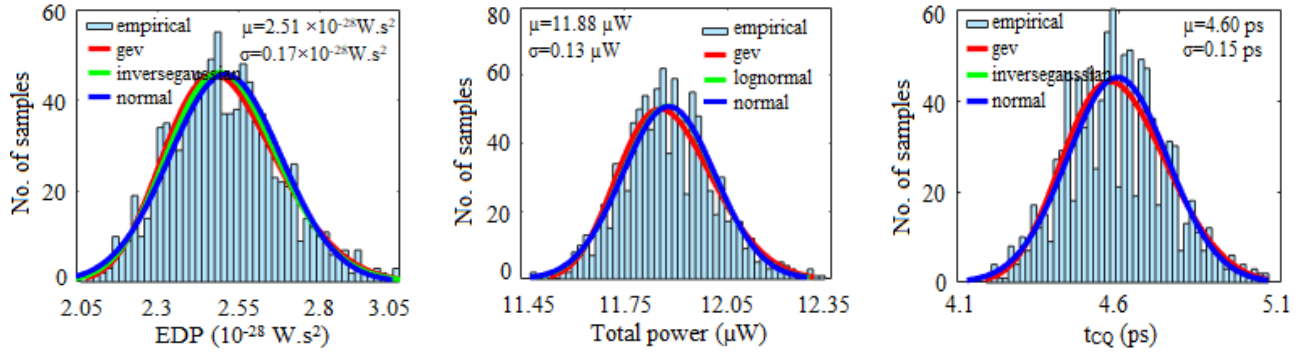
برای خطوط دایمر $N=3p+2$ (مثل ۸، ۱۱ و ۱۴) شکاف باند کوچک است و منجر به جریان روشن و خاموش بالا می‌شود که تقریباً با هم برابر هستند. از این رو این GNRها برای ساخت ترانزیستور جهت استفاده در مدارهای دیجیتال مناسب نمی‌باشند. برای $N=3p+1$ (مثل ۷، ۱۰ و ۱۳) شکاف باند بزرگ با جریان روشن کم و جریان خاموش خیلی کم را نتیجه می‌دهد که منجر به نسبت جریان I_{ON}/I_{OFF} زیاد می‌شود. نهایتاً $N=3p$ (مثل ۶، ۹ و ۱۲) یک شکاف باند متوسط را می‌دهد و تأخیر و توان در این حالت بین دو حالت دیگر قرار می‌گیرد. برای بررسی اثر تعداد خطوط دایمر، شبیه‌سازی‌ها به ازای

1. Bandgap



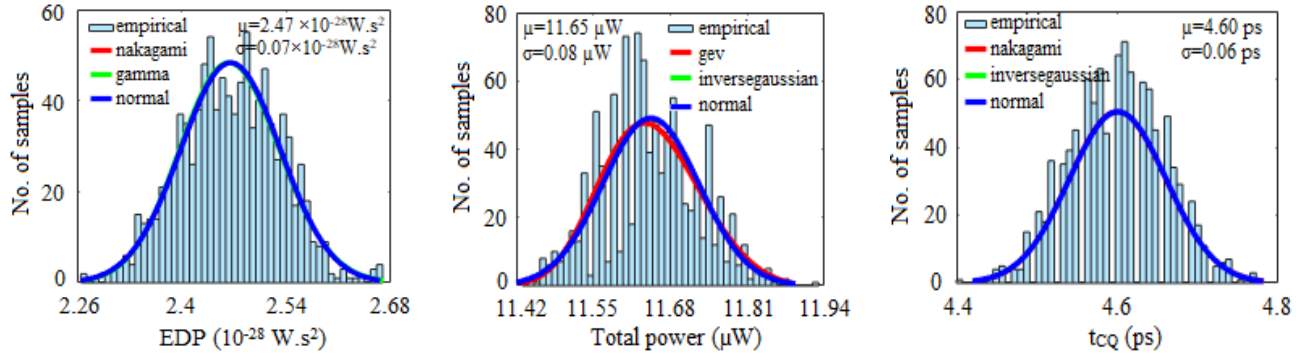
(ج) (ب) (الف)

شکل ۸: تأثیر تعداد خطوط دایمر N بر روی مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET، (الف) تأخیر، (ب) توان و (ج) EDP.



(ج) (ب) (الف)

شکل ۹: آنالیز آماری مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET با توزیع گوسی ضخامت اکسید گیت T_{ox} ±۱۰%. مونت‌کارلو هیستوگرام‌ها را برای N_m =۱۰۰۰ نمونه نتیجه می‌دهد، (الف) تأخیر t_{CQ}، (ب) توان کل و (ج) EDP.



(ج) (ب) (الف)

شکل ۱۰: آنالیز آماری مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET با توزیع گوسی تعداد خطوط دایمر N ±۱۰%. مونت‌کارلو هیستوگرام‌ها را برای N_m =۱۰۰۰ نمونه نتیجه می‌دهد، (الف) تأخیر t_{CQ}، (ب) توان کل و (ج) EDP.

N = ۶,۹,۱۲,۱۳,۱۶ نیز تکرار شده‌اند. GNRهایی با تعداد خطوط دایمر برابر با ۱۲، ۱۶، ۹، ۱۳ و ۶ به ترتیب دارای شکاف باند کوچک به بزرگ هستند. تأخیر و توان به ترتیب دارای رابطه مستقیم و معکوس با انرژی باند هستند. در نتیجه، N ی که بیشترین تأخیر را دارد کمترین توان مصرفی را خواهد داشت و بالعکس. با توجه به شکل‌های ۶ تا ۸، تغییر طول کانال از مقدار نامی به ۱۴ nm منجر به کاهش تأخیر انتشار و EDP به ترتیب به میزان ۲/۰۴ و ۶/۱۶ درصد می‌شود. با تغییر ضخامت اکسید از مقدار نامی به ۱/۱۵ nm تأخیر انتشار و EDP به ترتیب به میزان ۳۱/۵۷ و ۶۰/۶۲ درصد افزایش می‌یابد. با تغییر تعداد خطوط دایمر از مقدار نامی به ۱۳، تأخیر انتشار و EDP به ترتیب به میزان ۳۱۵/۴۸ و ۲۰۴/۷۹ درصد افزایش می‌یابد.

۳-۳ شبیه‌سازی مونت‌کارلو

به منظور تحلیل آماری تغییرات فرایند ساخت، شبیه‌سازی مونت‌کارلو با تغییرات ضخامت اکسید و تعداد خطوط دایمر انجام شده است. برای این دو پارامتر تابع توزیع گوسی (نرمال) با تغییرات در سطح 3σ انتخاب شده است. از آنجایی که تعداد خطوط دایمر عددی صحیح است، مقدار تصادفی تولیدشده تبدیل به عدد صحیح شده است. این دو پارامتر به اندازه ۱۰٪ حول مقدار نامی که در جدول ۱ گزارش شده است، تغییر می‌کنند. تعداد N_m =۱۰۰۰ نمونه برای شبیه‌سازی مونت‌کارلو انتخاب شده است. شکل‌های ۹ و ۱۰ نتایج به دست آمده برای توزیع پارامترهای مشخصه فلیپ‌فلاپ مبتنی بر SB-GNRFET یعنی تأخیر t_{CQ}، توان کل و EDP را به صورت هیستوگرام نشان می‌دهند. در هر یک از این شکل‌ها چند تابع توزیع که بهترین برازش را روی داده‌ها دارند نیز نشان داده شده است (در برخی از شکل‌ها توابع توزیع بر هم منطبق شده‌اند). مقدار میانگین و انحراف معیار داده‌ها بر اساس توزیع نرمال بر روی هر شکل مشخص شده است. در بررسی اثر تغییرات، از معیار تغییرپذیری که عبارت است از

نسبت انحراف معیار به میانگین یک پارامتر طراحی، استفاده می‌شود [۳۶]. با توجه به شکل‌های ۹ و ۱۰، تأخیر t_{CQ}، توان کل و EDP به ترتیب نشان‌دهنده یک منحنی هیستوگرام با تغییرپذیری ۰/۰۳۲، ۰/۰۱۱ و ۰/۰۶۷ به ازای تغییرات ضخامت اکسید و همچنین یک منحنی هیستوگرام با تغییرپذیری ۰/۰۱۳، ۰/۰۰۷ و ۰/۰۲۸ به ازای تغییرات تعداد خطوط دایمر هستند.

٤- نتیجه‌گیری

با کوچک‌سازی فناوری‌ها، تغییرپذیری پارامترهای افزاره به طور مداوم افزایش می‌یابد. کارایی و مصرف توان کاملاً حساس به پارامترهای فرایند است. نقص در ساخت منجر به انحراف قابل توجه توان و کارایی از مقدار اسمی آنها می‌شود. در این مقاله، تأثیر تغییرات فرایند ساخت از جمله طول کانال، تعداد خطوط دایمر و ضخامت اکسید بر روی تأخیر، توان و EDP فلیپ‌فلاپ مبتنی بر SB-GNRFET ارزیابی شده است. نتایج حاکی از آن است که در میان پارامترها، افزایش یک واحد در مقدار نامی تعداد خطوط دایمر به ترتیب به میزان ۳۱۵/۵۷ و ۲۰۴/۷۹ درصد بیشترین تأثیر را بر روی انحراف تأخیر انتشار و EDP از مقدار نامی دارد. همچنین تغییر طول کانال کمترین تأثیر را بر روی انحراف کمیت‌های اندازه‌گیری‌شده نسبت به مقدار نامی دارد. همچنین شبیه‌سازی مونت‌کارلو برای تحلیل آماری تغییرات فرایند انجام شده که نشان‌دهنده تغییرپذیری کمتر مشخصه فلیپ‌فلاپ نسبت به تغییرات تعداد خطوط دایمر است. نتایج شبیه‌سازی نشان می‌دهد که در نظر گرفتن تغییرات فرایند در طول طراحی مدار یا ارزیابی یک فناوری جدید امری ضروری است و با ادامه روند کاهش ابعاد، مطالعه این اثرات چالش‌برانگیزتر و مهم‌تر می‌شود.

٥- سپاسگزاری

نویسندگان مقاله مراتب قدردانی خود را از حمایت دانشگاه صنعتی نوشیروانی بابل از طریق اعتبار پژوهشی شماره BNUT/۳۸۹۰۲۳/۹۸ اعلام می‌دارند.

مراجع

[1] L. B. Kish, "End of Moore's law: thermal (noise) death of integration in micro and nano electronics," *Physics Letters A*, vol. 305, no. 3, pp. 144-149, Dec. 2002.

[2] F. Kreupl, "Advancing CMOS with carbon electronics," in *Proc. of Conf. on Design, Automation & Test in Europe*, 6 pp., Dresden, Germany, 24-28 Mar. 2014.

[3] S. Narendra, V. De, S. Borkar, D. A. Antoniadis, and A. P. Chandrakasan, "Full-chip subthreshold leakage power prediction and reduction techniques for sub-0.18 µm CMOS," *IEEE J. of Solid-State Circuits*, vol. 39, no. 3, pp. 501-510, Mar. 2004.

[4] H. R. Aradhya, H. Madan, T. Megaraj, M. Suraj, R. Karthik, and R. Muniraj, "GNRFET based 8-bit ALU," *International J. of Electronics and Communication Engineering*, vol. 5, no. 1, pp. 45-54, Dec. 2016.

[5] A. Y. Goharrizi, M. Pourfath, M. Fathipour, and H. Kosina, "Device performance of graphene nanoribbon field-effect transistors in the presence of line-edge roughness," *IEEE Trans. on Electron Devices*, vol. 59, no. 12, pp. 3527-3532, Dec. 2012.

[6] S. Joshi and U. Albalawi, "Statistical process variation analysis of schottky-barrier type GNRFET for RF application," in *Proc. Int. Conf. on Current Trends in Computer, Electrical, Electronics and Communication*, 6 pp., Mysore, India, 8-9 Sept. 2016.

[7] A. Sangai, Circuit Level Delay and Power Analysis of Graphene Nano-Ribbon Field-Effect Transistors Using Monte Carlo Simulations and Standard Cell Library Characterization, MSc Thesis, University of Illinios-Urbana-Champaign, 2014.

[8] International Technology Roadmap for Semiconductors (ITRS), http://www.itrs.net/, 2013.

[9] F. Schwierz, "Graphene transistors," *Nature Nnanotechnology*, vol. 5, no. 7, pp. 487-496, May 2010.

[10] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, *et al.*, "Electric field effect in atomically thin carbon films," *Science*, vol. 306, no. 5696, pp. 666-669, Oct. 2004.

[11] Y. Banadaki, K. Mohsin, and A. Srivastava, "A graphene field effect transistor for high temperature sensing applications," in *Proc. SPICE (Smart Structures/NDE: Nano-, Bio-, and Info-Tech Sensors and System: SSNO6)*, vol. 9060, 7 pp, 16-16 Apr. 2014.

[12] S. P. Mohanty, *Nanoelectronic Mixed-Signal System Design*, McGraw-Hill Education New York, 2015.

[13] S. Morozov, *et al.*, "Giant intrinsic carrier mobilities in graphene and its bilayer," *Physical Review Letters*, vol. 100, no. 1, Article ID 016602, 16 Jan. 2008.

[14] A. K. Geim and K. S. Novoselov, "The rise of graphene," *Nature Materials*, vol. 6, no. 3, pp. 183-191, Mar. 2007.

[15] K. S. Novoselov, D. Jiang, F. Schedin, T. Booth, V. Khotkevich, S. Morozov, *et al.*, "Two-dimensional atomic crystals," in *Proc. of the National Academy of Sciences*, vol. 102, no. 30, pp. 10451-10453, Jul. 2005.

[16] X. Du, I. Skachko, A. Barker, and E. Y. Andrei, "Approaching ballistic transport in suspended graphene," *Nature Nanotechnology*, vol. 3, no. 8, pp. 491-495, Aug. 2008.

[17] S. Joshi and U. Alabawi, "Comparative analysis of 6T, 7T, 8T, 9T, and 10T realistic CNTFET based SRAM," *J. of Nanotechnology*, vol. 2017, no. 5, pp. 1-9, May 2017.

[18] J. S. Moon and D. K. Gaskill, "Graphene: its fundamentals to future applications," *IEEE Trans. on Microwave Theory and Techniques*, vol. 59, no. 10, pp. 2702-2708, Oct. 2011.

[19] E. Kougianos, S. Joshi, and S. P. Mohanty, "Multi-swarm optimization of a graphene FET based voltage controlled oscillator circuit," in *Proc. IEEE Computer Society Annual Symp. on VLSI, ISVLSI'15,* pp. 567-572, Montpellier, France, 8-10 Jul. 2015.

[20] M. Gholipour, Y. Y. Chen, A. Sangai, N. Masoumi, and D. Chen, "Analytical SPICE-compatible model of Schottky-barrier-type GNRFETs with performance analysis," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 2, pp. 650-663, Mar. 2015.

[21] Y. Y. Chen, A. Sangai, M. Gholipour, and D. Chen, "Graphene nano-ribbon field-effect transistors as future low-power devices," in *Proc. Int. Symp. on Low Power Electronics and Design, ISLPED'13*, pp. 151-156, Beijing, China, 4- 5 Sept. 2013.

[22] M. Choudhury, Y. Yoon, J. Guo, and K. Mohanram, "Technology exploration for graphene nanoribbon FETs," in *Proc. 45th ACM/IEE Design Automation Conf.*, pp. 272-277, Anaheim, CA, USA, 8-13 Jun. 2008.

[23] S. Joshi, S. P. Mohanty, E. Kougianos, and V. P. Yanambaka, "Graphene nanoribbon field effect transistor based ultra-low energy SRAM design," in *Proc. IEEE Int. Symp. on Nanoelectronic and Information Systems*, pp. 76-79, Gwalior, India, 19-21 Dec. 2016.

[24] Y. Y. Chen, A. Sangai, A. Rogachev, M. Gholipour, G. Iannaccone, G. Fiori, *et al.*, "A SPICE-compatible model of MOS-type graphene nano-ribbon field-effect transistors enabling gate-and circuit-level delay and power analysis under process variation," *IEEE Trans. on Nanotechnology*, vol. 14, no. 6, pp. 1068-1082, Nov. 2015.

[25] Y. Y. Chen, *et al.*, "A SPICE-compatible model of graphene nano-ribbon field-effect transistors enabling circuit-level delay and power analysis under process variation," in *Proc. Design, Automation & Test in Europe Conf. & Exhibition*, pp. 1789-1794, Grenoble, France, 18-23 Mar. 2013.

[26] A. Rogachev, Evaluating the Effect of Process Variation on Silicon and Graphene Nano-Ribbon Based Circuits, M.Sc. Thesis, University of Illinios-Urbana-Champaig, 2012.

[27] M. Mishra, R. S. Singh, and A. Imran, "Performance optimization of GNRFET Inverter at 32 nm technology node," in *Materials Today: Proc.*, vol. 4, no. 9, pp. 10607-10611, Oct. 2017.

[28] Y. Yoon, G. Fiori, S. Hong, G. Iannaccone, and J. Guo, "Performance comparison of graphene nanoribbon FETs with Schottky contacts and doped reservoirs," *IEEE Trans. on Electron Devices*, vol. 55, no. 9, pp. 2314-2323, Aug. 2008.

[29] D. G. Anil, Y. Bai, and Y. Choi, "Performance evaluation of ternary computation in SRAM design using graphene nanoribbon field effect transistors," in *Proc. IEEE 8th Annual Computing and Communication Workshop and Conf.*, pp. 382-388, Las Vegas, NV, USA, 8-10 Jan. 2018.

[30] M. Gholipour, Y. Y. Chen, A. Sangai, and D. Chen, "Highly accurate SPICE-compatible modeling for single-and double-gate GNRFETs with studies on technology scaling," in *Proc. of the Conf. on Design, Automation & Test in Europe*, 6 pp., Dresden, Germany, 24-28 Mar. 2014.

[31] M. W. Phyu, *Low-Voltage Low-Power CMOS Flip-Flops*, Ph.D. Thesis, Nanyang Technological University, 2009.
[32] N. H. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th Edition, Addison-Wesley, 2010.
[33] N. Nedovic, W. W. Walker, and V. G. Oklobdzija, "A test circuit for measurement of clocked storage element characteristics," *IEEE J. of Solid-State Circuits*, vol. 39, no. 8, pp. 1294-1304, Aug. 2004.
[34] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, *Digital System Clocking: High-Performance and Low-Power Aspects*, John Wiley & Sons, 2005.
[35] D. M. Harris, "Sequential element timing parameter definition considering clock uncertainty," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 11, pp. 2705-2708, Nov. 2014.
[36] A. Islam and M. Hasan, "A technique to mitigate impact of process, volatge and temperature variations on design metrcis of SRAM cell," *Microelectronics Reliability*, vol. 52, no. 2, pp. 405-411, Feb. 2012.

عرفان عباسیان تحصیلات کارشناسی ارشد مهندسی برق- الکترونیک خود را در سال ۱۳۹۸ در دانشگاه صنعتی نوشیروانی بابل به پایان رساند. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم توان است.

مرتضی قلی‌پور مقاطع کارشناسی و کارشناسی ارشد مهندسی برق خود را در سال های ۱۳۷۹ و ۱۳۸۱ به ترتیب در دانشگاه فردوسی مشهد و دانشگاه تهران به پایان رساند. سپس از سال ۱۳۸۱ تا ۱۳۸۵ به عنوان کارشناس ارشد سیستم های دیجیتال در مرکز تحقیقات مخابرات ایران به کار مشغول بود و پس از آن مدرک دکترای مهندسی برق- الکترونیک خود را در سال ۱۳۹۳ از دانشگاه تهران دریافت نمود. ایشان طی این دوره، فرصت مطالعاتی خود را در دانشگاه ایلینوی (UIUC) آمریکا سپری نمود. دکتر قلی‌پور از سال ۱۳۹۳ به عنوان عضو هیأت علمی در دانشگاه صنعتی نوشیروانی بابل مشغول به فعالیت است. زمینه‌های تحقیقاتی مورد علاقه ایشان شامل طراحی سیستم‌های VLSI پرسرعت و کم‌توان، نانوالکترونیک و مدل‌سازی افزاره‌های نانو- مقیاس است.