جمع‌کننده نافرار و توان پایین مبتنی بر فناوری اسپینترونیک برای پیاده‌سازی محاسبات در حافظه

عبداله امیرانی، کیان جعفری و رامین رجایی

چکیده: با پیشرفت فناوری و کوچک‌شدن اندازه ترانزیستورها به خصوص در فناوری‌های زیر ۹۰ نانومتر مصرف توان ایستای بالا به علت افزایش نمایی جریان نشتی ترانزیستورها به یکی از بزرگ‌ترین مشکلات مدارهای مبتنی بر فناوری CMOS تبدیل شده است. افزاره‌های اسپینترونیک مانند پیوند تونل مغناطیسی (MTJ) با توجه به ویژگی‌های منحصربه‌فردشان از جمله مصرف توان ایستای پایین، نافراربودن، طول عمر زیاد، سازگاری با ترانزیستورهای CMOS و امکان ساخت در چگالی‌های بالا یکی از گزینه‌های مورد توجه برای طراحی مدارهای ترکیبی MTJ/CMOS و غلبه بر معضل مصرف توان ایستای بالا در مدارهای مبتنی بر فناوری CMOS است. در این مقاله یک تمام جمع‌کننده ترکیبی MTJ/CMOS کاملاً نافرار و توان پایین برای پیاده‌سازی محاسبات در حافظه ارائه شده است. نتایج شبیه‌سازی‌ها نشان می‌دهد که تمام جمع‌کننده نافرار پیشنهادی نسبت به تمام جمع‌کننده‌های نافرار موجود حداقل ۵۰ درصد سریع‌تر بوده، حاصل‌ضرب توان در تاخیر آن ۳۹ درصد کمتر است و سربار سخت‌افزاری زیادی نیز به مدار تحمیل نمی‌کند.

کلیدواژه: **پیوند تونل مغناطیسی، طراحی توان پایین، فناوری اسپینترونیک، محاسبات در حافظه، مدارهای ترکیبی MTJ/CMOS.**

۱- مقدمه

مدارهای مبتنی بر فناوری CMOS به علت افزایش نمایی جریان نشتی ترانزیستورها، از مشکل افزایش توان ایستای مصرفی رنج می‌برند [۱]. این مشکل باعث کندشدن روند کوچک‌سازی ترانزیستورها و مدارهای مجتمع مبتنی بر فناوری CMOS شده است [۱] و [۲]. افزاره‌های اسپینترونیک از جمله پیوند تونل مغناطیسی (MTJ) توانایی بالایی برای غلبه بر این مشکل از خود نشان داده‌اند و به خاطر ویژگی‌های درخور توجهشان از جمله نافراربودن، طول عمر بالا، مقاومت سازگار با ترانزیستورهای CMOS عادی (~ KΩ) و قابلیت ساخت به صورت سه‌بعدی در کنار مدارهای مجتمع مبتنی بر فناوری CMOS (نشان داده شده در شکل ۱- الف) مورد توجه قرار گرفته‌اند [۱] تا [۳]. ویژگی پیاده‌سازی سه‌بعدی در کنار مدارهای CMOS باعث کاهش فاصله بین حافظه‌ها و بخش‌های محاسباتی و منطقی و در نتیجه کاهش تأخیر و توان مصرفی برای انتقال اطلاعات می‌شود [۴] و [۵].

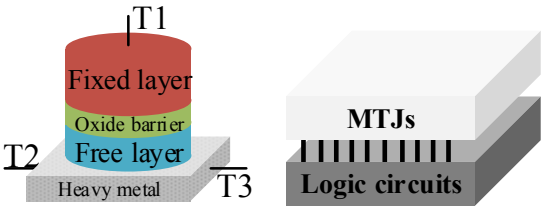
پیوند تونل مغناطیسی عنصر اصلی مدارهای ترکیبی MTJ/CMOS

این مقاله در تاریخ ۲۱ تیر ماه ۱۳۹۸ دریافت و در تاریخ ۱۳ بهمن ماه ۱۳۹۸ بازنگری شد.

عبداله امیرانی، دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران، (email: a_amirany@sbu.ac.ir).

کیان جعفری (نویسنده مسئول)، دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران، (email: k_jafari@sbu.ac.ir).

رامین رجایی، دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران، (email: r_rajaei@sbu.ac.ir).



(ب) (الف)

شکل ۱: مدارهای مبتنی بر فناوری اسپینترونیک، (الف) معماری سه‌بعدی مدارهای ترکیبی MTJ/CMOS و (ب) ساختار یک پیوند تونل مغناطیسی.

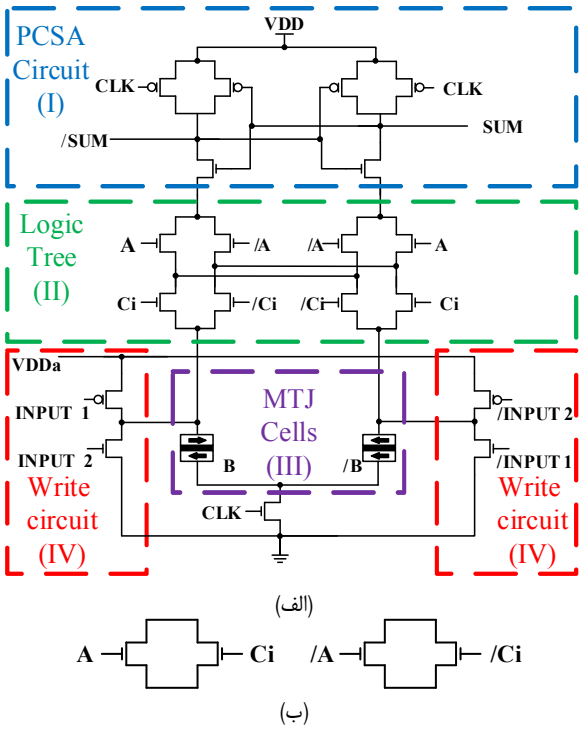
است. یک پیوند تونل مغناطیسی از دولایه فرومگنتیک (به عنوان مثال MgO [۶]) تشکیل شده که توسط یک لایه نازک عایق (به عنوان مثال CoFeO [۶]) از هم جدا شده و مجموعه آنها روی یک نوار فلزی قرار گرفته است. این ساختار در شکل ۱- ب نشان داده شده است. به طور تجربی مشاهده شده که اگر قطر لایه عایق به اندازه کافی نازک باشد، الکترون‌های موجود در یک لایه فرومغناطیسی می‌توانند از درون لایه عایق تونل زده و به لایه فرومغناطیسی دیگر بروند و یک جریان الکتریکی ایجاد کنند.

با توجه به جهت‌گیری نسبی مغناطیسی لایه‌های فرومگنتیک، یک پیوند تونل مغناطیسی می‌تواند در یکی از دو حالت موازی یا غیر موازی باشد [۶] تا [۸]. دیده شده که الکترون‌های لایه فرومغناطیسی در یک پیوند تونل مغناطیسی در حالت موازی در مقایسه با حالت غیر موازی با احتمال بیشتری تونل‌زنی کرده و بین دو لایه فرومغناطیس جابه‌جا می‌شوند. با توجه به این پدیده پیوند تونل مغناطیسی مانند یک کلید دارای دو حالت است: حالت موازی با مقاومت الکتریکی کم و حالت غیر موازی با مقاومت الکتریکی زیاد [۶] تا [۸]. از این ویژگی پیوند تونل مغناطیسی می‌توان برای طراحی مدارهای منطقی و حافظه‌ها استفاده کرد.

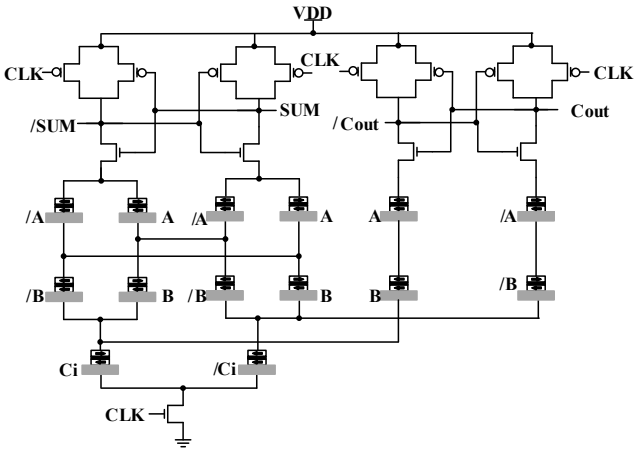
در سال‌های اخیر مدارهای ترکیبی MTJ/CMOS مختلفی از جمله حافظه [۹] تا [۱۱]، فلیپ‌فلاپ [۱۲] تا [۱۴]، تمام جمع‌کننده [۱۵] تا [۲۱] و مدارهای عصب‌گون اسپینترونیک [۲۲] تا [۲۵] طراحی شده‌اند. در میان مدارهای طراحی‌شده، تمام جمع‌کننده‌ها از اهمیت بیشتری برخوردار هستند زیرا عمل جمع، عمل اصلی تمام واحدهای محاسباتی و پایه سایر عملیات ریاضی است.

در این مقاله یک تمام جمع‌کننده نافرار و توان پایین مبتنی بر فناوری اسپینترونیک برای پیاده‌سازی محاسبات در حافظه طراحی و ارائه شده است. ویژگی نافراربودن این امکان را به سیستم می‌دهد که در زمان‌های بیکاری بدون از دست رفتن اطلاعات و نیاز به بخش‌های اضافه برای ذخیره‌سازی اطلاعات، مدار را خاموش کرد و توان مصرفی ایستا را کاهش داد.

ادامه مقاله به این صورت سازمان‌دهی شده که در بخش دوم به بررسی تمام جمع‌کننده‌های نافرار ترکیبی MTJ/CMOS موجود پرداخته شده است. تمام جمع‌کننده نافرار ترکیبی MTJ/CMOS پیشنهادی در



شکل ۲: مدار تمام جمع‌کننده ارائه‌شده در [۱۸]، (الف) مدار تولید حاصل‌جمع و (ب) درخت CMOS مورد نیاز برای مدار محاسبه رقم نقلی.



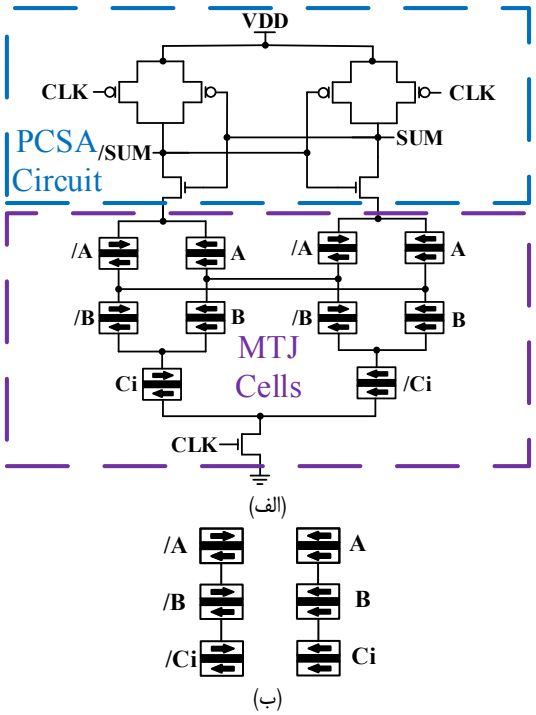
شکل ۴: مدار تمام جمع‌کننده کاملاً نافرار ارائه‌شده در [۲۱].

بخش سوم ارائه شده است. در بخش چهارم به شبیه‌سازی و مقایسه تمام جمع‌کننده نافرار ترکیبی MTJ/CMOS پیشنهادی با کارهای پیشین پرداخته شده و در بخش پنجم نیز جمع‌بندی و نتیجه‌گیری آمده است.

۲- بررسی کارهای پیشین

تمام جمع‌کننده‌های اسپینترونیک را می‌توان به دو دسته کلی تمام جمع‌کننده‌های نیمه‌نافرار و تمام جمع‌کننده‌های کاملاً نافرار تقسیم کرد [۲۰]. در ادامه این بخش سه مورد از این تمام جمع‌کننده‌ها [۱۸] تا [۲۰] مورد بررسی قرار گرفته‌اند.

شکل ۲- الف مدار تمام جمع‌کننده ارائه‌شده در [۱۸] و شکل ۲- ب درخت CMOS مورد نیاز برای پیاده‌سازی مدار محاسبه رقم نقلی این تمام جمع‌کننده را نشان می‌دهد. برای پیاده‌سازی مدار محاسبه رقم نقلی کافی است درخت CMOS نشان داده شده در شکل ۲- ب را با درخت CMOS موجود در مدار شکل ۲- الف جایگزین کرد. مدار ارائه‌شده در [۱۸] از چهار بخش کلی تشکیل شده است:



شکل ۳: مدار تمام جمع‌کننده ارائه‌شده در [۱۹]، (الف) مدار تولید حاصل‌جمع و (ب) شبکه پیوندهای تونل مغناطیسی مورد نیاز برای پیاده‌سازی مدار محاسبه رقم نقلی.

۱) مدار PCSA[1] (بخش I در شکل ۲- الف)
۲) درخت CMOS ورودی‌ها (بخش II در شکل ۲- الف)
۳) شبکه پیوندهای تونل مغناطیسی (بخش III در شکل ۲- الف)
۴) مدار تغییر وضعیت پیوندهای تونل مغناطیسی (بخش IV در شکل ۲- الف)

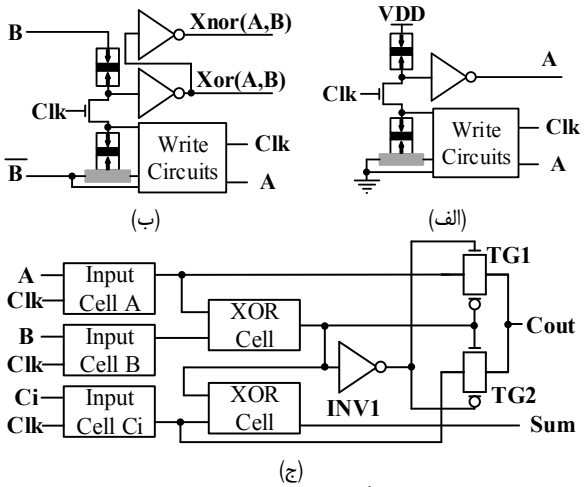
مدار ارائه‌شده در [۱۸] از پیوند تونل مغناطیسی فقط برای ذخیره‌سازی یکی از ورودی‌هایش استفاده می‌کند و در نتیجه نمی‌توان در زمان‌هایی که به مدار نیازی نیست این مدار را برای کاهش توان مصرفی ایستا خاموش کرد.

شکل ۳- الف مدار تمام جمع‌کننده ارائه‌شده در [۱۹] و شکل ۳- ب شبکه پیوندهای تونل مغناطیسی مورد نیاز برای پیاده‌سازی مدار محاسبه رقم نقلی این مدار را نشان می‌دهد. برای پیاده‌سازی مدار محاسبه رقم نقلی پیوندهای تونل مغناطیسی نشان داده شده در شکل ۳- ب باید جایگزین شبکه پیوندهای تونل مغناطیسی موجود در مدار شکل ۳- الف شود.

در جمع‌کننده ارائه‌شده در [۱۹] ترانزیستورهای درخت CMOS به طور کامل با پیوندهای تونل مغناطیسی جایگزین شده‌اند. ذخیره‌کردن تمام ورودی‌ها در پیوندهای تونل مغناطیسی مزیت نافراربودن را برای مدار به ارمغان می‌آورد و این مزیت باعث می‌شود در زمان‌هایی که به مدار نیازی نیست بتوان بدون نیاز به هیچ گونه قطعه خارجی مدار را خاموش کرده و در نتیجه توان ایستای مدار را کاهش داد.

شکل ۴ مدار تمام جمع‌کننده کاملاً نافرار ارائه‌شده در [۲۱] را نشان می‌دهد. در این تمام جمع‌کننده نیز مانند تمام جمع‌کننده ارائه‌شده در [۲۰] درخت ترانزیستورهای CMOS با پیوندهای تونل مغناطیسی جایگزین شده است. همچنین در این تمام جمع‌کننده در مدارهای تولید حاصل‌جمع و رقم نقلی از پیوندهای تونل مغناطیسی مشترک استفاده شده که باعث کاهش تعداد پیوندهای تونل مغناطیسی و در نتیجه کاهش مساحت مدار و

1. Pre-Charge Sense Amplifier



شکل ۵: تمام جمع‌کننده کاملاً نافرار پیشنهادی، (الف) سلول XOR طراحی‌شده با استفاده از پیوند تونل مغناطیسی، (ب) سلول ذخیره‌سازی ورودی و (ج) مدار تمام جمع‌کننده کاملاً نافرار پیشنهادی.

توان مصرفی می‌شود. همچنین در این مدار از روش تغییر وضعیت STT-SHE استفاده شده که نسبت به روش تغییر وضعیت STT که در [۲۰] استفاده شده سریع‌تر بوده و توان کمتری را نیز مصرف می‌کند.

عیب اصلی این تمام جمع‌کننده‌ها [۱۹] تا [۲۱] آن است که در همه آنها از تعداد زیادی پیوند تونل مغناطیسی استفاده شده است. از آنجایی که بخش عمده توان در این مدارها برای نوشتن در پیوندهای تونل مغناطیسی مصرف می‌شود، در نتیجه استفاده از این تعداد پیوند تونل مغناطیسی باعث می‌شود که توان مصرفی مدار به شدت افزایش یابد.

۳- تمام جمع‌کننده نافرار پیشنهادی

رابطه (۱) تابع منطقی مورد نیاز برای تولید خروجی حاصل‌جمع را در یک تمام جمع‌کننده نشان می‌دهد. با دقت در این رابطه می‌توان متوجه شد که این تابع منطقی را می‌توان با استفاده از دو دروازه منطقی XOR پیاده‌سازی کرد

$$Sum = (A \oplus B) \oplus C_i \qquad (۱)$$

$$\begin{aligned} C_{out} &= A.B.C_i + \overline{A}.B.C_i + A.\overline{B}.C_i + A.B.\overline{C_i} \Rightarrow \\ C_{out} &= A.B.(C_i + \overline{C_i}) + C_i.(\overline{A}.B + A.\overline{B}) \Rightarrow \\ C_{out} &= A.B + C_i.(A \oplus B) \end{aligned} \qquad (۲)$$

به طور مشابه با ساده‌سازی تابع منطقی رقم نقلی خروجی نیز می‌توان به (۲) رسید. در (۲) با فرض $G = (A \oplus B)$ و همچنین ساده‌سازی‌های (۳)، تابع منطقی رقم نقلی خروجی را می‌توان به صورت (۴) بازنویسی کرد. همان طور که (۴) نشان می‌دهد، با استفاده از جمله اولی که برای تولید خروجی حاصل‌جمع تولید شد و ورودی‌های A و C_i و با استفاده از یک انتخاب‌کننده می‌توان رقم نقلی خروجی را نیز تولید کرد

$$\begin{aligned} &\overline{G} = \overline{(\overline{A}.B + A.\overline{B})} \Rightarrow \overline{G} = \overline{A}.\overline{B} + A.B \Rightarrow \\ &A.\overline{G} = A.\overline{A}.\overline{B} + A.A.B \Rightarrow A.\overline{G} = A.B \end{aligned} \qquad (۳)$$

$$C_{out} = A.\overline{G} + C_i.G \qquad (۴)$$

برای پیاده‌سازی انتخاب‌کننده (۴) نیز می‌توان از دو دروازه انتقالی استفاده کرد. همچنین برای پیاده‌سازی تابع منطقی XOR نیز از یک پیوند تونل مغناطیسی ثابت با مقاومت مشخص و یک پیوند تونل مغناطیسی قابل پیکره‌بندی به صورت سری استفاده شده است (شکل ۵- الف). مقاومت پیوند تونل مغناطیسی ثابت از (۵) و به صورت میانگین حسابی مقاومت حالت‌های موازی و غیر موازی به دست می‌آید

$$R = \frac{R_{AP} + R_P}{۲} \qquad (۵)$$

علت انتخاب مقاومت پیوند تونل مغناطیسی ثابت به این صورت، بالابردن حاشیه نویز خواندن وضعیت پیوند تونل مغناطیسی ثابت و افزایش قابلیت اطمینان مدار است. روش کارکرد سلول XOR طراحی‌شده به صورت زیر است:

۱) زمانی که ورودی B صفر ($\overline{B}$ یک) است: در این وضعیت اگر ورودی A صفر باشد و در نتیجه پیوند تونل مغناطیسی قابل پیکربندی در وضعیت موازی باشد، افت ولتاژ روی پیوند تونل مغناطیسی ثابت بیشتر بوده و وارونگر اول این مقدار را به سطح صفر منطقی تقویت می‌کند. همچنین اگر ورودی A یک باشد و در نتیجه پیوند تونل مغناطیسی قابل پیکره‌بندی در وضعیت غیر موازی باشد، افت ولتاژ روی پیوند تونل مغناطیسی قابل پیکره‌بندی بیشتر بوده و وارونگر اول این مقدار را به سطح یک منطقی تقویت می‌کند.

۲) زمانی که ورودی B یک ($\overline{B}$ صفر) است: در این وضعیت مدار برعکس حالت قبل عمل می‌کند، زیرا ولتاژ دو سر پیوندهای تونل مغناطیسی سری برعکس شده است.

برای ذخیره‌سازی ورودی‌ها نیز از سلولی مشابه سلول XOR طراحی‌شده، استفاده گردیده است با این تفاوت که در این سلول ولتاژ دو سر پیوندهای تونل مغناطیسی سری ثابت بوده و در نتیجه خروجی فقط به وضعیت پیوند تونل مغناطیسی قابل پیکره‌بندی بستگی دارد (شکل ۵- ب).

شکل ۵- ج مدار تمام جمع‌کننده نافرار پیاده‌سازی‌شده با استفاده از دروازه منطقی XOR طراحی‌شده را نشان می‌دهد. برای پیاده‌سازی این تمام جمع‌کننده به دو سلول XOR و سه سلول ذخیره‌سازی ورودی نیاز است.

مزیت اصلی این تمام جمع‌کننده نسبت به تمام جمع‌کننده‌های موجود این است که از تعداد کمتری پیوند تونل مغناطیسی استفاده کرده و به صورت کاملاً ترکیبی پیاده‌سازی شده است.

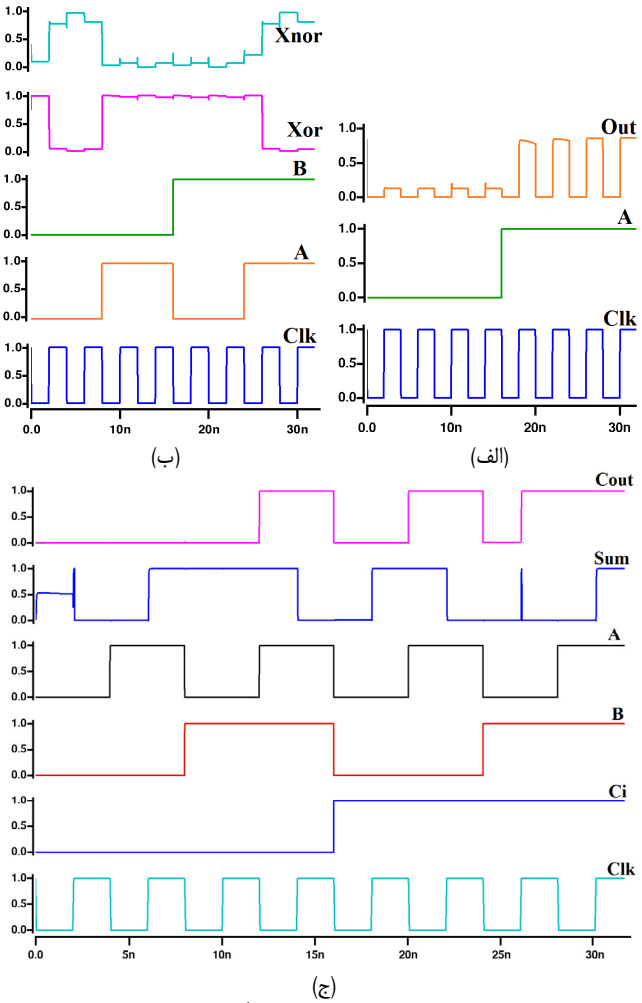
٤- شبیه‌سازی و ارزیابی عملکرد مدار

تمام جمع‌کننده پیشنهادی در این بخش شبیه‌سازی و سپس با تمام جمع‌کننده‌های موجود مقایسه شده‌اند. برای رعایت شرط انصاف در مقایسه در همه شبیه‌سازی‌ها از سیگنال کلاک و الگوی یکسان برای همه ورودی‌ها استفاده شده است. همچنین در تمام کارهای مقایسه‌شده، سعی گردیده که اندازه ترانزیستورها به گونه‌ای تنظیم شوند که مدارها از نظر تأخیر در بهترین حالت ممکن باشند.

٤-۱ شبیه‌سازی عملکرد مدار

مدار تمام جمع‌کننده کاملاً نافرار پیشنهادی با استفاده از فناوری CMOS ۳۲ نانومتر [۲۶] و مدل پیوند تونل مغناطیسی سه‌پایه STT-SHE [۲۷] با استفاده از نرم‌افزار Hspice شبیه‌سازی شده است. در تمامی شبیه‌سازی‌ها از ولتاژ تغذیه یک ولت و سیگنال کلاک با فرکانس ۲۵۰ مگاهرتز استفاده گردیده و مشخصات پیوند تونل مغناطیسی استفاده‌شده در جدول ۱ آمده است.

شکل ۶- الف و ۶- ب نتیجه شبیه‌سازی سلول ذخیره‌سازی ورودی‌ها



شکل ۶: نتیجه شبیه‌سازی تمام جمع‌کننده کاملاً نافرار پیشنهادی، (الف) نتیجه شبیه‌سازی سلول ذخیره‌سازی ورودی‌ها، (ب) نتیجه شبیه‌سازی دروازه منطقی XOR طراحی‌شده با استفاده از پیوند تونل مغناطیسی و (ج) نتیجه شبیه‌سازی تمام جمع‌کننده کاملاً نافرار پیشنهادی.

و دروازه منطقی XOR طراحی‌شده با استفاده از پیوند تونل مغناطیسی را نشان می‌دهد. استفاده از پیوند تونل مغناطیسی در طراحی دروازه منطقی XOR باعث کاهش تعداد ترانزیستورهای مصرفی برای پیاده‌سازی مدار و در نتیجه کاهش مساحت می‌شود. شکل ۶-ج نتیجه شبیه‌سازی مدار تمام جمع‌کننده پیشنهادی را نشان می‌دهد.

٤-۲ مقایسه تمام جمع‌کننده ارائه‌شده با کارهای پیشین

جدول ۲ مقایسه تمام جمع‌کننده پیشنهادی را با جدیدترین کارهای پیشین نشان می‌دهد. همان طور که این جدول نشان می‌دهد، تمام جمع‌کننده پیشنهادی نافرار بوده و در نتیجه می‌توان در زمان‌هایی که به تمام جمع‌کننده نیازی نیست، تمام جمع‌کننده را خاموش کرده و توان ایستای مصرفی را کاهش داد. همچنین تمام جمع‌کننده پیشنهادی در بین تمام جمع‌کننده‌های نافرار کمترین تأخیر و حاصل‌ضرب توان در تأخیر را داشته (۳۹٪ تا ۹۵٪ حاصل‌ضرب توان در تأخیر کمتر) و سربار مساحت زیادی را نیز به سیستم تحمیل نمی‌کند (کمتر از ۱۵٪ افزایش مساحت اشغالی در بدترین حالت). از دیدگاه زمان خواندن نیز تمام جمع‌کننده پیشنهادی نسبت به تمام جمع‌کننده‌های نافرار موجود حداقل ۵۰ درصد سریع‌تر است.

در مقایسه با تمام جمع‌کننده ارائه‌شده در [۲۰] تمام جمع‌کننده پیشنهادی توان بیشتری مصرف می‌کند اما نکته قابل توجه این است که

جدول ۱: مشخصات پیوند تونل مغناطیسی استفاده‌شده.

پارامتر	مقدار
مقطع پیوند تونل مغناطیسی	دایره‌ای
ضخامت لایه اکسید	۰٫۹۵ نانومتر
TMR	٪۳۰۰
ضخامت لایه آزاد	۰٫۷ نانومتر
شعاع پیوند تونل مغناطیسی	۵۰ نانومتر در ۵۰ نانومتر
ضخامت لایه فلزی	۳ نانومتر
مساحت لایه فلزی	۹۰ نانومتر در ۹۰ نانومتر
مقاومت لایه فلزی	۲۰۰ میکرواهم در سانتیمتر
مقاومت پیوند تونل مغناطیسی	۵ کیلواهم تا ۲۰ کیلواهم

تمام جمع‌کننده ارائه‌شده در [۲۰] از تعداد زیادی پیوند تونل مغناطیسی به صورت سری استفاده می‌کند که حساسیت این تمام جمع‌کننده را در برابر تغییرات فرایند ساخت و شرایط محیطی افزایش می‌دهد.

در مدار تمام جمع‌کننده پیشنهادی هیچ قسمت ترتیبی وجود نداشته و از سیگنال کلاک فقط برای متصل و قطع‌کردن پیوندهای تونل مغناطیسی به مدار نوشتن پیوندهای تونل مغناطیسی استفاده می‌شود. عدم استفاده از بخش ترتیبی باعث می‌شود که مدار کاملاً ترکیبی بوده و در نتیجه در برابر تابش ذرات پرانرژی و در نتیجه خطاهای چندگانه کاملاً ایمن باشد. این ویژگی باعث می‌شود که این تمام جمع‌کننده برای استفاده در هر شرایط محیطی مناسب باشد [۳] و [۲۸].

۵- نتیجه‌گیری

در این مقاله یک تمام جمع‌کننده نافرار مبتنی بر فناوری اسپینترونیک طراحی و ارائه شد. در مقایسه با تمام جمع‌کننده‌های موجود تمام جمع‌کننده ارائه‌شده در این مقاله بدون تحمیل سربار سخت‌افزاری زیادی به سیستم، ۵۰ تا ۸۴ درصد سریع‌تر بوده و همچنین ۳۹ تا ۹۶ درصد حاصل‌ضرب توان در تأخیر کمتری را دارد. از دیدگاه توان مصرفی نیز تمام جمع‌کننده ارائه‌شده در این مقاله در مقایسه با تمام جمع‌کننده ارائه‌شده در [۲۰] توان بیشتری مصرف می‌کند اما تمام جمع‌کننده ارائه‌شده در [۲۰] به علت استفاده از تعداد زیادی پیوند تونل مغناطیسی به صورت سری مشکل حساسیت در برابر تغییرات فرایند ساخت و شرایط محیطی را داشته و برای استفاده در هر محیطی مناسب نیست. در مقایسه با سایر تمام جمع‌کننده‌های موجود تمام جمع‌کننده ارائه‌شده در این مقاله ۳۸ تا ۷۹٪ توان کمتری را نیز مصرف می‌کند. همچنین ویژگی نافراربودن این امکان را ایجاد می‌کند در زمان‌هایی که به تمام جمع‌کننده نیازی نیست، تمام جمع‌کننده را خاموش کرده و توان مصرفی را کاهش داد.

مراجع

[1] N. S. Kim, T. Austin, D. Blaauw, T. Mudge, K. Flautner, J. S. Hu, M. Irwin, M. Kandemir, and V. Narayanan, "Leakage current: Moore's law meets static power," *Computer*, vol. 36, no. 12, pp. 68-75, Dec. 2003.

[2] B. Hoefflinger, "ITRS: the international technology roadmap for semiconductors," *The Frontiers Collection*, pp. 161-174, 2011.

[3] R. Rajaei and A. Amirany, "Reliable, high-performance, and nonvolatile hybrid SRAM/MRAM-based structures for reconfigurable nanoscale logic devices," *J. of Nanoelectronics and Optoelectronics*, vol. 13, no. 9, pp. 1271-1283, Mar. 2018.

[4] W. Zhao, E. Belhaire, C. Chappert, and P. Mazoyer, "Power and area optimization for run-time reconfiguration system on programmable

[5] chip based on magnetic random access memory," *IEEE Trans. on Magnetics*, vol. 45, no. 2, pp. 776-780, Feb. 2009.

جدول ۲: مقایسه تمام جمع‌کننده پیشنهادی با کارهای پیشین.

تمام جمع‌کننده		ارائه‌شده در [۱۶]	NVRH-MFA ارائه‌شده در [۱۷]	ارائه‌شده در [۱۸]	ارائه‌شده در [۱۹]	ارائه‌شده در [۲۰]	ارائه‌شده در [۲۱]	پیشنهادی
پیوند تونل	ثابت	۰	۰	۰	۳	۰	۰	۵
مغناطیسی	قابل پیکره‌بندی	۸	۵	۴	۳	۱۶	۱۴	۵
ترانزیستورهای CMOS		۵۸	۷۵	۴۴	۹۸	۴۹	۹۰	۵۸
زمان تغییر حالت (نانوثانیه)		۵٫۳	۵٫۲	۵٫۱	۲٫۲	۱٫۹	۱٫۹	۱٫۸
زمان خواندن (پیکوثانیه)		۲۵۸	۲۱۳	۲۲۴	۸۲	۱۱۲	۸۹	۴۱
توان مصرفی (میکروواط)		۸۰۴	۵۵۹	۴۰۵	۳۰۹	۱۰۱	۲۷۰	۱۶۷
حاصل‌ضرب توان در تأخیر (فمتوژول)		۲۰۴	۱۱۹	۹۱	۲۵	۱۱	۲۴	۷
نافراربودن		بله	بله	خیر	بله	بله	بله	بله

[6] C. Chappert, A. Fert, and F. Van Dau, "The emergence of spin electronics in data storage," *Nature Materials*, vol. 6, no. 11, pp. 813-823, Nov. 2007.

[7] S. Ikeda, *et al.*, "Tunnel magnetoresistance of 604% at 300 K by suppression of Ta diffusion in CoFeB/MgO/CoFeB pseudo-spin-valves annealed at high temperature," *Applied Physics Letters*, vol. 93, no. 8, p. 082508, Aug, 2008.

[8] .J. Slonczewski, "Conductance and exchange coupling of two ferromagnets separated by a tunneling barrier," *Physical Review B*, vol. 39, no. 10, pp. 6995-7002, Apr. 1989.

[9] A. Mochizuki, "TMR-based logic-in-memory circuit for low-power VLSI," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. 88, no. 6, pp. 1408-1415, Aug. 2005.

[10] R. Rajaei, "Radiation-hardened design of nonvolatile MRAM-based FPGA," *IEEE Trans. on Magnetics*, vol. 52, no. 10, pp. 1-10, Oct. 2016.

[11] W. Zhao, E. Belhaire, C. Chappert, and P. Mazoyer, "Spin transfer torque (STT)-MRAM-based runtime reconfiguration FPGA circuit," *ACM Trans. on Embedded Computing Systems*, vol. 9, no. 2, pp. 1-16, Oct. 2009.

[12] A. Amirany, F. Marvi, K. Jafari, and R. Rajaei, "Nonvolatile spin-based radiation hardened retention latch and flip-flop," *IEEE Trans. on Nanotechnology*, vol. 18, no. 5, pp. 1089-1096, Oct. 2019.

[13] R. Rajaei, "Design of a radiation hardened register file for highly reliable microprocessors," *International J. of Engineering and Manufacturing*, vol. 6, no. 5, pp. 11-21, Feb. 2016.

[14] W. Kang, Y. Ran, W. Lv, Y. Zhang, and W. Zhao, "High-speed, low-power, magnetic non-volatile flip-flop with voltage-controlled, magnetic anisotropy assistance," *IEEE Magnetics Letters*, vol. 7, pp. 1-5, Aug. 2016.

[15] D. Suzuki and T. Hanyu, "Magnetic-tunnel-junction based low-energy nonvolatile flip-flop using an area-efficient self-terminated write driver," *J. of Applied Physics*, vol. 117, no. 17, pp. 17B504, Oct. 2015.

[16] A. Amirany and R. Rajaei, "Nonvolatile, spin-based, and low-power inexact full adder circuits for computing-in-memory image processing," *Spin*, vol. 9, no. 3, p. 1950013, Aug. 2019.

[17] E. Deng, Y. Wang, Z. Wang, J. Klein, B. Dieny, G. Prenat, and W. Zhao, "Robust magnetic full-adder with voltage sensing 2T/2MTJ cell," in *Proc IEEE/ACM Int. Symp. on Nanoscale Architectures, NANOARCH'15),* Boston, MA, USA, 8-10 Jul. 2015.

[18] R. Rajaei and S. Bakhtavari Mamaghani, "Ultra-low power, highly reliable, and nonvolatile hybrid MTJ/CMOS based full-adder for future VLSI design," *IEEE Trans. on Device and Materials Reliability*, vol. 17, no. 1, pp. 213-220, Dec. 2017.

[19] E. Deng, *et al.*, "Low power magnetic full-adder based on spin transfer torque MRAM," *IEEE Trans. on Magnetics*, vol. 49, no. 9, pp. 4982-4987, Sept. 2013.

[20] H. –P. Trinh, *et al.*, "Magnetic adder based on racetrack memory," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 60, no. 6, pp. 1469-1477, Jun. 2013.

[21] A. Amirany and R. Rajaei, "Fully nonvolatile and low power full adder based on spin transfer torque magnetic tunnel junction with spin-hall effect assistance," *IEEE Trans. on Magnetics*, vol. 54, no. 12, pp. 1-7, Oct. 2018.

[22] A. Amirany and R. Rajaei, "Spin-based fully nonvolatile full-adder circuit for computing in memory," *Spin*, vol. 9, no. 1, p. 1950007, Apr. 2019.

[23] O. Hassan, R. Faria, K. Y. Camsari, J. Z. Sun, and S. Datta, "Low-barrier magnet design for efficient hardware binary stochastic neurons," *IEEE Magnetics Letters*, vol. 10, pp. 1-5, Apr. 2019.

[24] C. Pan and A. Naeemi, "A proposal for energy-efficient cellular neural network based on spintronic devices," *IEEE Trans. on Nanotechnology*, vol. 15, no. 5, pp. 820-827, Sept. 2016.

[25] A. Amirany, M. H. Moaiyeri, and K. Jafari, "Process-in-memory using a magnetic-tunnel-junction synapse and a neuron based on a carbon nanotube field-effect transistor," *IEEE Magnetics Letters*, vol. 10, pp. 1-5, Dec. 2019.

[26] M. A. Abeed and S. Bandyopadhyay, "Low energy barrier nanomagnet design for binary stochastic neurons: design challenges for real nanomagnets with fabrication defects," *IEEE Magnetics Letters*, vol. 10, pp. 1-5, Jan. 2019.

[27] "Predictive Technology Model," *Predictive Technology Model, 2017*. [Online]. Available: http://ptm.asu.edu/modelcard/HP/32nm_HP.pm. [Accessed: 25- Oct-2017].

[28] Z. Wang, W. Zhao, E. Deng, J. Klein, and C. Chappert, "Perpendicular-anisotropy magnetic tunnel junction switched by spin-hall-assisted spin-transfer torque," *J. of Physics D: Applied Physics*, vol. 48, no. 6, p. 065001, Feb. 2015.

[29] A. Amirany and R. Rajaei, "Low power, and highly reliable single event upset immune latch for nanoscale CMOS technologies," in *Proc. Iranian Conf. on Electrical Engineering, ICEE'18*, pp. 103-107, Mashhad, Iran, 8-10 May 2018.

عبداله امیرانی تحصیلات خود را در مقطع کارشناسی مهندسی برق گرایش الکترونیک در دانشگاه کاشان در سال ۱۳۹۵ و کارشناسی ارشد مهندسی برق گرایش سیستم‌های الکترونیک دیجیتال در دانشگاه شهید بهشتی در سال ۱۳۹۷ با درجه عالی و جایگاه اول در بین ورودی‌های کارشناسی ارشد و کسب عنوان محقق برتر دانشجویی دانشکده برق به پایان رسانده است. نام‌برده از سال ۱۳۹۷ دانشجوی دکتری مهندسی برق گرایش الکترونیک دانشگاه شهید بهشتی بوده و علایق پژوهشی ایشان طراحی مدارهای مبتنی اسپینترونیک و فناوری‌های نوظهور، محاسبات تقریبی، طراحی مدارهای عصبگون و شبکه‌های عصبی می‌باشد. وی تاکنون ۱۰ مقاله در همایش‌ها و مجلات معتبر منتشر کرده است.

کیان جعفری با کسب رتبه ممتاز در کنکور سراسری ریاضی فیزیک، موفق به ورود به دوره کارشناسی مهندسی برق (گرایش الکترونیک) در دانشگاه صنعتی اصفهان شد و پس از کسب مدرک کارشناسی، با اخذ بورس عالیه دولت فرانسه جهت تحصیل در مقطع کارشناسی ارشد عازم کشور فرانسه شد. به صورت هم‌زمان، در دو گرایش مهندسی برق (یکی «الکترونیک» و دیگری «سیستم، پردازش سیگنال و تصویر») دوره کارشناسی ارشد را با موفقیت به پایان رساند و با کسب بورس تحقیقاتی وزارت علوم و تحقیقات فرانسه (مختص دانشجویان برتر دوره کارشناسی ارشد) مشغول به تحصیل در دوره دکتری در رشته مهندسی برق دانشگاه SUPELEC در پاریس شد. پس از پایان دوره دکتری، به عنوان عضو هیئت علمی و مدیر پروژه‌های علمی و تحقیقاتی در بنیاد ملی تحقیقات فرانسه (ANR) در پاریس به فعالیت مشغول گردید. در سال ۱۳۹۲ نیز با کسب بورس بنیاد ملی تحقیقاتی فرانسه، موفق به گذراندن دوره کارشناسی ارشد مدیریت تحقیقات و فناوری در دانشگاه پاریس (هم‌زمان با فعالیت کاری تمام‌وقت در آن بنیاد) شد. وی از شهریور ۱۳۹۳ به عنوان عضو هیأت علمی دانشکده مهندسی برق در دانشگاه شهید بهشتی تهران فعالیت می‌نماید. علاقه‌مندی‌های دکتر جعفری، طراحی، آنالیز و ساخت سامانه‌های میکرو و نانو، تست و مشخصه‌یابی آنها می‌باشد که در این زمینه تا کنون بیش از ۵۰ مقاله در مجلات و همایش‌های معتبر منتشر کرده است.

رامین رجایی تحصیلات خود را در مقاطع تحصیلات تکمیلی در دانشکده مهندسی برق دانشگاه صنعتی شریف به پایان رساند و در سال ۱۳۹۳ موفق به اخذ مدرک دکتری با درجه عالی از این دانشگاه گردید. وی در سال ۱۳۹۴ به عنوان استادیار در دانشکده مهندسی برق دانشگاه شهید بهشتی مشغول به کار شد و این همکاری تا سال ۱۳۹۸ ادامه پیدا کرد. پس از آن وی در دانشگاه نوتردام ایالت ایندیانا آمریکا به عنوان استاد مهمان مشغول به کار شد و این همکاری همچنان ادامه دارد. علاقه‌مندی‌های پژوهشی دکتر رجایی شامل طراحی مدارها و سیستم‌ها بر مبنای فناوری‌های نوظهور برای کاربردهایی مانند آموزش ماشین، طراحی سخت‌افزارهای شتاب‌دهنده برای شبکه‌های عصبی، امنیت سخت‌افزار و طراحی کم‌توان است. وی تا کنون بیش از ۵۰ مقاله در مجلات و همایش‌های معتبر منتشر کرده است.