کاهش جریان خاموشی در ترانزیستور اثر میدان بدون پیوند دوگیتی نانومتری با استفاده از مهندسی آلایش میانه کانال

سروناز کلانتری و مهدی وادی‌زاده

چکیده: مقیاس‌بندی طول کانال، جریان نشتی افزاره بدون پیوند دوگیتی (DGJL-FET)[1] را افزایش می‌دهد و در نتیجه توان مصرفی افزاره در حالت خاموش افزایش می‌یابد. در این مقاله، ساختار نوینی برای کاهش جریان نشتی افزاره DGJL-FET پیشنهاد شده که Modified DGJL-FET نامیده می‌شود. در ساختار Modified DGJL-FET آلایش کانال در زیر گیت با آلایش سورس و درین یکسان، اما بیشتر از میانه کانال است. نتایج شبیه‌سازی نشان می‌دهد با کاهش ضخامت لایه آلاییده زیر گیت، D، جریان نشتی کاهش می‌یابد. برای افزاره پیشنهادشده با طول کانال ۱۰ nm جریان خاموشی دو دهه بزرگی کمتر از افزاره Regular DGJL-FET است. عملکرد افزاره Regular DGJL-FET و Modified DGJL-FET برای طول کانال‌های مختلف بر حسب نسبت جریان حالت روشنی به جریان حالت خاموشی (I_{ON}/I_{OFF})، شیب زیر آستانه (SS) و تأخیر ذاتی گیت مقایسه شده است. برای افزاره Modified DGJL-FET، D و آلایش میانه کانال به عنوان پارامترهای اضافی برای بهبود عملکرد افزاره در رژیم نانومتر در نظر گرفته شده است. نتایج شبیه‌سازی نشان می‌دهد در افزاره پیشنهادشده با طول کانال ۱۵ nm، SS و I_{ON}/I_{OFF} نسبت به افزاره Regular DGJL-FET به ترتیب ۱۴٪ و 10^6 دهه بزرگی بهبود یافته است.

کلیدواژه: **ترانزیستورهای اثر میدان بدون پیوند دوگیتی، تأخیر ذاتی گیت، شیب زیر آستانه، مهندسی آلایش، نسبت جریان حالت روشن به جریان حالت خاموش.**

۱- مقدمه

با پیشرفت فناوری ابعاد ترانزیستور اثر میدان فلز- اکسید- نیمه‌هادی (MOSFET)[2] به زیر میکرومتر کاهش یافته است. مقیاس‌بندی سبب افزایش تعداد ترانزیستورهای روی یک تراشه، افزایش سرعت ترانزیستور، کاهش توان مصرفی و کاهش هزینه ساخت می‌شود. با مقیاس‌بندی افزاره MOSFET، عرض ناحیه تخلیه سمت درین افزایش می‌یابد و بنابراین آثار کانال کوتاه پدیدار می‌گردد. اثرات کانال کوتاه به عنوان چالش اصلی مقیاس‌بندی، عملکرد MOSFET را در رژیم نانومتر مختل می‌کند [۱] و [۲].

با مقیاس‌بندی ابعاد افزاره‌های MOSFET، برای کنترل اثرات کانال کوتاه ساختارهای جدیدی پیشنهاد شده است [۳] تا [۸]. در افزاره دوگیتی آلایش کانال را ذاتی در نظر می‌گیرند [۹] و [۱۰] لیکن در فرایند ساخت تغییر آلایش از سورس به کانال ذاتی و از درین به کانال ذاتی در طول کانال‌های نانومتری بسیار پیچیده است و سبب افزایش هزینه‌های ساخت می‌گردد [۱۰]. از طرف دیگر، گرادیان چگالی شدید بین پیوند سورس/کانال و پیوند درین/کانال سبب نفوذ ناخالصی‌های سورس و درین به کانال می‌شود و در نتیجه مشخصات الکتریکی افزاره DG-MOSFET[3] با کانال ذاتی را تحت تأثیر قرار می‌دهد. برای رفع این مشکل اولین بار در سال ۲۰۱۰ ترانزیستور اثر میدان بدون پیوند (JL-FET)[4] پیشنهاد شد [۱۱] و [۱۲]. در این ترانزیستور گرادیان تراکم ناخالصی در امتداد افزاره، سورس- کانال- درین، حذف شده است. در ساخت ترانزیستور JL-FET استفاده از ضخامت بدنه نازک نکته کلیدی است زیرا در حالت خاموش سبب تخلیه کامل حامل‌ها از کانال می‌شود [۱۳] و [۱۴].

در افزاره بدون پیوند، ولتاژ آستانه کمتر از ولتاژ نوار تخت است و بنابراین در ناحیه بالای آستانه، حامل در کانال دور از فصل مشترک اکسید/نیمه‌هادی حرکت می‌کند. این امر سبب کاهش حساسیت افزاره به میدان عمودی ناشی از بایاس گیت شده است [۱۴]. نتایج شبیه‌سازی‌های انجام‌شده نشان می‌دهد ترانزیستور JL-FET دارای شیب زیر آستانه بهتر و آثار کانال کوتاه کمتر نسبت به افزاره‌های مد وارونگی است [۱۵] و [۱۶].

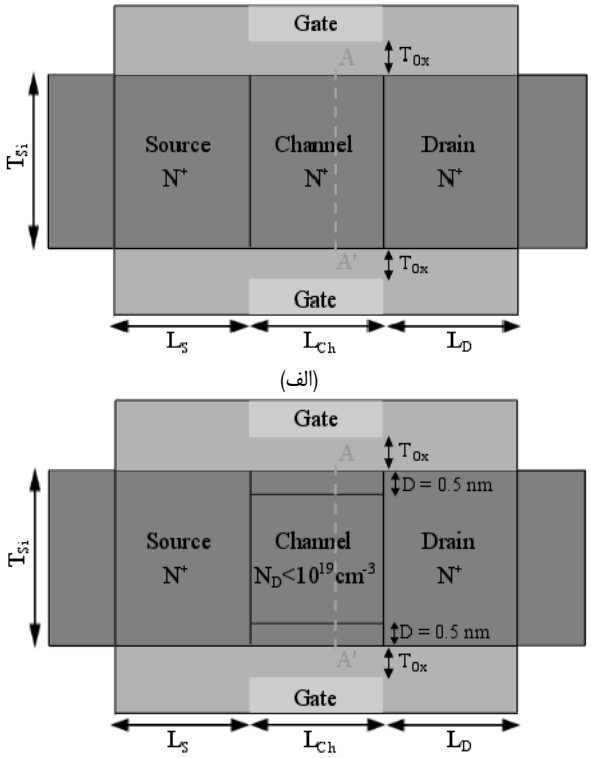
یکی از پارامترهای کلیدی در عملکرد افزاره‌های نانومتری نسبت جریان حالت روشنی به جریان حالت خاموشی (I_{ON}/I_{OFF}) است. روش‌های مختلفی برای بهبود نسبت I_{ON}/I_{OFF} در افزاره JL-FET پیشنهاد شده است. در [۱۷] غلظت آلایش در جهت افقی ناحیه کانال کاهش یافته و در نتیجه در حالت خاموش کانال به خوبی از حامل‌ها تخلیه شده است. این امر سبب افزایش نسبت I_{ON}/I_{OFF} به میزان 10^8 برای طول کانال ۳۰ nm شده است. در ترانزیستور اثر میدان نانو سیم بدون پیوند (JLNWFET)[5] با استفاده از آلایش جانبی کانال و قراردادن جداکننده HfO_2 در دو طرف اکسید گیت نسبت I_{ON}/I_{OFF} برای طول کانال ۳۰ nm تقریباً به 10^8 افزایش یافته است [۱۸]. در این مقاله، مهندسی آلایش در کانال برای کاهش جریان نشتی و به دنبال آن بهبود نسبت I_{ON}/I_{OFF} در DGJL-FET پیشنهاد شده است. در ساختار ارائه‌شده آلایش کانال زیرگیت با آلایش نواحی سورس و درین یکسان است اما بیشتر از آلایش میانه کانال می‌باشد. برای ساخت افزاره پیشنهادشده ترکیب تکنیک آلایش تک‌لایه‌ای مولکولی (MLD)[6] و روش بازپخت مایکروویو (MWA)[7] پیشنهاد شده است [۱۹] و [۲۰]. انتخاب چگالی آلایش میانه کانال و ضخامت آن برای بهینه‌کردن نسبت

این مقاله در تاریخ ۱۱ دی ماه ۱۳۹۵ دریافت و در تاریخ ۱۶ مرداد ماه ۱۳۹۶ بازنگری شد.

سروناز کلانتری، دانشکده مهندسی برق، دانشگاه آزاد اسلامی، ابهر، (email: sarvenaz2015@gmail.com).

مهدی وادی‌زاده، دانشکده مهندسی برق، دانشگاه آزاد اسلامی، ابهر، (email: vadizadeh@gmail.com).

1. Double Gate Junctionless Field Effect Transistor
2. Metal Oxide Semiconductor Field Effect Transistor
3. Double Gate-MOSFET
4. Junctionless-FET
5. Junctionless Nanowire FET
6. Molecular Monolayer Doping
7. Microwave Annealing



شکل ۱: ساختارهای شبیه‌سازی شده در این مقاله، (الف) Regular DGJL-FET و (ب) Modified DGJL-FET.

I_{ON}/I_{OFF} چالش اصلی در ساختار پیشنهاد شده است. ضخامت لایه با آلایش بیشتر و چگالی آلایش میانه کانال به عنوان پارامترهای اضافی برای بهبود عملکرد ساختار پیشنهادشده در رژیم نانومتر در نظر گرفته شده است. عملکرد افزاره بر اساس پارامترهای نسبت I_{ON}/I_{OFF}، شیب زیر آستانه و تأخیر ذاتی گیت برای طول کانال‌های مختلف بررسی شده است.

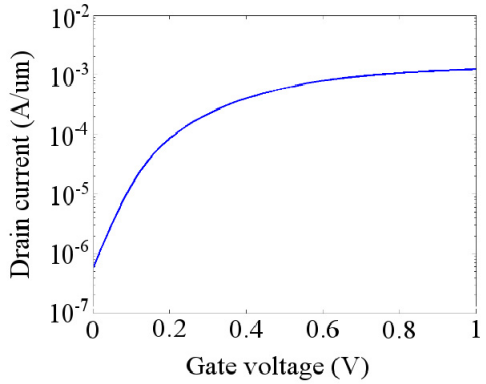
در ادامه در بخش دوم ساختار پیشنهادی معرفی و روش شبیه‌سازی به اختصار توضیح داده می‌شود. در بخش سوم، نتایج شبیه‌سازی ارائه و بحث خواهد شد و در انتها، مقاله با نتیجه‌گیری به پایان می‌رسد.

۲- ساختار پیشنهادی

شکل ۱- الف، افزاره Regular DGJL-FET و شکل ۱- ب، افزاره Modified DGJL-FET پیشنهادی را نمایش می‌دهد. در افزاره Regular DGJL-FET آلایش سورس، کانال و درین یکسان، $۱۰^{۲۰}$ $cm^{-۳}$ است. طول سورس و درین، ضخامت کانال و ضخامت اکسید به ترتیب ۵۰ nm، ۵ nm و ۱ nm است. تابع کار گیت ۵/۱ ev است و می‌تواند به راحتی از جنس پلی‌سیلیکون نوع P انتخاب شود. اکسید گیت از نوع high-k با گذردهی ۲۹ است. برای افزاره Modified DGJL-FET، آلایش زیر گیت با ضخامت D با آلایش سورس و درین یکسان، $۱۰^{۲۰}$ $cm^{-۳}$ است. آلایش میانه کانال در Modified DGJL-FET، $۱۰^{۱۷}$ $cm^{-۳}$ است. پارامترهای افزاره Modified DGJL-FET، شبیه افزاره Regular DGJL-FET است.

۲-۱ روش شبیه‌سازی

به منظور مطالعه اثرات ناشی از تغییر آلایش ناحیه کانال افزاره Modified DGJL-FET، شبیه‌سازی توسط شبیه‌ساز SILVACO ATLAS انجام شده است [۲۱]. برای تعیین مشخصات الکتریکی افزاره



شکل ۲: $I_{DS}-V_{GS}$ افزاره Regular DGJL-FET نشان داده شده در شکل ۱- الف با طول کانال ۳۰ nm (شرایط بایاس V_{DS} = ۰/۴V است).

Modified DGJL-FET از مدل انتقال هیدرودینامیک استفاده شده است. در مدل هیدرودینامیک[1] علاوه بر مؤلفه‌های جریان رانشی و نفوذی[2]، مؤلفه جریان اضافی به دلیل گرادیان انرژی حامل در نظر گرفته می‌شود. اثر حبس کوانتومی با مدل پتانسیل کوانتومی بوهم (BQP)[3] در نظر گرفته شده است [۲۱]. برای در نظر گرفتن وابستگی قابلیت حرکت به میدان عمودی، چگالی ناخالصی و دما از مدل لامبارد[4] (CVT) استفاده استفاده شده است [۲۱]. مدل بازترکیب شاکلی- رید- هال (SRH)[5] برای برای تعیین دقیق میزان جریان نشتی در نظر گرفته شده است. با توجه به چگالی بالای آلایش در سرتاسر افزاره از مدل نازک‌شدگی شکاف باند (BGN)[6] استفاده شده است.

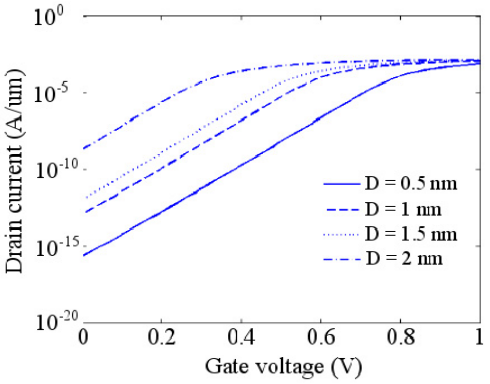
۲-۲ روش ساخت افزاره پیشنهادشده

چالش اصلی در فرایند ساخت افزاره Modified DGJL-FET کنترل دقیق آلایش سطحی لایه با ضخامت D است. برای ساخت پیشنهاد می‌شود ویفر سیلیکون اولیه با ناخالصی‌دهنده از مرتبه $۱۰^{۱۷}$ $cm^{-۳}$ انتخاب شود. سپس نواحی سورس و درین با ناخالصی‌دهنده از مرتبه $۱۰^{۲۰}$ $cm^{-۳}$ آلاییده شود. برای آلایش نواحی سطحی کانال از مرتبه $۱۰^{۲۰}$ $cm^{-۳}$ با ضخامت D ترکیب تکنیک MLD و MWA پیشنهاد شده است. در این روش ابتدا یک لایه مولکولی ناخالصی‌دهنده روی سطح کانال لایه نشانی شده و سپس با یک لایه اکسید پوشانده می‌شود. بازپخت حرارتی مایکروویو برای فعال‌سازی ناخالصی و نفوذ سطحی آن پیشنهاد شده است. در ادامه لایه اکسید پوشش‌دهنده برداشته شده و لایه آلاییده با ضخامت D شکل می‌گیرد. در نتیجه آلایش سطح کانال از میانه آن بیشتر شده است. جزئیات روش MLD و MWA در [۱۹] و [۲۰] آمده و سایر مراحل ساخت با فناوری CMOS مطابقت دارد. نتایج شبیه‌سازی‌ها نشان می‌دهد افزاره Modified DGJL-FET مانند ترانزیستورهای بدون پیوند در مد تخلیه‌ای عمل می‌کند. بنابراین همچنان می‌توان افزاره پیشنهادشده را در گروه ترانزیستورهای بدون پیوند دسته‌بندی کرد.

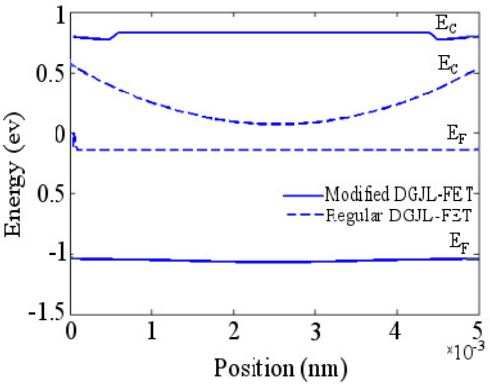
۳- نتایج و بحث‌ها

شکل ۲ مشخصه $I_{DS}-V_{GS}$ در افزاره Regular DGJL-FET را برای

1. Hydrodynamic
2. Drift-Diffusion
3. Bohm Quantum Potential
4. Lombard Model
5. Shockley-Read-Hall
6. Band Gap Narrowing



شکل ۳: $I_{DS}-V_{GS}$ افزاره Modified DGJL-FET نشان داده شده در شکل ۱- ب برای D های مختلف با طول کانال ۳۰ nm (شرایط بایاس $V_{DS}=۰٫۴\,V$ است).



شکل ۴: نوار هدایت و تراز فرمی در راستای ضخامت کانال (برش 'AA شکل ۱) برای افزاره Regular DGJL-FET و افزاره Modified DGJL-FET در حالت خاموش، طول کانال برای هر دو افزاره ۳۰ nm است. در افزاره Modified DGJL-FET، $D=۰٫۵\,nm$ و آلایش میانه کانال $۱۰^{۱۷}\,cm^{-۳}$ است (شرایط بایاس $V_{DS}=۰٫۴\,V$ و $V_{GS}=۰\,V$ است).

طول کانال ۳۰ nm نشان می‌دهد. جریان خاموشی مقدار I_D در $V_{GS}=۰\,V$ در نمودار شکل ۲ در نظر گرفته شده است. چنانچه دیده می‌شود بر اساس پیش‌بینی‌های انجام‌شده توسط ITRS[1] جریان خاموشی قابل ملاحظه است. نتایج شبیه‌سازی نشان می‌دهد در افزاره Regular DGJL-FET در حالت خاموش کانال به صورت کامل از الکترون تخلیه نشده و در نتیجه جریان خاموشی افزایش یافته است.

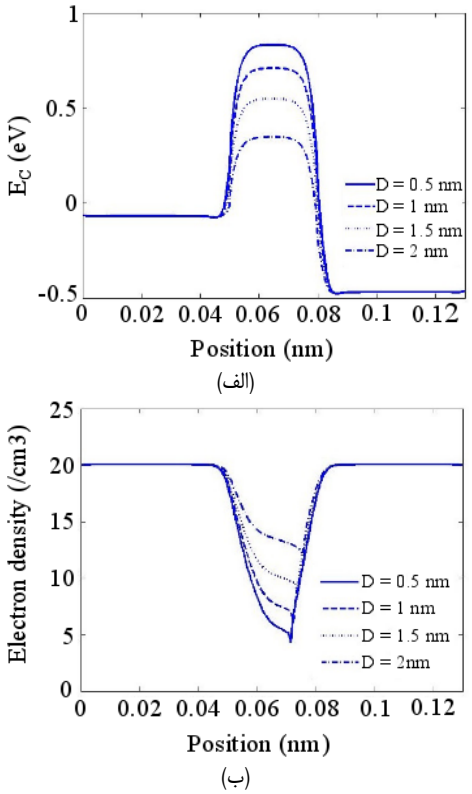
شکل ۳ مشخصه $I_{DS}-V_{GS}$ افزاره Modified DGJL-FET را برای D های مختلف برای طول کانال ۳۰ nm نشان می‌دهد. با مقایسه شکل ۲ و ۳ مشاهده می‌شود که:

۱) افزاره Modified DGJL-FET جریان حالت خاموش کمتری نسبت به افزاره Regular DGJL-FET دارد.

۲) با کاهش D از ۲ nm به ۰٫۵ nm جریان حالت خاموش به طور قابل ملاحظه‌ای کاهش یافته است.

در شکل ۴ نوار هدایت (E_C) و تراز فرمی (E_F) در افزاره‌های Regular DGJL-FET و Modified DGJL-FET برای $D=۰٫۵\,nm$ با آلایش میانه کانال $۱۰^{۱۷}\,cm^{-۳}$ در امتداد ضخامت کانال (برش 'AA در شکل ۱) رسم شده است. چنانچه مشاهده می‌شود، فاصله بین E_C و E_F برای افزاره Regular DGJL-FET به مراتب کمتر از این فاصله در افزاره Modified DGJL-FET است. در نتیجه توزیع چگالی الکترون در حالت خاموش در کانال برای افزاره Modified DGJL-FET کمتر از

1. International Technology Roadmap for Semiconductors



شکل ۵: (الف) نوار هدایت و (ب) چگالی الکترون‌ها در امتداد افزاره Modified DGJL-FET، به ازای D های مختلف با طول کانال ۳۰ nm و آلایش میانه کانال $۱۰^{۱۷}\,cm^{-۳}$ در حالت خاموش، $V_{GS}=۰\,V$ و $V_{DS}=۰٫۴\,V$.

Regular DGJL-FET است. بنابراین تخلیه کامل کانال از الکترون در افزاره Modified DGJL-FET سبب کاهش جریان حالت خاموش این افزاره در مقایسه با افزاره Regular DGJL-FET شده است.

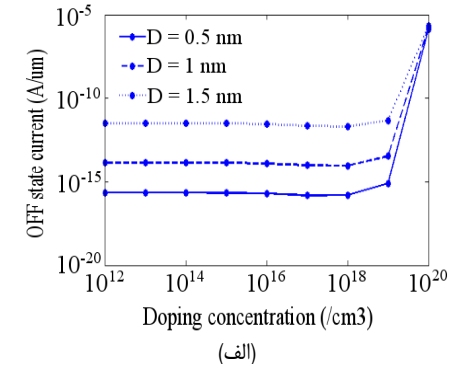
برای درک بهتر ساختار پیشنهادی، شکل‌های ۵- الف و ۵- ب به ترتیب، نوار هدایت و چگالی الکترون‌ها را در امتداد افزاره Modified DGJL-FET برای مقادیر مختلف D در حالت خاموش برای طول کانال ۳۰ nm با آلایش میانه کانال $۱۰^{۱۷}\,cm^{-۳}$ نشان می‌دهد. چنانچه در شکل ۵- الف مشاهده می‌شود، نوار هدایت برای $D=۰٫۵\,nm$ در انرژی‌های بالاتری توزیع شده است. در نتیجه چگالی الکترون‌های میانه کانال برای $D=۰٫۵\,nm$ کمتر از چگالی الکترون‌های میانه کانال برای مقادیر مختلف D است (شکل ۵- ب). نتایج شکل ۵، نتایج حاصل‌شده در شکل ۴ را تأیید می‌کند. در حقیقت کاهش D در افزاره Modified DGJL-FET سبب می‌شود:

۱) کنترل گیت بر کانال افزاره افزایش یابد. در نتیجه در حالت خاموش میانه کانال به خوبی از الکترون تخلیه شده و جریان حالت خاموش به طور قابل ملاحظه‌ای کاهش یافته است.

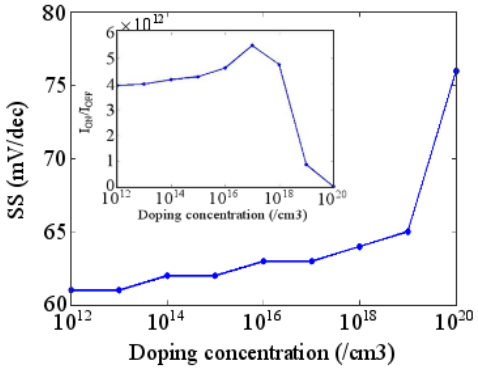
۲) افزایش مقاومت سری با کاهش D سبب شیفت ولتاژ آستانه و توزیع جریان حالت روشن در ولتاژهای گیت بزرگ‌تر شده است (شکل ۳). جریان حالت روشن مقدار I_D در $V_{GS}=۱\,V$ و $V_{DS}=۰٫۴\,V$ در نمودار شکل ۳ در نظر گرفته شده است.

۳-۱ انتخاب بهینه برای آلایش میانه کانال و ضخامت لایه آلاییده زیر گیت

مقدار بهینه آلایش میانه کانال به گونه‌ای انتخاب شده که کاهش چشم‌گیر جریان حالت خاموش حاصل شده و جریان روشنایی تقریباً دست‌نخورده باقی بماند.



(الف)



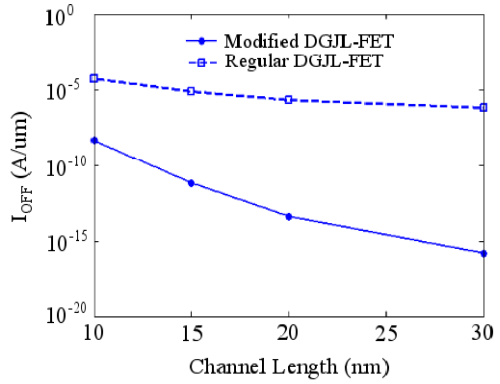
(ب)

شکل ۶: (الف) جریان حالت خاموش بر حسب آلایش میانه کانال برای افزاره Modified DGJL-FET با طول کانال ۳۰ nm و ضخامت‌های مختلف D و (ب) پارامترهای I_{ON}/I_{OFF} و SS بر حسب آلایش میانه کانال برای افزاره Modified DGJL-FET با طول کانال ۳۰ nm و $D=0.5\text{nm}$.

شکل ۶- الف جریان خاموشی با مقادیر مختلف D را به ازای آلایش‌های مختلف میانه کانال در افزاره Modified DGJL-FET برای طول کانال ۳۰ nm نشان می‌دهد. چنانچه آلایش میانه کانال 10^{20} cm^{-3} انتخاب شود افزاره Modified DGJL-FET به ساختار Regular DGJL-FET تبدیل می‌شود که در این حالت جریان خاموشی 1.32×10^{-6} A/μm است. چنانچه در شکل ۶- الف مشاهده می‌شود، مهندسی آلایش میانه کانال به ازای مقادیر مختلف D سبب کاهش جریان خاموشی شده است.

برای افزاره Modified DGJL-FET با $D=0.5\text{nm}$ و آلایش میانه کانال کوچک‌تر از 10^{18} cm^{-3}، جریان خاموشی ۱E۱۰ برابر نسبت به افزاره Regular DGJL-FET کاهش یافته است. جریان خاموشی در افزاره Modified DGJL-FET برای $D=0.5\text{nm}$، با تغییر آلایش میانه کانال از 10^{12} cm^{-3} تا 10^{19} cm^{-3} در حدود 10^{-16} A/μm می‌باشد. مقدار بهینه برای آلایش میانه کانال به گونه‌ای انتخاب شده که علاوه بر کاهش قابل ملاحظه جریان خاموشی، تغییرات جریان روشنی اندک باشد (جدول ۱).

با کاهش آلایش میانه کانال فاکتورهای مثبت و منفی در تعیین جریان حالت روشن (I_{ON}) در رقابتند. حرکت الکترون‌ها از میانه کانال با آلایش کمتر سبب کاهش اثرات پراکندگی ناخالصی شده و به عنوان فاکتور مثبت در بهبود I_{ON} نقش مهمی دارد. ناحیه با آلایش پایین سبب افزایش مقاومت سری شده و به عنوان فاکتور منفی، I_{ON} را کاهش می‌دهد. برای افزاره Modified DGJL-FET با آلایش بهینه میانه کانال، 10^{17} cm^{-3}، کاهش I_{ON} نسبت به افزاره Regular DGJL-FET ناچیز است زیرا کاهش پراکندگی ناخالصی، افزایش مقاومت سری را جبران کرده است. همچنین با توجه به نتایج جدول ۱ دیده می‌شود برای آلایش میانه کانال 10^{17} cm^{-3} نسبت I_{ON}/I_{OFF} بیشینه است.



شکل ۷: جریان حالت خاموش بر حسب طول کانال برای افزاره‌های Regular DGJL-FET و Modified DGJL-FET. در افزاره Modified DGJL-FET آلایش میانه کانال و D به ترتیب عبارتند از 10^{17} cm^{-3} و ۰٫۵ nm (شرایط بایاس $V_{DS}=0.4\text{V}$ و $V_{GS}=0\text{V}$ است).

جدول ۱: متغیرهای افزاره MODIFIED DGJL-FET با $D=0.5\text{nm}$ و طول کانال ۳۰ نانومتر بر حسب آلایش میانه کانال.

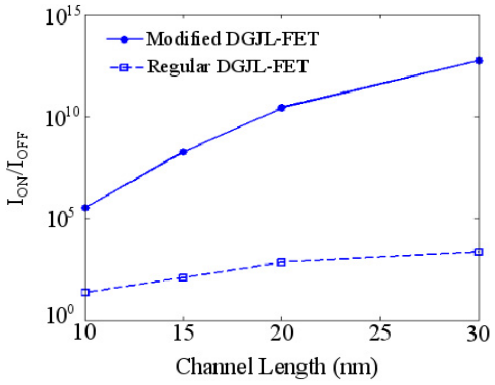
Doping Concentration (/cm3)	I_{OFF} (A/μm)	I_{ON} (A/μm)	I_{ON}/I_{OFF} Ratio
1×10^{12}	24.2×10^{-16}	81.8×10^{-4}	93.3×10^{12}
1×10^{13}	25.2×10^{-16}	99.8×10^{-4}	99.3×10^{12}
1×10^{14}	20.2×10^{-16}	17.9×10^{-4}	16.4×10^{12}
1×10^{15}	16.2×10^{-16}	24.9×10^{-4}	28.4×10^{12}
1×10^{16}	2.01×10^{-16}	28.9×10^{-4}	62.4×10^{12}
1×10^{17}	58.1×10^{-16}	67.8×10^{-4}	49.5×10^{12}
1×10^{18}	50.1×10^{-16}	14.7×10^{-4}	76.4×10^{12}
1×10^{19}	99.7×10^{-16}	86.6×10^{-4}	58.8×10^{11}
1×10^{20}	32.1×10^{-6}	27.1×10^{-3}	62.9×10^{2}

شکل ۶- ب شیب زیر آستانه را نسبت به تغییرات آلایش ناحیه میانه کانال در افزاره Modified DGJL-FET نشان می‌دهد. چنانچه دیده می‌شود شیب زیر آستانه افزاره Modified DGJL-FET در آلایش میانه کانال 10^{17} cm^{-3} با $D=0.5\text{nm}$، به ۶۲ mV/dec کاهش یافته است. با این حال، شیب زیر آستانه برای افزاره Regular DGJL-FET، ۷۶ mV/dec است. بهبود شیب زیر آستانه را می‌توان به افزایش کنترل گیت بر کانال افزاره Modified DGJL-FET نسبت به افزاره Regular DGJL-FET در حالت خاموش بیان کرد. نسبت I_{ON}/I_{OFF} در آلایش میانه کانال 10^{17} cm^{-3} با $D=0.5\text{nm}$ از مرتبه 10^{12} است در حالی که این نسبت در افزاره Regular DGJL-FET از مرتبه 10^{2} است (داخل شکل ۶- ب را ببینید).

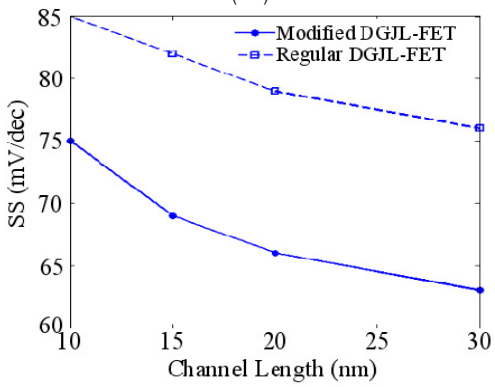
۳-۲ اثر مقیاس‌بندی

برای طول کانال ۳۰ nm با آلایش یکسان سورس، کانال و درین، 1×10^{20} cm^{-3}، در افزاره Regular DG-JLFET جریان خاموشی قابل ملاحظه است زیرا الکترون‌های کانال در حالت خاموش به خوبی تخلیه نمی‌شوند. برای رفع این مشکل، افزاره Modified DGJL-FET با $D=0.5\text{nm}$ و آلایش میانه کانال 10^{17} cm^{-3} پیشنهاد شده است.

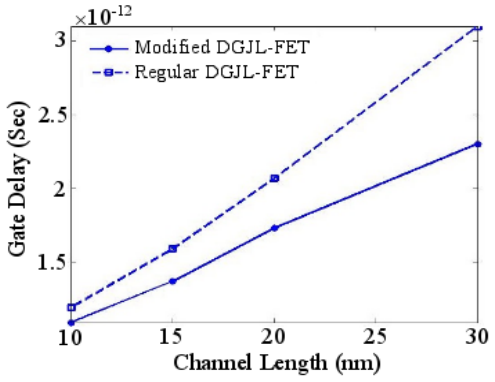
نتایج شبیه‌سازی‌های انجام‌شده این مقاله نشان می‌دهد $D=0.5\text{nm}$ و آلایش میانه کانال 10^{17} cm^{-3} جریان حالت خاموش افزاره Modified DGJL-FET را برای طول کانال‌های مختلف کمینه می‌کند. شکل ۷ جریان خاموشی را برای طول کانال‌های مختلف در افزاره Regular



(الف)



(ب)



(ج)

شکل ۸: پارامترهای شایستگی، (الف) I_{ON}/I_{OFF}، (ب) SS و (ج) تأخیر گیت برای طول کانال‌های مختلف در افزاره‌های Regular DGJL-FET و Modified DGJL-FET. در افزاره Modified DGJL-FET آلایش میانه کانال و D به ترتیب عبارتند از 10^{17} cm^{-3} و ۰٫۵ nm.

DGJL-FET و افزاره Modified DGJL-FET با $D=0.5$nm و آلایش میانه کانال 10^{17} cm^{-3} مقایسه می‌کند.

چنانچه دیده می‌شود با کاهش طول کانال جریان خاموشی افزایش یافته است و این به دلیل افزایش آثار کانال کوتاه با کاهش طول کانال است. برای طول کانال‌های مختلف جریان خاموشی افزاره Modified DGJL-FET به طور قابل ملاحظه‌ای کمتر از افزاره Regular DGJL-FET است.

۳-۳ پارامترهای شایستگی

عملکرد افزاره Modified DGJL-FET با $D=0.5$nm و آلایش میانه کانال 10^{17} cm^{-3} با افزاره Regular DGJL-FET برای طول کانال‌های مختلف بر حسب پارامترهای I_{ON}/I_{OFF}، شیب زیر آستانه و تأخیر ذاتی در این بخش مقایسه شده است.

شکل ۸- الف و شکل ۸- ب به ترتیب نسبت I_{ON}/I_{OFF} و شیب زیر آستانه را نشان می‌دهد. در شکل ۸- الف نسبت I_{ON}/I_{OFF} در افزاره Modified DG-JLFET با طول کانال ۱۵ nm برابر 1.75×10^{8} است در حالی که برای افزاره Regular DGJL-FET همان نسبت برابر 1.97×10^{2} است.

شیب زیر آستانه در افزاره Modified DG-JLFET برای طول کانال ۱۵ nm، ۶۸ mV/dec است در حالی که در افزاره Regular DGJL-FET شیب زیر آستانه ۸۲ mV/dec است. این به دلیل افزایش کنترل گیت در افزاره Modified DGJL-FET نسبت به افزاره Regular DGJL-FET است. شکل ۸- ج تأخیر ذاتی گیت (τ) را بر حسب طول کانال نشان می‌دهد. تأخیر ذاتی گیت $\tau=C_gV_{DD}/I_{ON}$ است [۲۲] و [۲۳] که در آن $V_{DD}=1$V، I_{ON} و C_g به ترتیب ولتاژ بایاس، جریان روشنی و خازن گیت است که می‌توان مقادیر آنها را از شبیه‌سازی عددی استخراج نمود. مشاهده می‌شود که با افزایش طول کانال تأخیر گیت در افزاره Modified DGJL-FET به ازای $D=0.5$nm و آلایش میانه کانال 10^{17} cm^{-3} در مقایسه با افزاره Regular DGJL-FET کمتر است.

٤- نتیجه‌گیری

یکی از موانع اصلی مقیاس‌بندی در افزاره DGJL-FET افزایش جریان خاموشی در رژیم نانومتر است. در این مقاله برای کاهش جریان خاموشی و بهبود عملکرد افزاره DGJL-FET ساختار جدیدی پیشنهاد شده که Modified DGJL-FET نامیده می‌شود. در ساختار پیشنهادشده آلایش زیر گیت با آلایش سورس و درین یکسان است اما از آلایش میانه کانال بیشتر است. بررسی‌های انجام‌شده در این مقاله نشان می‌دهد جریان خاموشی در افزاره Modified DGJL-FET تابعی از ضخامت ناحیه آلاییده زیر گیت، D و مقدار آلایش میانه کانال است. با کاهش D کنترل گیت بر میانه کانال افزایش یافته و جریان حالت خاموش افزاره پیشنهادشده کاهش می‌یابد اما کاهش D سبب افزایش مقاومت سری میانه کانال می‌شود و جریان حالت روشن کاهش می‌یابد. انتخاب آلایش 10^{17} cm^{-3} برای میانه کانال سبب می‌شود جریان روشنایی نسبت به افزاره Regular DGJL-FET تقریباً دست‌نخورده باقی بماند. عملکرد افزاره‌های Regular DGJL-FET و Modified DGJL-FET در رژیم نانومتر بر حسب پارامترهای شایستگی I_{ON}/I_{OFF}، شیب زیر آستانه (SS) و تأخیر گیت مقایسه شده‌اند. در ساختار پیشنهادشده برای طول کانال ۱۵ nm نسبت به ساختار Regular DGJL-FET پارامترهای شایستگی I_{ON}/I_{OFF}، SS و تأخیر گیت به ترتیب 10^{6} دهه بزرگی، ۱۴٪ و ۱۶٪ بهبود یافته‌اند.

در فرایند ساخت افزاره پیشنهادشده، کنترل آلایش زیر گیت با کاهش D پیچیده است. در این مقاله ترکیب روش‌های MLD و MWA برای کنترل آلایش سطحی در افزاره‌های JL-FET پیشنهاد شده است.

مراجع

[1] K. Natori, "Ballistic metal-oxide-semiconductor field effect transistors," *J. Appl. Phys*, vol. 76, no. 8, pp. 4879-4890, Nov. 1994.

[2] T. Ghani, K. Mistry, P. Packan, S. Thompson, M. Stettler, S. Tyagi, and M. Bohr, "Scaling challenges and device design requirements for high performance sub-50 nm gate length planar CMOS transistor," in *Proc. of Symp. VLSI Technology, Digest of Technical*, pp. 174-175, 13-15 Jun. 2000.

[3] A. Wagadre and S. Mane, "Design & performance analysis of DG-MOSFET for reduction of short channel effect over bulk MOSFET at 20 nm," *International Journal of EngineeringResearch and Applications*, vol. 4, pp. 30-34, Jul. 2014.

[4] D. Sapna and B. Mehandia, "Study of electrical characteristics of SOI MOSFET using silvaco tcad simulator," *Technology and Sciences*, vol. 1, no. 1, pp. 15-18, Jul. 2012.
[5] M. M. Khatamia, M. Shalchiana, and M. Kolahdouz, "Reducing parasitic capacitance of strained Si nano p-MOSFET by control of virtual substrate doping," in *Proc. 5th Int. Congress on Nanoscience & Nanotechnology, ICCN'14*, pp. 247-250, Aug. 2014.
[6] M. Rahman, P. Narayanan, and C. A. Moritz, *Metal-Gated Junctionless Nanowire Transistors*. arXiv preprint arXiv:1404.0296, Apr. 2014.
[7] W. Maly, *et al.*, "Twin Gate, Vertical Slit FET (VeSFET) for highly periodic layout and 3D integration," in *Proc. of 18th Int. Conf. on Mixed Design of Integrated Circuits and Systems, MIXDES'11*, pp. 145-150, Gliwice, Poland, 16-18 Jun. 2011.
[8] M. Veshala, R. Jatooth, and K. R. Reddy, "Reduction of short-channel effects in FinFET," *International Journal of Engineering and Innovative Technology, IJEIT'13*, vol. 2, pp. 118-124, Mar. 2013.
[9] S. Zhu, *et al*., " N-type Schottky barrier source/drain MOSFET using ytterbium silicide," *IEEE Electron Devices Lett*, vol. 25, no. 8, pp. 565-567, Aug. 2004.
[10] A. Dutta, K. Koley, S. K. Saha, and C. K. Sarkar, "Effect of source/drain lateral straggle on distortion and intrinsic performance of asymmetric underlap DG-MOSFET," *IEEE Journal of the Electron Devices Society*, vol. 2, no. 6, pp. 135-144, Nov. 2014.
[11] C. W. Lee, *et al*., "Junctionless multi-gate field-effect transistor," *Appl. Phys. Lett, Appl. Phys. Lett.*, vol. 94, no. 5, pp. 053511-1-053511-2, Feb. 2009.
[12] A. Kranti, *et al.*, "Junctionless nanowire transistor (JNT): properties and design guidelines," in *Proc. of the European Solid-State Device Research Conf., ESSDERC'10*, pp. 357-360, Sevilla, Spain, 14-16 Sept. 2010.
[13] C. W. Lee, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi, *et al.*, "Performance estimation of junctionless multigate transistors," *Solid State Electron.*, vol. 54, no. 2, pp. 97-103, Feb. 2010.
[14] S. Gundapaneni, S. Ganguly, and A. Kottanthar-ayil, "Bulk planar junctionless transistor (BPJL-T): an attractive device alternative for scaling," *IEEE Electron Device Lett*, vol. 32, no. 3, pp. 261-263, Mar. 2011.
[15] C. W. Lee, *et al*., "Reduced electric field in junctionless transistors," *Appl. Phys. Lett*, vol. 96, no. 7, pp. 073510, Feb. 2010.
[16] R. Hosseini, "Analysis and simulation of a junction less double gate MOSFET for high-speed applications," *IEEE Trans. on Electron Device*, vol. 67, no. 9, pp. 1615-1618, Nov. 2015.
[17] P. Bal, B. Ghosh, P. Mondal, and M. W. Akram, "A laterally graded junctionless transistor," *Journal of Semiconductors*, vol. 35, no. 3, pp. 034003-4, Mar. 2014.
[18] S. K. Sharma, B. Raj, and M. Khosla, "Performance enhancement of junctionless nanowire FET with laterally graded channel doping and high spacers," in *Proc. IEEE 4th Global Conf. on Consumer Electronics, GCCE'15*, pp. 556-559, Osaka, Japan, 27-30 Oct. 2015.
[19] J. C. Ho, *et al*., "Controlled nanoscale doping of semiconductors via molecular monolayers," *Nature Mater.*, vol. 7, pp. 62-67, Jan. 2008.
[20] Y. J. Lee, *et al.*, "Low-temperature microwave annealing processes for future IC fabrication-a review," *IEEE Trans. on Electron Devices*, vol. 61, no. 3, pp. 651-665, Mar. 2014.
[21] Silvaco Int. *ATLAS User's Manual*. Device Simulation Software, Silvaco International, Santa Clara, CA, 2015.
[22] M. Vadizadeh, M. Fathipour, and G. Dervish, "Silicon on raised insullator field effect diode (sori-fed) for alleviating scaling problem in fed," *International J. of Modern Physics B*, vol. 28, no. 5, pp. 1450038-1450053, Feb. 2014.
[23] M. Vadizadeh, "Improving gate delay and I_{ON}/I_{OFF} hetrostructure field effect diode (H-FED) by using heavy doped layers in the channel," *Applied Physics*, vol. 122, no. 4, pp. 460-469, Apr. 2016.

مهدی وادی‌زاده تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکتری الکترونیک به‌ترتیب در سال‌های ۱۳۸۴ و ۱۳۸۸ و ۱۳۹۳ در دانشگاه آزاد اسلامی به پایان رسانده است. ایشان به عنوان محقق آزمایشگاه شبیه‌سازی افزاره دانشکده برق و کامپیوتر دانشگاه تهران از سال ۱۳۸۵ تا کنون مشغول به فعالیت بوده است. دکتر وادی‌زاده از سال ۱۳۸۸ در دانشکده فنی دانشگاه آزاد اسلامی – واحد ابهر مشغول به فعالیت گردید و اینک نیز با عنوان استادیار عضو هیأت علمی گروه برق این دانشکده می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: ادوات نیمه‌هادی، طراحی و مدل‌سازی ترانزیستورهای نانو مقیاس توان پایین و سرعت بالا، شبیه‌سازی سلول‌های خورشیدی و طراحی مدارات مجتمع آنالوگ/فرکانس بالا.

سروناز کلانتری تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد به‌ترتیب در سال‌های ۱۳۹۱ و ۱۳۹۵ در دانشگاه آزاد اسلامی واحد ابهر به پایان رسانده است.