بررسی مشخصه‌های الکتریکی AlGaN/GaN-HEMT با واردکردن لایه P در لایه سد در دو سمت سورس و درین

سیدمحمد رضوی، سیدحمید ظهیری و سیدابراهیم حسینی

چکیده: در این مقاله، یک ترانزیستور HEMT گالیم نیترایدی با یک لایه نیمه‌هادی نوع P در لایه سد در هر دو سمت سورس و درین (SD-PL) مورد بررسی قرار می‌گیرد. مهم‌ترین پارامترهای الکتریکی این ترانزیستور را مانند خازن گیت- سورس، خازن گیت- درین، هدایت انتقالی، فرکانس قطع، میدان الکتریکی افقی، ولتاژ شکست، هدایت خروجی و جریان درین اشباع به وسیله نرم‌افزار دوبعدی اطلس شبیه‌سازی می‌کنیم. نتایج شبیه‌سازی شده در ساختار پیشنهادی با دو ساختار دیگر با لایه P در سمت سورس (S-PL) و لایه P در سمت درین (D-PL) و ساختار مرسوم مقایسه می‌شوند. مطابق نتایج به دست آمده، ساختار پیشنهادی باعث بهبود خازن گیت- سورس، ماکسیمم هدایت انتقالی، فرکانس قطع و هدایت خروجی در مقایسه با ساختار D-PL می‌گردد. همچنین این ساختار جدید باعث کاهش ماکسیمم میدان الکتریکی در گوشه گیت سمت درین شده و در نتیجه، ولتاژ شکست را به میزان قابل ملاحظه‌ای در مقایسه با ساختار مرسوم افزایش می‌دهد. افزایش طول (L_P) و ضخامت (T_P) لایه P در ساختارهای SD-PL و S-PL باعث بهبود ولتاژ شکست، خازن گیت- سورس، خازن گیت- درین و هدایت خروجی خواهد شد.

کلیدواژه: **HEMT، خازن گیت، هدایت انتقالی، میدان الکتریکی، هدایت خروجی، ولتاژ شکست.**

۱- مقدمه

ترانزیستورهای با موبیلیتی الکترون بالا (HEMT) که بر پایه AlGaN/GaN ساخته می‌شوند دارای کاربرد بسیار زیادی در فرکانس‌ها و توان‌های بالا می‌باشند زیرا گالیم نیتراید دارای میدان الکتریکی شکست و انرژی باند ممنوعه بالایی است [۱] و [۲]. همچنین در این ترانزیستورها یک ناپیوستگی باند هدایت بزرگ بین GaN و AlGaN وجود دارد که باعث به وجود آمدن یک گاز الکترون دوبعدی (DEG-۲) با چگالی بالا در محل پیوند این دو ماده می‌شود [۳] و [۴]. به عبارت دیگر، استفاده از AlGaN/GaN در ساخت این ترانزیستورها، باعث افزایش موبیلیتی و سرعت این ترانزیستورها می‌گردد. در دهه‌های اخیر به دلیل ویژگی‌های خاص این ماده همچون انرژی باند ممنوعه بزرگ، سرعت اشباع الکترون بالا، میدان الکتریکی شکست بالا و پلاریزاسیون پیزوالکتریک، ترانزیستورهای HEMT مورد توجه خاصی در کاربردهای الکترونیکی با فرکانس و توان بالا قرار گرفته‌اند [۵] و [۶]. این ترانزیستورها به دلیل ویژگی‌های الکتریکی خاص خود کاندیدای بسیار خوبی در نسل‌های آینده تقویت‌کننده‌های توان و فرکانس بالا هستند [۷].

لایه P اضافه‌شده در کانال ترانزیستورهای MESFET باعث تغییر توزیع میدان الکتریکی و در نتیجه بهبود ولتاژ شکست در این قطعات می‌شود [۸]. بنابراین ممکن است اضافه‌کردن یک لایه نیمه‌هادی نوع P در لایه سد ترانزیستورهای HEMT نیز باعث بهبود مشخصه‌های الکتریکی این قطعات گردد. این مقاله به بررسی تأثیر لایه P در لایه سد این ترانزیستورها در هر دو سمت سورس و درین با استفاده از نرم‌افزار شبیه‌ساز دوبعدی اطلس می‌پردازد. مهم‌ترین مشخصه‌های الکتریکی ساختار پیشنهادی جدید با لایه P در هر دو سمت سورس و درین (SD-PL) شبیه‌سازی شده و با ساختارهای S-PL، D-PL [۹] و مرسوم [۵] مقایسه خواهد شد. مهم‌ترین مشخصه‌های الکتریکی بررسی‌شده خازن گیت، میدان الکتریکی، ولتاژ شکست، هدایت خروجی، هدایت انتقالی و فرکانس قطع می‌باشند. در بخش بعدی، ابعاد ساختار پیشنهادی و مدل‌های فیزیکی استفاده‌شده در شبیه‌سازی با جزئیات کامل تشریح می‌شود. در بخش سوم ابتدا به بررسی اثر لایه P در بهبود خازن گیت- سورس، هدایت انتقالی و فرکانس قطع ترانزیستورهای SD-PL و S-PL در مقایسه با دو ساختار دیگر می‌پردازیم. همچنین در این بخش تأثیر طول و ضخامت لایه P بر روی خازن گیت- درین، ولتاژ شکست، هدایت خروجی و جریان درین در کلیه ساختارها بررسی خواهد شد.

۲- ساختار قطعات

در شکل‌های ۱- الف تا ۱- د به ترتیب ساختار ترانزیستورهای SD-PL، S-PL، D-PL [۹] و مرسوم [۵] نشان داده شده است. ابعاد هندسی هر چهار ترانزیستور به شرح زیر می‌باشد:

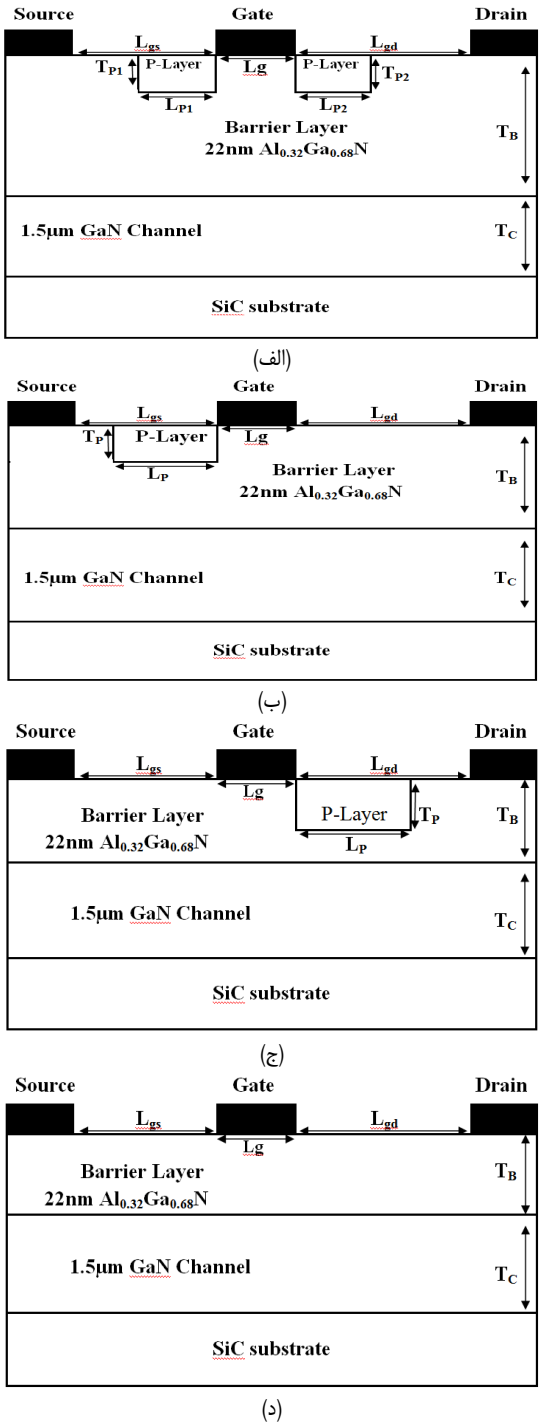
طول گیت برابر با $L_g = ۰/۵\mu m$، فاصله بین گیت- درین و گیت- سورس برابر با $L_{gd} = L_{gs} = ۱\mu m$ و ضخامت لایه سد و لایه بافر به ترتیب $T_B = ۲۲nm$ و $T_C = ۰/۲۵\mu m$ در نظر گرفته شده است. جنس نیمه‌هادی استفاده‌شده در لایه سد، $Al_{۰/۳۲}Ga_{۰/۶۸}N$ نوع N با تزریق ناخالصی بسیار بالا بوده و در لایه بافر از یک نیمه‌هادی ذاتی GaN استفاده شده است. همچنین لایه P استفاده‌شده در لایه سد نیز $Al_{۰/۳۲}Ga_{۰/۶۸}N$ نوع P با تزریق ناخالصی بسیار بالا بوده و چگالی ناخالصی آن با لایه سد یکسان می‌باشد. $T_{P۱}$ و $T_{P۲}$ در ساختار SD-PL برابر با T_P در ساختارهای S-PL و D-PL می‌باشد. $L_{P۱}$ و $L_{P۲}$ در SD-PL، دارای طول یکسان بوده و حاصل جمع آنها برابر با L_P در S-PL و D-PL در نظر گرفته شده است. نیکل به عنوان گیت شاتکی با تابع کار ۵/۱ eV انتخاب شده و قابل توجه است که هر چهار ساختار ذکرشده با روش ارائه‌شده در [۵] قابل ساخت می‌باشند. مشخصه‌های الکتریکی کلیه قطعات با استفاده از نرم‌افزار اطلس شبیه‌سازی می‌شوند [۱۰]. برای رسیدن به نتایج واقعی‌تر در شبیه‌سازی، چندین مدل مانند

این مقاله در تاریخ ۱۷ مرداد ماه ۱۳۹۴ دریافت و در تاریخ ۲۷ خرداد ماه ۱۳۹۵ بازنگری شد.

سیدمحمد رضوی، گروه مهندسی برق، دانشکده مهندسی، دانشگاه نیشابور، نیشابور، (email: razavi@neyshabur.ac.ir).

سیدحمید ظهیری، گروه الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، بیرجند، (email: hzahiri@birjand.ac.ir).

سیدابراهیم حسینی، گروه الکترونیک، دانشکده مهندسی، دانشگاه فردوسی مشهد، مشهد، (email: ehosseini@um.ac.ir).



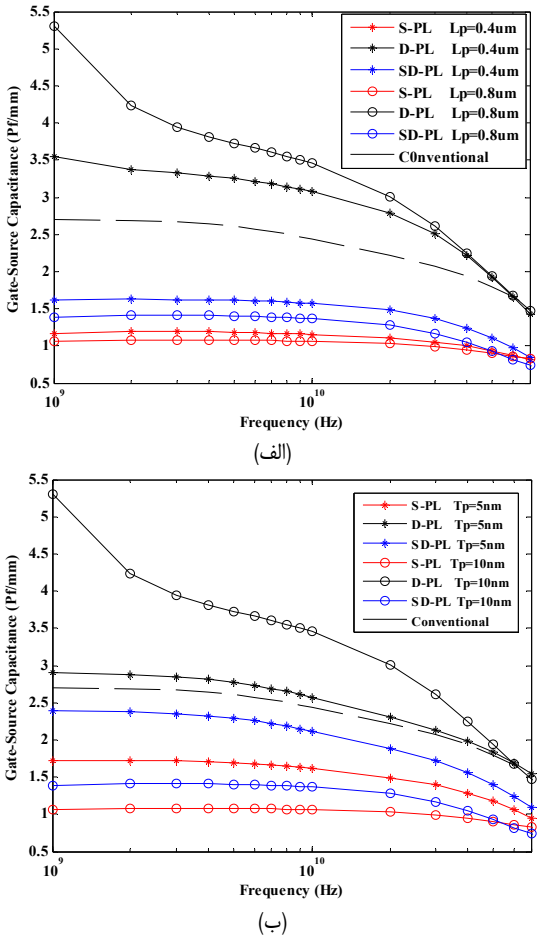
شکل ۱: شکل ساختاری ترانزیستورهای (الف) SD-PL، (ب) S-PL، (ج) D-PL و (د) مرسوم.

SRH، Conmob، Fldmob و Fermi Dirac در نرم‌افزار اطلس فعال می‌گردند [۱۱] و [۱۲].

۳- نتایج شبیه‌سازی

۳-۱ خازن‌های گیت

در ترانزیستورهای اثر میدانی می‌توان خازن گیت را از مشتق‌گیری بار الکتریکی کانال (q) نسبت به ولتاژ گیت محاسبه نمود. با اضافه‌نمودن لایه P در لایه سد، چگالی الکترون‌ها در کانال گاز الکترون دوبعدی (۲-DEG) کاهش می‌یابد. این کاهش بار باعث تغییر در خازن گیت- سورس (C_{gs}) و خازن گیت- درین (C_{gd}) می‌شود. تغییرات خازن

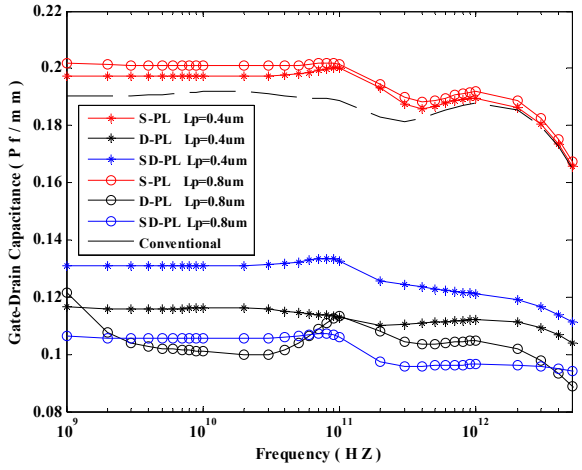


شکل ۲: وابستگی خازن گیت- سورس به فرکانس به ازای مقادیر مختلف (الف) L_P در یک مقدار ثابت $T_P = ۱۰\text{nm}$ و (ب) T_P در مقدار ثابت $L_P = ۰٫۸\mu\text{m}$ در کلیه ساختارها و $V_{GS} = ۰\text{V}$ و $V_{DS} = ۲۰\text{V}$.

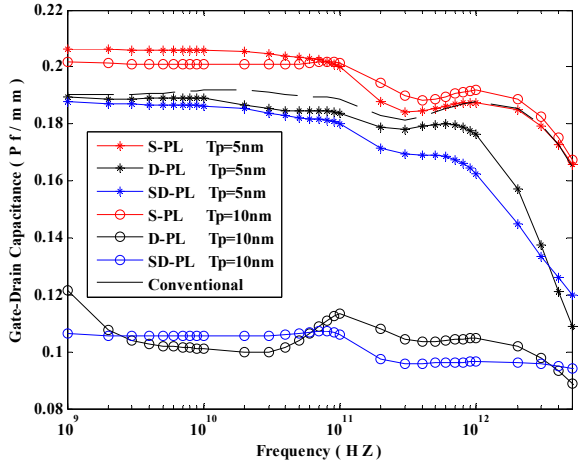
گیت- سورس نسبت به تغییر فرکانس برای مقادیر مختلف L_P و T_P در کلیه ساختارها و به ازای $V_{GS} = ۰\text{V}$ و $V_{DS} = ۲۰\text{V}$ به ترتیب در شکل‌های ۲- الف و ۲- ب ترسیم شده است.

با توجه به این دو شکل، افزایش L_P و T_P باعث کاهش خازن گیت- سورس در دو ترانزیستور SD-PL و S-PL و افزایش این خازن در D-PL خواهد شد. همچنین در مقادیر مختلف L_P و T_P، خازن گیت- سورس در SD-PL و S-PL کوچک‌تر از این خازن در ساختارهای مرسوم و D-PL می‌باشد. کاهش مقدار خازن گیت- سورس در دو ساختار ذکرشده به دلیل وجود لایه P در سمت سورس می‌باشد که باعث کاهش بار کانال در همین سمت و در نتیجه کاهش خازن مورد نظر و افزایش بهره‌وری در فرکانس‌های بالا می‌گردد [۹]. کمترین مقدار خازن گیت- سورس در ساختارهای SD-PL و S-PL و به ازای $L_P = ۰٫۸\mu\text{m}$ و $T_P = ۱۰\text{nm}$ به دست می‌آید. همچنین می‌توان نتیجه گرفت که قطعات SD-PL و S-PL دارای خازن گیت- سورس کوچک‌تری در مقایسه با ترانزیستورهای D-PL و مرسوم می‌باشند.

در شکل‌های ۳- الف و ۳- ب، خازن گیت- درین نسبت به تغییر فرکانس در کلیه ساختارها و به ازای مقادیر مختلف L_P و T_P در $V_{GS} = ۰\text{V}$ و $V_{DS} = ۲۰\text{V}$ نشان داده شده است. مطابق نتایج این دو شکل، افزایش L_P و T_P باعث کاهش خازن گیت- درین در دو ساختار SD-PL و D-PL خواهد شد. با تغییر L_P و T_P، خازن گیت- درین در دو ترانزیستور SD-PL و D-PL کوچک‌تر از مقادیر این خازن در ساختارهای مرسوم و S-PL می‌باشد زیرا لایه P در سمت درین دو



(الف)



(ب)

شکل ۳: وابستگی خازن گیت- درین به فرکانس به ازای مقادیر مختلف (الف) L_P در یک مقدار ثابت $T_P = ۱۰\text{nm}$ و (ب) T_P در مقدار ثابت $L_P = ۰/۸\mu\text{m}$ در کلیه ساختارها و $V_{GS} = ۰\text{V}$ و $V_{DS} = ۲۰\text{V}$.

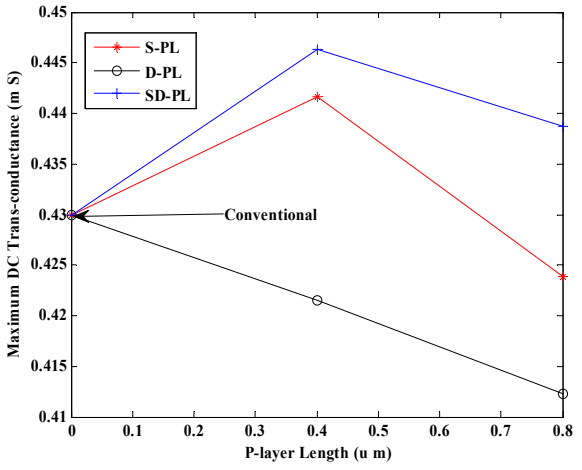
ترانزیستور SD-PL و D-PL باعث کاهش بار کانال در این سمت و در نتیجه کاهش خازن گیت- درین در این قطعات خواهد گردید. کوچک‌ترین خازن گیت- درین در ساختارهای SD-PL و D-PL و به ازای $L_P = ۰/۸\mu\text{m}$ و $T_P = ۱۰\text{nm}$ حاصل خواهد شد. بنابراین دو ساختار SD-PL و D-PL دارای خازن گیت- درین کوچک‌تری نسبت به ترانزیستورهای S-PL و مرسوم می‌باشند.

همچنین مقایسه شکل‌های ۲ و ۳ نشان می‌دهد که ساختار SD-PL دارای بهترین عملکرد در کاربردهای فرکانس بالا خواهد بود. علاوه بر این، شکل‌های ۲ و ۳ نشان می‌دهند که تأثیر لایه P در سمت سورس بر روی خازن گیت- درین، بیشتر از تأثیر این لایه در سمت سورس بر روی خازن نام‌برده می‌باشد زیرا لایه P در سمت سورس اثر بیشتری بر روی بار الکتریکی گاز الکترون دوبعدی گذاشته و در نتیجه باعث تغییر چشم‌گیری در خازن گیت- درین خواهد شد.

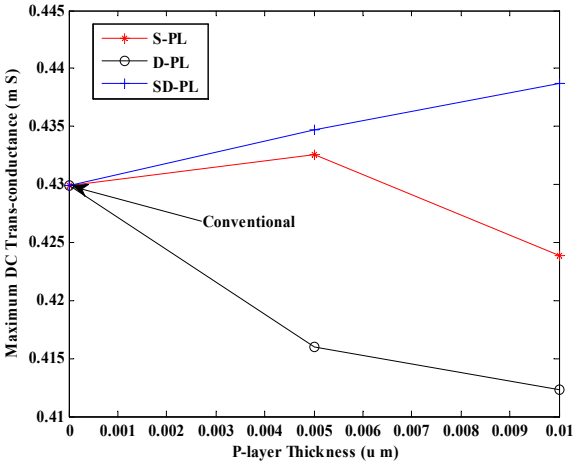
۳-۲ هدایت انتقالی

هدایت انتقالی (g_m) ترانزیستورها را می‌توان از مشتق‌گیری جریان درین نسبت به ولتاژ گیت- سورس در یک ولتاژ درین ثابت محاسبه نمود [۱۳]

$$g_m = \left.\frac{\partial I_D}{\partial V_{GS}}\right|_{V_{DS}=const} \qquad (۱)$$



(الف)



(ب)

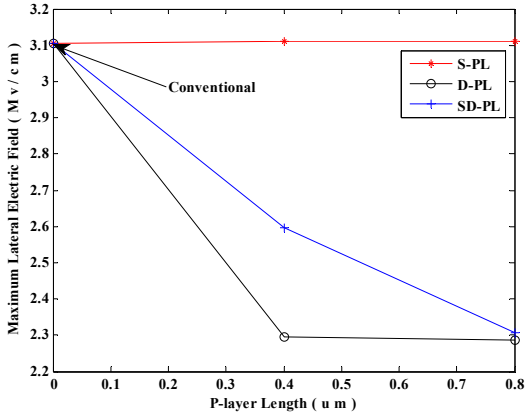
شکل ۴: ماکسیمم هدایت انتقالی به عنوان تابعی از (الف) L_P در یک مقدار ثابت $T_P = ۱۰\text{nm}$ و (ب) T_P در مقدار ثابت $L_P = ۰/۸\mu\text{m}$ در کلیه ساختارها و $V_{DS} = ۱۰\text{V}$.

بنابراین هدایت انتقالی بزرگ‌تر، نشان‌دهنده وابستگی بیشتر جریان درین به ولتاژ درین- سورس می‌باشد. شکل‌های ۴-الف و۴-ب، هدایت انتقالی ماکسیمم بین کلیه ساختارها را در $V_{DS} = ۱۰\text{V}$ مقایسه می‌نماید. ماکسیمم g_m در $L_P = T_P = ۰\mu\text{m}$ مربوط به ترانزیستور مرسوم می‌باشد. این دو شکل نشان می‌دهند که به ازای مقادیر مختلف L_P و T_P، ترانزیستور SD-PL دارای ماکسیمم هدایت انتقالی بزرگ‌تری نسبت به دو قطعه D-PL و مرسوم است زیرا لایه P در SD-PL در سمت سورس واقع شده است و در حالی که این لایه در D-PL در سمت درین قرار دارد. ماکسیمم هدایت انتقالی در D-PL کوچک‌تر از بقیه ساختارها می‌باشد و همچنین افزایش T_P در SD-PL می‌تواند جهت بهبود g_m استفاده گردد. بیشترین g_m در بین کلیه ساختارها در ترانزیستور SD-PL و شرایط $L_P = ۰/۴\mu\text{m}$ و $T_P = ۱۰\text{nm}$ به دست می‌آید.

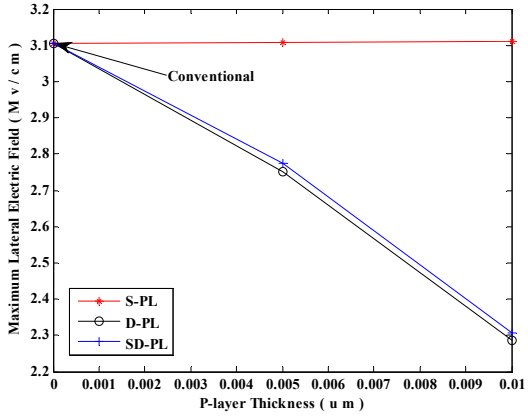
۳-۳ فرکانس قطع

فرکانس قطع (f_T) در یک ترانزیستور از (۲) قابل محاسبه است که در این رابطه g_m ماکسیمم هدایت انتقالی و C_{gs} خازن گیت- سورس می‌باشند [۱۴]

$$f_T = \frac{g_m}{۲\pi C_{gs}} \qquad (۲)$$



(الف)



(ب)

شکل ۵: وابستگی ماکسیمم میدان الکتریکی افقی به (الف) L_P در یک مقدار ثابت $T_P=۱۰\text{nm}$ و (ب) T_P در مقدار ثابت $L_P=۰/۸\mu\text{m}$ در $V_{GS}=-۴\text{V}$ و $V_{DS}=۸۰\text{V}$.

معادله (۲) نشان می‌دهد که مقدار بزرگ‌تر نسبت g_m/C_{gs}، باعث بهبود f_T می‌گردد. با مشاهده شکل‌های ۲ و ۴، ساختارهای SD-PL و S-PL دارای g_m بزرگ‌تر و C_{gs} کوچک‌تری نسبت به D-PL می‌باشند. بنابراین این ساختارها دارای نسبت g_m/C_{gs} بزرگ‌تر و در نتیجه فرکانس قطع بالاتری در مقایسه با D-PL می‌باشند. همچنین می‌توان نتیجه گرفت که اضافه‌کردن لایه P در لایه سد در سمت سورس باعث بهبود عملکرد ترانزیستور در فرکانس‌های بالا می‌شود.

۳-۴ میدان الکتریکی و ولتاژ شکست

در شکل‌های ۵- الف و ۵- ب، ماکسیمم میدان الکتریکی افقی در گوشه گیت و سمت درین به ازای مقادیر مختلف L_P و T_P در $V_{GS}=-۴\text{V}$ و $V_{DS}=۸۰\text{V}$ رسم شده است. مطابق نتایج شبیه‌سازی در این دو شکل، افزایش L_P و T_P در ترانزیستورهای SD-PL و D-PL باعث کاهش ماکسیمم میدان الکتریکی در مقایسه با قطعات S-PL و مرسوم می‌گردد.

بررسی‌های بیشتر نشان می‌دهند که در ترانزیستورهای اثر میدانی، پدیده شکست در لبه گیت و سمت درین در اثر ازدحام میدان الکتریکی در این ناحیه رخ می‌دهد [۱۵] و [۱۶]. بنابراین ساختارهای SD-PL و D-PL دارای میدان الکتریکی ماکسیمم کوچک‌تر و در نتیجه، ولتاژ شکست بزرگ‌تری در مقایسه با دو ساختار دیگر می‌باشند. همچنین با توجه به این دو شکل، تغییرات L_P و T_P تأثیری بر روی میدان الکتریکی ماکسیمم و ولتاژ شکست در ساختار S-PL نخواهد داشت. در این مطالعه از میدان الکتریکی بحرانی GaN (۳/۵ Mv/cm) جهت تشخیص ولتاژ شکست استفاده شده است [۹]. افزایش ولتاژ درین- سورس در یک ترانزیستور باعث افزایش میدان الکتریکی افقی در کانال خواهد شد. به عنوان یک تعریف، ولتاژ شکست را می‌توانیم ولتاژ درینی در نظر بگیریم که در آن ولتاژ، میدان الکتریکی افقی در کانال با میدان بحرانی ماده نیمه‌هادی داخل کانال برابر خواهد شد. با توجه به نتایج شبیه‌سازی، بزرگ‌ترین ولتاژ شکست به ازای مقادیر متفاوت L_P و T_P، در ترانزیستورهای SD-PL، S-PL و D-PL به ترتیب برابر با ۲۴۵ V، ۹۰ V و ۲۵۰ V می‌باشد. همچنین ولتاژ شکست در ساختار مرسوم اولیه مساوی با این مقدار در قطعه S-PL (۹۰ V) خواهد بود. بزرگ‌ترین ولتاژ شکست در بین کلیه ترانزیستورها در ساختارهای SD-PL و D-PL و به ازای $L_P=۰/۸\mu\text{m}$ و $T_P=۱۰\text{nm}$ به دست می‌آید. بنابراین ولتاژ شکست در این دو قطعه $(\sim ۲۵۰V)$ به میزان قابل توجهی نسبت به ساختار اولیه $(\sim ۹۰V)$ افزایش یافته است. مقایسه میدان الکتریکی و ولتاژ شکست در این مقاله با نتایج به دست آمده در [۸] نشان می‌دهد که بهبود ولتاژ شکست در این مقاله بیشتر از [۸] می‌باشد زیرا در این مطالعه، ولتاژ شکست از مقدار ۹۰ V در ساختار اولیه به ۲۵۰ V در D-PL رسیده که تقریباً ۱۸۰٪ افزایش یافته است اما در [۸] ولتاژ شکست ساختار مرسوم ۲۵۰ V می‌باشد و در ساختار LP-MESFET با ۳۶٪ افزایش به ۳۴۰ V بهبود یافته است.

۳-۵ هدایت خروجی

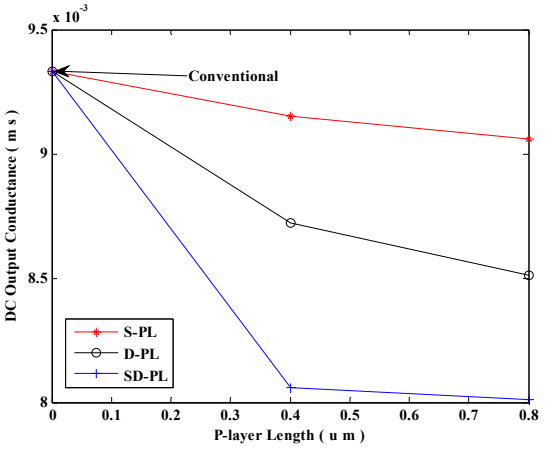
هدایت خروجی یک ترانزیستور (g_o) با مشتق‌گیری جزیی از جریان درین نسبت به ولتاژ درین در یک ولتاژ گیت- سورس ثابت، قابل محاسبه می‌باشد

$$g_o=\left.\frac{\partial I_D}{\partial V_{DS}}\right|_{V_{GS}=const} \qquad (۳)$$

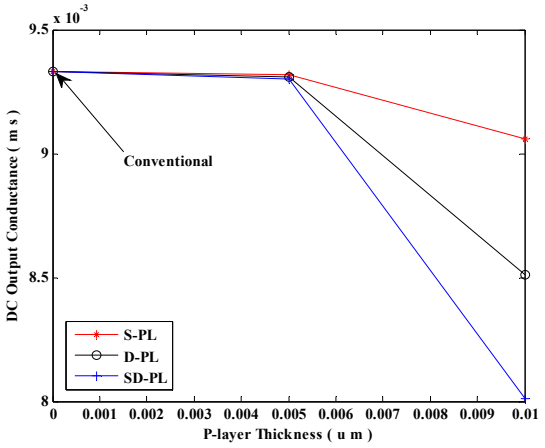
با توجه به (۳) هدایت خروجی در یک ترانزیستور، میزان وابستگی جریان درین به ولتاژ درین- سورس را مشخص می‌کند. در شکل‌های ۶- الف و ۶- ب، تغییرات هدایت خروجی نسبت به تغییر L_P و T_P در $V_{GS}=-۴\text{V}$ در کلیه ساختارها ترسیم شده است. مطابق نتایج به دست آمده در این دو شکل، هدایت خروجی در ساختارهای پیشنهادی، کوچک‌تر از هدایت خروجی در ساختار مرسوم اولیه می‌باشد زیرا با مشاهده شکل‌های ۵- الف و ۵- ب، وجود لایه P در لایه سد باعث کاهش میدان الکتریکی افقی خواهد شد. بنابراین کنترل ولتاژ درین بر روی جریان درین کاهش یافته و در نتیجه، هدایت خروجی را کاهش می‌دهد [۹]. مقایسه شکل‌های ۶- الف و ۶- ب نشان می‌دهد که افزایش L_P و T_P باعث کاهش‌یافتن هدایت خروجی خواهد شد. با تغییر L_P و T_P، ساختار SD-PL دارای g_o کمتری نسبت به بقیه ترانزیستورها می‌باشد. کمترین مقدار g_o در ترانزیستور SD-PL و شرایط $L_P=۰/۸\mu\text{m}$ و $T_P=۱۰\text{nm}$ به دست خواهد آمد.

۳-۶ جریان درین

وابستگی جریان درین به ولتاژ درین- سورس در مقادیر مختلف L_P و T_P در کلیه ساختارها به ازای $V_{GS}=۰\text{V}$ به ترتیب در شکل‌های ۷- الف و ۷- ب نشان داده شده است. مطابق نتایج شبیه‌سازی در این دو شکل، افزایش L_P و T_P باعث کاهش جریان درین در ساختارهای SD-PL، S-PL و D-PL خواهد شد زیرا واردکردن لایه P در ناحیه سد ترانزیستور، باعث کاهش چگالی الکترون در گاز الکترون دوبعدی و در



(الف)



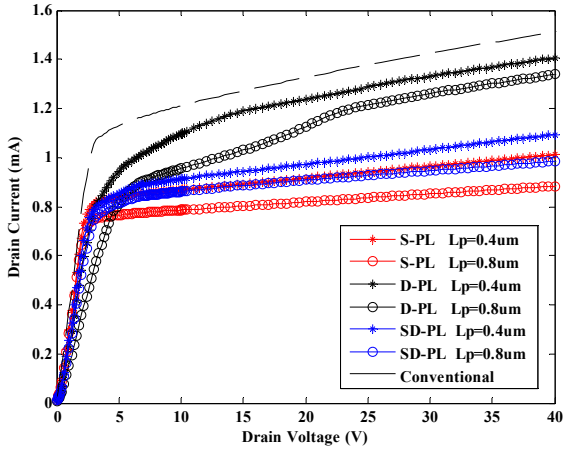
(ب)

شکل ۶: هدایت خروجی به عنوان تابعی از (الف) L_P در یک مقدار ثابت $T_P = ۱۰\,\text{nm}$ و (ب) T_P در مقدار ثابت $L_P = ۰/۸\,\mu\text{m}$ در $V_{GS} = -۴\,\text{V}$ و $V_{DS} = ۴۰\,\text{V}$.

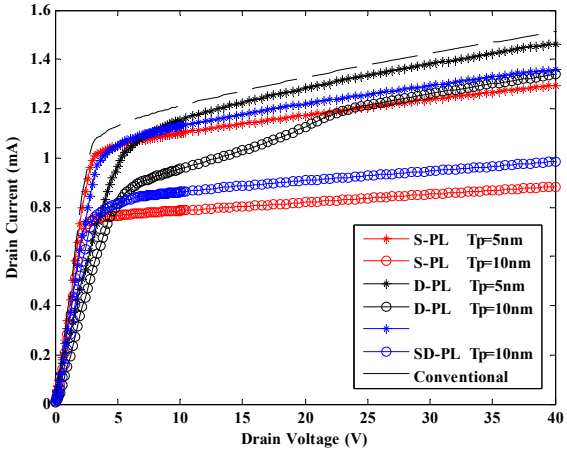
نتیجه، کاهش جریان درین خواهد شد [۵]. با توجه به این دو شکل، کاهش جریان درین D-PL، کمتر از دو ساختار دیگر می‌باشد زیرا در این ساختار، لایه P در سمت درین قرار دارد و باعث کاهش چگالی الکترون DEG-۲ در این سمت می‌گردد. در حالی که در دو ترانزیستور SD-PL و S-PL، لایه P باعث کاهش چگالی الکترون در سمت سورس می‌گردد. بنابراین چگالی الکترون DEG - ۲ در سمت سورس، دارای تأثیر بیشتری بر روی جریان درین در مقایسه با چگالی الکترون DEG - ۲ در سمت درین می‌باشد. مقایسه شکل‌های ۷-الف و ۷-ب نشان می‌دهد که بیشترین جریان درین در بین کلیه ساختارها در قطعه D-PL و شرایط $L_P = ۰/۸\,\mu\text{m}$ و $T_P = ۵\,\text{nm}$ گزارش می‌شود. البته جریان درین در ساختار مرسوم اولیه به میزان ناچیزی بزرگ‌تر از ترانزیستور D-PL می‌باشد. همچنین کمترین مقدار جریان درین در ساختار S-PL و به ازای $L_P = ۰/۸\,\mu\text{m}$ و $T_P = ۱۰\,\text{nm}$ حاصل می‌شود.

۴- خلاصه و نتیجه‌گیری

در این مقاله، مشخصه‌های الکتریکی ترانزیستور AlGaN/GaN HEMT با یک لایه P در لایه سد در دو سمت سورس و درین با جزئیات کامل مورد بررسی قرار گرفت. خازن گیت، ماکسیمم هدایت انتقالی، ولتاژ شکست، هدایت خروجی و جریان درین اشباع در دو ساختار SD-PL و S-PL شبیه‌سازی و مورد مقایسه با همین پارامترها در ترانزیستورهای D-PL و مرسوم قرار گرفته‌اند. نتایج شبیه‌سازی نشان‌دهنده این است که دو قطعه SD-PL و S-PL باعث بهبود خازن



(الف)



(ب)

شکل ۷: جریان درین بر حسب ولتاژ درین در مقادیر مختلف (الف) L_P در یک مقدار ثابت $T_P = ۱۰\,\text{nm}$ و (ب) T_P در مقدار ثابت $L_P = ۰/۸\,\mu\text{m}$ در $V_{GS} = ۰\,\text{V}$.

گیت- سورس، ماکسیمم هدایت انتقالی، فرکانس قطع و هدایت خروجی نسبت به دو ساختار دیگر می‌گردند. ولتاژ شکست و خازن گیت- درین در قطعه SD-PL تقریباً برابر با این مقادیر در ترانزیستور D-PL می‌باشند. البته قابل توجه است که ولتاژ شکست در SD-PL (۲۵۰ V) به میزان قابل توجهی بزرگ‌تر از ولتاژ شکست در ساختار مرسوم اولیه (۹۰ V) است. به دلیل وجود لایه P در ساختارهای SD-PL، S-PL و D-PL، جریان درین اشباع در این ترانزیستورها کوچک‌تر از ساختار اولیه می‌باشد.

مراجع

[1] I. Saidi, Y. Cordier, M. Chmielowska, H. Mejri, and H. Maaref, "Thermal effects in AlGaN/GaN/Si high electron mobility transistors," *Solid-State Electronics*, vol. 61, no. 1, pp. 1-6, Jul. 2011.

[2] M. K. Chattopadhyay and S. Tokekar, "Thermal model for dc characteristics of AlGaN/GaN HEMT including self-heating effect and non-linear polarization," *Micro-Electronics J.*, vol. 39, no. 10, pp. 1181-1188, Feb. 2008.

[3] R. K. Tyagi, A. Ahlawat, M. Pandey, and S. Pandey, "An analytical two-dimensional model for AlGaN/GaN HEMT with polarization effects for high power applications," *Microelectronics J.*, vol. 38, no. 8-9, pp. 877-883, Aug. 2007.

[4] E. J. Miller, "Trap characterization by gate-drain conductance and capacitance dispersion studies of an AlGaN/GaN heterostructure field effect transistor," *J. of Applied Physics*, vol. 87, no. 11, pp. 8070-8073, Jun. 2000.

[5] M. Juncai, Z. Jincheng, X. Junshuai, L. Zhiyu, L. Ziyang, X. Xiaoyong, M. Xiaohua, and H. Yue, "Characteristics of AlGaN/GaN/AlGaN double heterojunction HEMTs with an improved breakdown voltage," *J. of Semiconductors*, vol. 33, no. 1, pp. 14002-14006, Dec. 2012.

[6] W. Chong, H. Yunlong, Z. Xuefeng, H. Yue, M. Xiaohua, and Z. Jincheng, "AlGaN/GaNHEMTs with 0.2 μm V-gate recesses for X-band application," *J. of Semiconductors*, vol. 33, no. 3, pp. 34003-34006, Mar. 2012.

[7] J. Liu, Y. Zhou, J. Zhu, Y. Cai, K. M. Lau, and K. J. Chen, "DC and RF characteristics of AlGaN/GaN/InGaN/GaN double-heterojunction HEMTs," *IEEE Trans. Electron Devices*, vol. 54, no. 1, pp. 2-10, Jun 2007.

[8] H. Jia, H. Zhang, and Y. Yang, "A novel 4H-SiC MESFET with a L-gate and a partial p-type spacer," *Materials Science in Semiconductor Processing*, vol. 15, no. 1, pp. 2-5, Sept. 2012.

[9] S. M. Razavi, S. H. Zahiri, and S. E. Hosseini, "A novel AlGaN/GaN HEMT with a p-layer in the barrier," *Physica E*, vol. 54, no. 1, pp. 24-29, Dec. 2013.

[10] -, ATLAS User's Manual: Device Simulation Software, Silvaco International, Sept. 2005.

[11] S. E. J. Mahabadi, A. A. Orouji, P. Keshavarzi, and H. A. Moghadam, "A new partial SOI-LDMOSFET with a modified buried oxide layer for improving self-heating and breakdown voltage," *Semicond. Sci. Technol.*, vol. 26, no. 9, pp. 95005-950016, Jul. 2011.

[12] A. A. Orouji, S. M. Razavi, S. E. Hosseini, and H. A. Moghadam, "Investigation of the novel attributes in double recessed gate SiC MESFETs at drain side," *Semicond. Sci. Technol.*, vol. 26, no. 11, pp. 115001-115005, Oct. 2011.

[13] M. K. Verma and B. B. Pal, "Analysis of buried gate MESFET under dark and illumination," *IEEE Trans. Electron Devices*, vol. 48, no. 9, pp. 2138-2142, Sep. 2001.

[14] J. Yang, J. Spann, R. Anderson, and T. Thornton, "High-frequency performance of subthreshold SOI MESFETs," *IEEE Trans. Electron Devices*, vol. 25, no. 9, pp. 652-654, Nov. 2004.

[15] C. L. Zhu, E. Rusli, C. C. Tin, G. H. Zhang, S. F. Yoon, and J. Ahn, "Improved performance of SiC MESFETs using double-recessed structure," *Microelectronic Engineering*, vol. 83, no. 1, pp. 92-95, Jun. 2006.

[16] J. Zhang, X. Luo, Z. Li, and B. Zhang, "Improved double-recessed 4H-SiC MESFETs structure with recessed source/drain drift region," *Microelectronic Engineering*, vol. 84, no. 12, pp. 2888-2891, Dec. 2007.

سیدمحمد رضوی تحصیلات خود را در مقاطع کارشناسی نا پیوسته و کارشناسی ارشد مهندسی برق به‌ترتیب در سال‌های ۱۳۸۶ و ۱۳۹۰ از دانشگاه های شیراز، حکیم سبزواری و سمنان به پایان رسانده است. ایشان، در سال ۱۳۹۴ نیز مدرک دکترای خود را از دانشگاه بیرجند در رشته مهندسی برق اخذ نموده و هم‌اکنون به عنوان استادیار دانشکده مهندسی دانشگاه نیشابور مشغول به خدمت می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: آنالیز و شبیه سازی مشخصه های الکتریکی قطعات نیمه‌هادی، بررسی پارامترهای الکتریکی انواع ترانزیستورها از قبیل HEMT و MESFET ، بهبود مشخصه‌های الکتریکی ادوات نیمه‌هادی در توان و فرکانس بالا.

سیدحمید ظهیری در سال ۱۳۷۲ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی شریف و در سال ۱۳۷۴ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه تربیت مدرس دریافت نمود و در سال ۱۳۸۴ موفق به اخذ درجه دکترا در رشته مهندسی برق از دانشگاه فردوسی مشهد گردید. دکتر ظهیری در حال حاضر، به عنوان استاد رشته مهندسی برق در دانشکده مهندسی برق و کامپیوتر دانشگاه بیرجند مشغول به فعالیت می‌باشد. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند بازشناسی الگو، الگوریتم های تکاملی، الگوریتم‌های هوش جمعی، محاسبات نرم و ادوات نیمه‌هادی می‌باشد.

سیدابراهیم حسینی مدرک کارشناسی مهندسی برق خود را در سال ۱۳۷۱ از دانشگاه صنعتی اصفهان و مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه تربیت مدرس در سال ۱۳۷۴ دریافت نمود. در سال ۱۳۸۰ موفق به اخذ درجه دکترا در رشته مهندسی برق از دانشگاه صنعتی شریف گردید. دکتر حسینی در حال حاضر، به عنوان دانشیار رشته مهندسی برق در دانشکده مهندسی برق و کامپیوتر دانشگاه فردوسی مشهد مشغول به فعالیت می‌باشد. حوزه های پژوهشی نام‌برده شامل موضوعاتی مانند ادوات میکروالکترونیک، ترانزیستورهای SOI و مدل‌سازی ادوات نیمه‌هادی می‌باشد.