ترانزیستور MESFET کربید سیلیسیم با گیت تورفته در سمت سورس و درین و لایه مدفون N در کانال

سیدمحمد رضوی و سیدحمید ظهیری

چکیده: در این مقاله، یک ترانزیستور MESFET با گیت تورفته در دو سمت سورس و درین و لایه مدفون نوع N در کانال (SDS-DRG) ارائه می‌گردد. مهم‌ترین پارامترهای الکتریکی ساختار پیشنهادی همچون اثر کانال کوتاه، هدایت انتقالی، جریان درین و ولتاژ شکست شبیه‌سازی شده و با همین مقادیر در ترانزیستورهای MESFET با گیت تورفته در سمت سورس (SS-DRG) و گیت تورفته در سمت درین (DS-DRG) مقایسه می‌شود. نتایج شبیه‌سازی نشان می‌دهد که کاهش ضخامت کانال زیرگیت در ساختار SDS-DRG، باعث بهبود ماکسیمم هدایت انتقالی و کاهش اثر کانال کوتاه در مقایسه با ساختارهای SS-DRG و DS-DRG می‌گردد. کاهش ضخامت کانال زیرگیت در سمت درین در ساختار SDS-DRG، جهت افزایش ولتاژ شکست نسبت به ساختار SS-DRG استفاده می‌شود. همچنین لایه مدفون N با چگالی ناخالصی بالا در SDS-DRG، منجر به افزایش جریان درین اشباع در مقایسه با SS-DRG و DS-DRG می‌شود.

کلیدواژه: **MESFET، گیت تورفته، هدایت انتقالی، اثر کانال کوتاه، ولتاژ شکست.**

۱- مقدمه

مدارهای مجتمعی که در آنها از ترانزیستورهای MESFET استفاده می‌شود، به شرط این که قابلیت ساخت با استفاده از تکنولوژی CMOS را داشته باشند، می‌توانند در کاربردهای فضایی و دانش هوانوردی استفاده شوند [۱]. عدم وجود اکسید گیت در MESFET، باعث ایمن‌بودن این ترانزیستور در مقابل تشعشعات پلاسما و اثرات حامل گرم می‌شود. علاوه بر این، کانال ترانزیستورهای MOSFET در اثر پدیده لایه معکوس به وجود می‌آید که این امر باعث کاهش موبیلیتی حامل‌ها و هدایت انتقالی می‌گردد. کانال ترانزیستورهای MESFET در زیر ناحیه تخلیه و در کف کانال به وجود می‌آید و در نتیجه، موبیلیتی حامل‌ها کمتر تحت تأثیر قرار می‌گیرد. این امر، یکی از مزایای MESFET نسبت به MOSFET است و به عبارت دیگر در ترانزیستور MESFET، یک پیوند شاتکی فلز- نیمه‌هادی بین گیت و کانال وجود دارد که باعث روشن‌شدن این ترانزیستور در ولتاژهای پایین‌تر شده و در نتیجه، قابل استفاده در کاربردهای با توان ورودی پایین می‌باشد [۲]. ترانزیستورهای MESFET کربید سیلیسیم، کاندیدای بسیار خوبی برای کاربردهای با ولتاژ بالا، توان بالا و دمای بالا می‌باشند زیرا کربید سیلیسیم دارای خصوصیات الکتریکی عالی همچون میدان الکتریکی بحرانی بالا، سرعت اشباع الکترون زیاد و هدایت دمایی بالا است. مهم‌ترین عیب کربید سیلیسیم در کاربردهای فرکانس بالا، پایین‌بودن موبیلیتی الکترون‌ها در این ماده و در حدود $۱\times۱۰^{۱۷}-۵\times۱۰^{۱۷}\,cm^{-۳}$ در چگالی ناخالصی $۳۰۰-۵۰۰\,cm^{۲}/V.s$ است که این عیب باعث کاهش هدایت انتقالی این ترانزیستورها نسبت به ترانزیستورهای MESFET گالیم آرسنایدی می‌گردد [۳] تا [۸]. در این مقاله به منظور بهبود اثر کانال کوتاه، جریان درین اشباع، هدایت انتقالی و ولتاژ شکست، یک ساختار جدید از ترانزیستور MESFET با گیت تورفته در دو سمت سورس و درین و یک لایه مدفون نوع N در کف کانال (SDS-DRG) ارائه می‌شود. در واقع، هدف اصلی مقاله، مقایسه ساختار پیشنهادی جدید با ساختارهای ارائه‌شده قبلی (SS-DRG, DS-DRG) در [۹] می‌باشد. گیت تورفته در دو سمت سورس و درین در ساختار SDS-DRG باعث کاهش ضخامت کانال در زیر گیت و در نتیجه کاهش اثر کانال کوتاه و جریان درین در این ساختار نسبت به SS-DRG و DS-DRG می‌گردد. بنابراین یک لایه مدفون نوع N در کف کانال جهت بهبود جریان درین، اضافه می‌شود. البته قابل توجه است که گیت تورفته در سمت درین در ساختار پیشنهادی باعث کاهش ماکسیمم میدان الکتریکی و افزایش ولتاژ شکست در این ساختار نسبت به دو ساختار دیگر می‌گردد. همچنین گیت تورفته در سمت سورس، هدایت انتقالی ساختار جدید را نسبت به ساختارهای دیگر افزایش می‌دهد. بنابراین می‌توان نتیجه گرفت که ساختار پیشنهادی دارای مشخصه‌های الکتریکی بهتری نسبت به SS-DRG و DS-DRG می‌باشد. در نهایت نتایج شبیه‌سازی نشان می‌دهد که ساختار ارائه‌شده باعث بهبود اثر کانال کوتاه، هدایت انتقالی، ولتاژ شکست و جریان درین می‌شود.

۲- ساختار قطعات

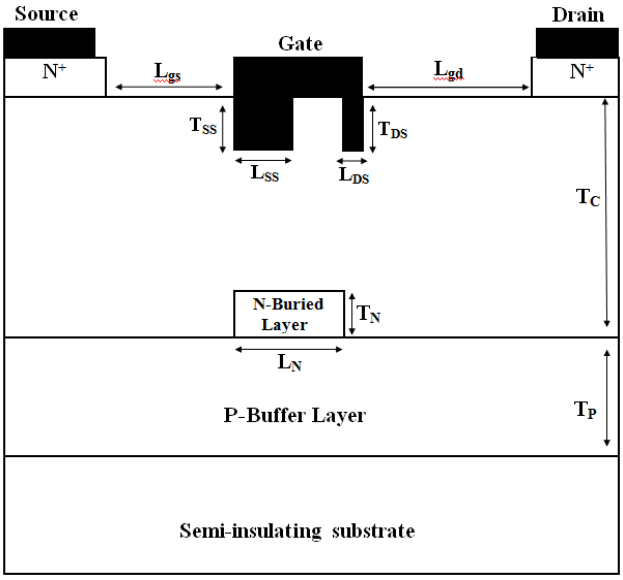
شکل‌های ۱- الف تا ۱- ج به ترتیب نشان‌دهنده ساختارهای SDS-DRG، SS-DRG [۹] و DS-DRG [۹] می‌باشند. ابعاد هر سه ساختار به ترتیب زیر هستند: طول گیت $(L_g = ۰/۷\mu m)$، فاصله گیت- درین $(L_{gd} = ۱\mu m)$، فاصله گیت- سورس $(L_{gs} = ۰/۵\mu m)$، ضخامت کانال $(T_c = ۰/۲۵\mu m)$ و چگالی ناخالصی کانال $N_D = ۳\times۱۰^{۱۷}\,cm^{-۳}$. چگالی ناخالصی و ضخامت لایه بافر P به ترتیب $N_A = ۱/۴\times۱۰^{۱۵}\,cm^{-۳}$ و $T_P = ۰/۵\mu m$ می‌باشد. لایه بافر P می‌تواند باعث کاهش تزریق الکترون از کانال به سمت زیر لایه و در نتیجه افزایش ولتاژ شکست گردد [۱۰] و بنابراین لایه بافر P می‌تواند باعث بهبود مشخصه‌های الکتریکی در ترانزیستورهای MESFET گردد. در زیرلایه این ترانزیستور از ماده نیمه‌عایق وانادیم استفاده می‌شود. فلز استفاده‌شده برای گیت، نیکل می‌باشد که دارای تابع کار ۵.۱eV است و برای تماس‌های اهمی سورس و درین از آلومینیوم استفاده شده است. مشخصه‌های هر سه ساختار مشابه [۹] جهت مقایسه صحیح، تنظیم می‌گردند.

برای کلیه ساختارها، عمق تورفتگی گیت در کانال در دو سمت سورس

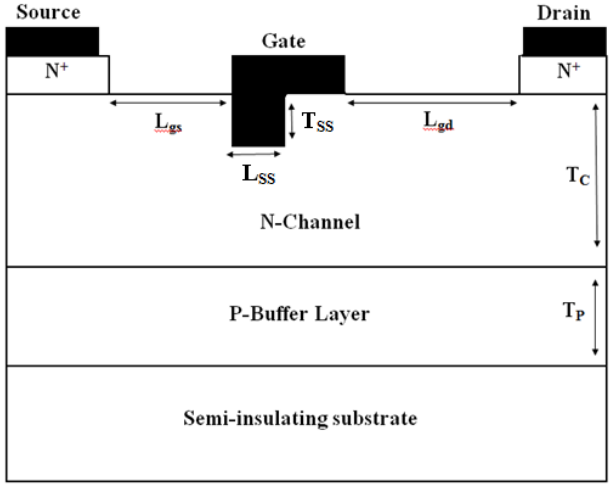
این مقاله در تاریخ ۱۸ اردیبهشت ماه ۱۳۹۴ دریافت و در تاریخ ۱۰ فروردین ماه ۱۳۹۵ بازنگری شد.

سیدمحمد رضوی، گروه مهندسی برق، دانشکده مهندسی، دانشگاه نیشابور، نیشابور، (email: razavi@neyshabur.ac.ir).

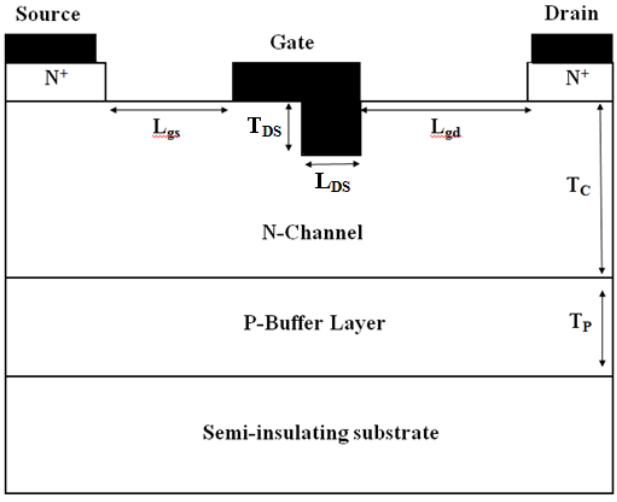
سیدحمید ظهیری، گروه الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، بیرجند، (email: hzahiri@birjand.ac.ir).



(الف)



(ب)



(ج)

شکل ۱: برش عرضی ساختارهای (الف) SDS-DRG، (ب) SS-DRG و (ج) DS-DRG.

و درین به ترتیب $T_{SS}=۰٫۰۵\mu m$ و $T_{DS}=۰٫۰۵\mu m$ می‌باشد. طول تورفتگی گیت در کانال در ساختارهای SS-DRG و DS-DRG به ترتیب برابر با $L_{SS}=۰٫۳۵\mu m$ و $L_{DS}=۰٫۳۵\mu m$ می‌باشد در حالی که طول تورفتگی گیت در SDS-DRG در سمت سورس و درین به ترتیب برابر با $L_{SS}=۰٫۳۵\mu m$ و $L_{DS}=۰٫۱\mu m$ است. چگالی ناخالصی، طول و ضخامت لایه مدفون نوع N در ساختار پیشنهادی به ترتیب $N_{nb}=۳٫۵\times۱۰^{۱۷}\,cm^{-۳}$، $L_n=۰٫۶\mu m$ و $T_n=۰٫۰۵\mu m$ می‌باشد. قابل توجه است که کلیه ساختارها قابلیت ساخته‌شدن با روش‌های ارائه‌شده در [۶]، [۹] و [۱۱] را دارا می‌باشند. مشخصه‌های الکتریکی این قطعات با استفاده از نرم‌افزار شبیه‌ساز اطلس [۱۲] و پارامترهای الکتریکی SiC [۱۳] تا [۱۵] شبیه‌سازی می‌گردند. جهت دست‌یابی به نتایج واقعی در شبیه‌سازی، چندین مدل شامل SRH برای بازترکیب، Conmob برای وابستگی موبیلیتی به چگالی ناخالصی، Fldmob برای وابستگی موبیلیتی به میدان الکتریکی، Fermi Dirac و Impact Selb برای یونیزاسیون ضربه‌ای فعال می‌شوند [۱۶].

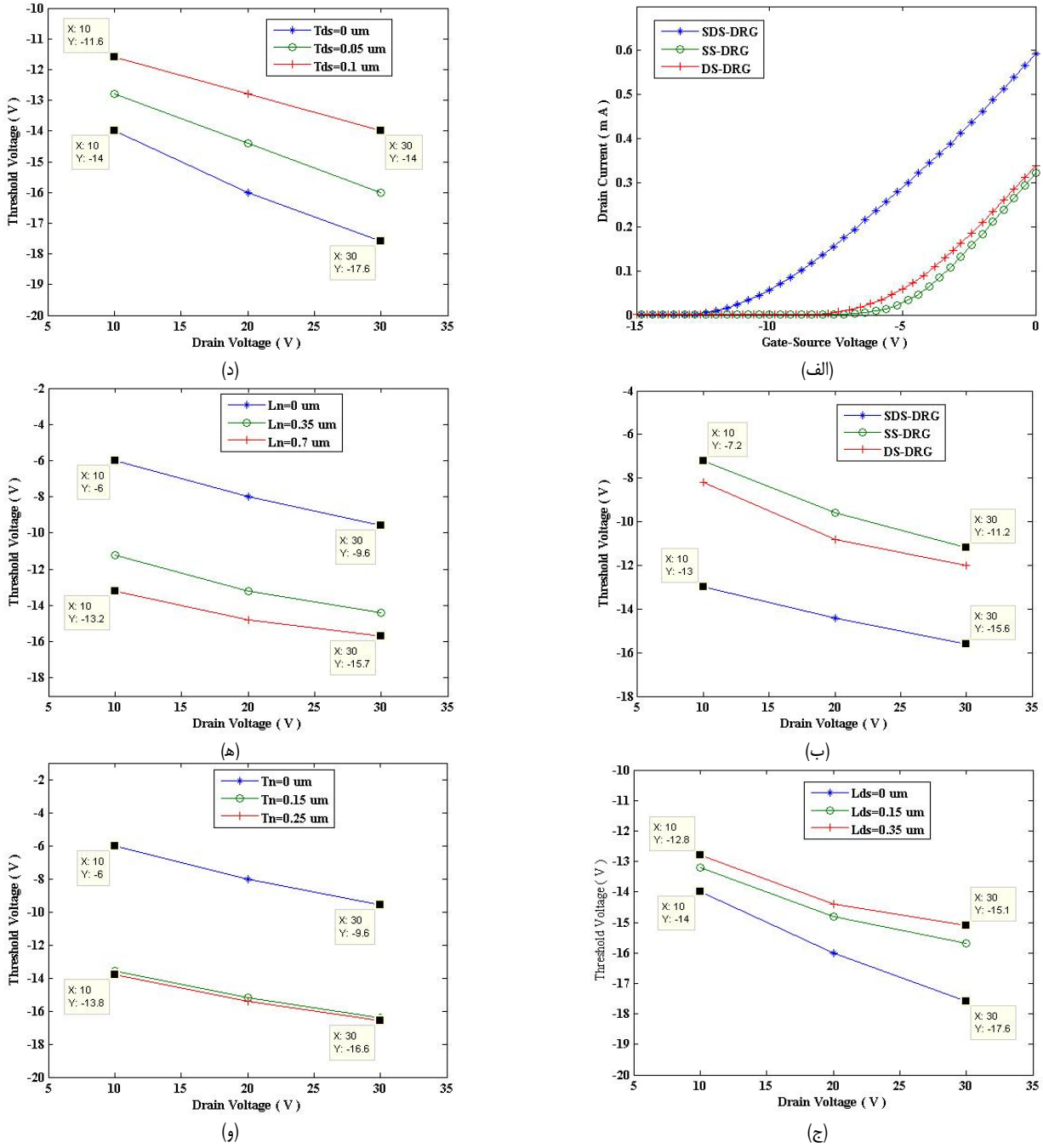
۳- نتایج شبیه‌سازی

۳-۱ اثر کانال کوتاه

با کاهش طول گیت در یک ترانزیستور، عملکرد آن با افزایش هدایت انتقالی و کاهش خازن گیت، بهبود می‌یابد. به عبارت دیگر با پیشرفت تکنولوژی و کاهش طول گیت، اثرات کانال کوتاه به شدت افزایش می‌یابند. یکی از مهم‌ترین این اثرات، کاهش سد کانال با افزایش ولتاژ درین (DIBL) می‌باشد. اثر DIBL یک اثر الکترواستاتیک است که باعث کاهش سد کانال بین سورس و درین در ناحیه زیر آستانه با افزایش ولتاژ درین می‌گردد. این اثر باعث شیفت ولتاژ آستانه و همچنین در طول گیت‌های کوچک، باعث کاهش هدایت انتقالی، گین و توان خروجی در ترانزیستورهای FET می‌گردد [۱۷] و [۱۸].

در شکل ۲- الف جریان درین بر حسب ولتاژ گیت- سورس به ازای $V_{DS}=۱۰V$ در کلیه ساختارها نشان داده شده است. با توجه به این شکل، ولتاژ آستانه در SDS-DRG، SS-DRG و DS-DRG به ترتیب $-۱۲V$، $-۷V$ و $-۸V$ می‌باشد. ولتاژ آستانه در SDS-DRG نسبت به دو ساختار قبلی، منفی‌تر است. این شیفت منفی در ولتاژ آستانه به دلیل وجود لایه مدفون نوع N در ساختار پیشنهادی می‌باشد. هدف اصلی در شبیه‌سازی اثر کانال کوتاه، نشان‌دادن تغییر ولتاژ آستانه به علت کاهش طول کانال است. دو روش برای شبیه‌سازی اثرات کانال کوتاه در ترانزیستورهای مختلف وجود دارد. در روش اول، شیفت منفی در ولتاژ آستانه با افزایش ولتاژ درین، شبیه‌سازی می‌شود که DIBL نامیده می‌شود اما در روش دوم، کاهش طول گیت باعث شیفت منفی در ولتاژ آستانه می‌گردد. در این دو روش، کاهش طول گیت یا افزایش ولتاژ درین، منجر به افزایش میدان الکتریکی افقی در کانال و کاهش ولتاژ آستانه می‌شود. با توجه به نتایج شبیه‌سازی، ساختار پیشنهادی و جدید SDS-DRG باعث کاهش اثر کانال کوتاه DIBL نسبت به دو ساختار SS-DRG و DS-DRG می‌شود. بنابراین می‌توان نتیجه گرفت که شیفت منفی در ولتاژ آستانه با کاهش طول گیت در ساختار جدید، کمتر از دو ساختار قبلی می‌باشد. شکل ۲- ب، نشان می‌دهد که شیفت منفی در ولتاژ آستانه با افزایش ولتاژ درین، در SDS-DRG کمتر از ساختارهای SS-DRG و DS-DRG است. مطابق این شکل با افزایش ولتاژ درین از ۱۰ V به ۳۰ V، شیفت ولتاژ آستانه در SDS-DRG، SS-DRG و DS-DRG به ترتیب برابر با ۲٫۶ V-، ۴ V- و ۴٫۱ V- خواهد بود.

در تعیین ولتاژ آستانه از روش ارائه‌شده در [۲] استفاده شده است. در ساختار SDS-DRG، ضخامت کانال زیر گیت کاهش می‌یابد که منجر به افزایش نسبت طول گیت به پهنای کانال (L_g/a) و در نتیجه کاهش



شکل ۲: (الف) جریان درین بر حسب ولتاژ گیت- سورس، (ب) ولتاژ آستانه به عنوان تابعی از ولتاژ درین- سورس برای هر سه ساختار و در ساختار SDS-DRG به ازای مقادیر مختلف، (ج) L_{DS}، (د) T_{DS}، (ه) L_n و (و) T_n.

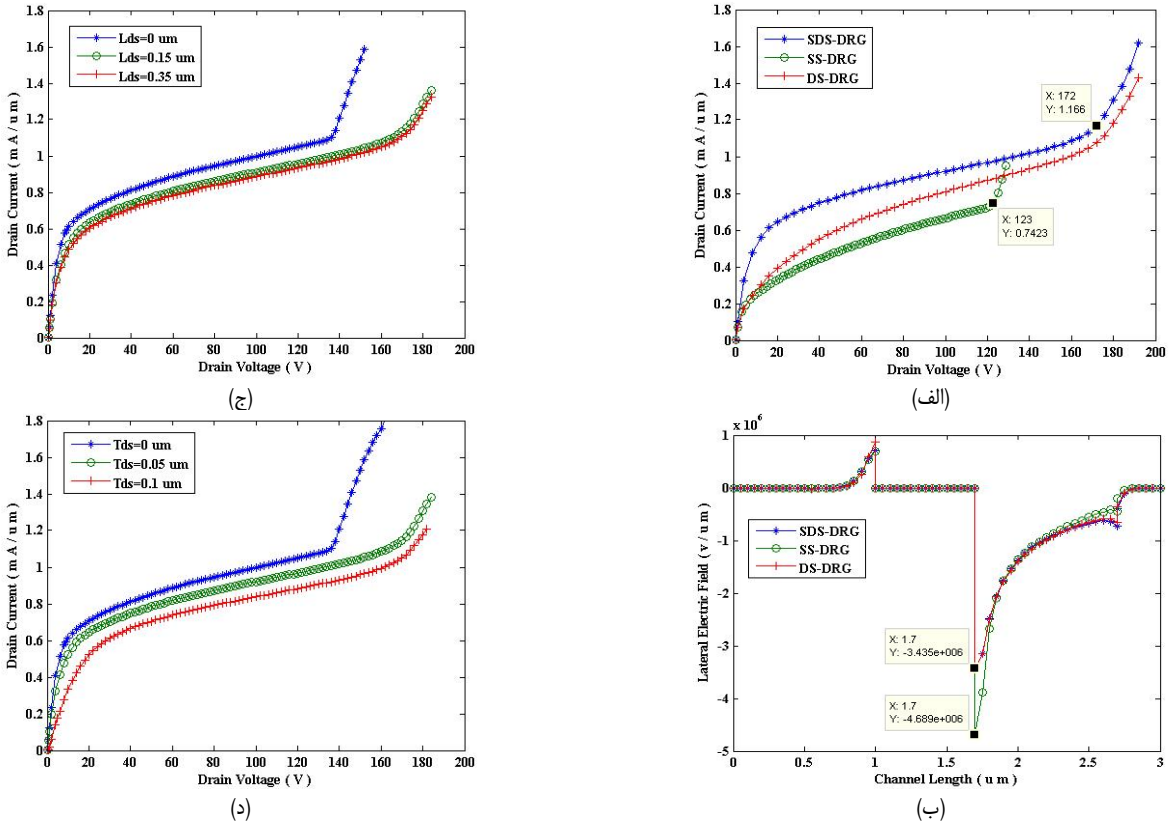
اثر DIBL خواهد شد. این موضوع بیانگر اهمیت پهنای کانال زیر گیت در کاهش اثرات کانال کوتاه می‌باشد.

در شکل‌های ۲- ج و ۲- د تغییرات ولتاژ آستانه بر حسب ولتاژ درین به ازای طول گیت تورفته (L_{DS}) و ضخامت گیت تورفته (T_{DS}) در سمت درین در ساختار پیشنهادی SDS-DRG نشان داده شده است. با افزایش L_{DS} و T_{DS} در این دو شکل، از پهنای کانال در زیر گیت کاسته شده و در نتیجه با افزایش ولتاژ درین، شیفت منفی در ولتاژ آستانه کاهش می‌یابد. بنابراین افزایش L_{DS} و T_{DS} می‌تواند جهت کاهش اثر کانال کوتاه DIBL مورد استفاده قرار گیرد. همان طور که از شکل‌های ۲- ه و ۲- و پیداست، افزایش طول لایه مدفون N (L_n) و ضخامت آن (T_n)، باعث کم‌شدن شیفت منفی در ولتاژ آستانه می‌گردد. بنابراین L_n و T_n بزرگ‌تر می‌تواند اثر DIBL را کاهش دهد. همچنین با توجه به این دو شکل، کاهش L_n و T_n باعث شیفت مثبت ولتاژ آستانه در یک ولتاژ درین ثابت می‌گردد.

۳-۲ ولتاژ شکست

در شکل ۳- الف مشخصه خروجی هر سه ساختار SDS-DRG، SS-DRG و DS-DRG در $V_{GS} = -1\text{V}$ نشان داده شده است. با توجه به این شکل، ولتاژ شکست ساختار SDS-DRG بزرگ‌تر از SS-DRG است زیرا ساختار پیشنهادی دارای کانال نازک‌تری در سمت درین می‌باشد [۹]، [۱۹] و [۲۰].

ولتاژ شکست SDS-DRG برابر با ۱۷۲ V و SS-DRG برابر با ۱۲۳ V می‌باشد. بررسی‌های بیشتر نشان می‌دهند که پدیده شکست در گوشه گیت و نزدیک درین به علت ازدحام میدان الکتریکی اتفاق می‌افتد [۱۹]. میدان الکتریکی افقی در کانال هر سه ساختار به ازای $V_{DS} = 120\text{V}$ و $V_{GS} = -1\text{V}$ در شکل ۳- ب نشان داده شده است.



شکل ۳: جریان درین به عنوان تابعی از ولتاژ درین- سورس برای (الف) هر سه ساختار و در ساختار SDS-DRG برای مقادیر مختلف (ج) L_{DS}، (د) T_{DS} و ماکسیمم میدان الکتریکی افقی بر حسب طول کانال برای (ب) هر سه ساختار در $V_{GS}=-۱\text{V}$.

مقایسه دو شکل ۳- الف و ۳- ب نشان می‌دهد که ساختارهای SDS-DRG و DS-DRG دارای ماکسیمم میدان الکتریکی کوچک‌تری در گوشه گیت سمت درین نسبت به ساختار SS-DRG می‌باشند. بنابراین ولتاژ شکست با کاهش ماکسیمم میدان الکتریکی در کانال بهبود پیدا می‌کند. منحنی جریان درین بر حسب ولتاژ درین- سورس در مقادیر مختلف L_{DS} و T_{DS} به ترتیب در شکل‌های ۳- ج و ۳- د نشان داده شده است. با توجه به این دو شکل، افزایش L_{DS} و T_{DS} باعث کاهش پهنای کانال در زیر گیت در سمت درین و در نتیجه افزایش ولتاژ شکست می‌گردد.

۳-۳ جریان درین

در شکل ۴- الف، جریان درین به عنوان تابعی از ولتاژ درین- سورس در هر سه ساختار SDS-DRG، SS-DRG و DS-DRG در $V_{GS}=۰\text{V}$ نشان داده شده است. همان طور که در این شکل می‌بینیم، جریان درین اشباع SDS-DRG بزرگ‌تر از دو ساختار دیگر می‌باشد زیرا در ساختار پیشنهادی، وجود لایه مدفون نوع N با چگالی ناخالصی بالا در کف کانال باعث افزایش حاصل ضرب چگالی ناخالصی در پهنای کانال $(N\times a)$ شده و جریان درین را افزایش می‌دهد [۱۹]. با مشاهده شکل‌های ۴- ب و ۴- ج می‌توان نتیجه گرفت که افزایش L_n و T_n در SDS-DRG باعث افزایش ناحیه با چگالی ناخالصی بالا در کف کانال و در نتیجه بزرگ‌تر شدن جریان درین می‌گردد. وابستگی جریان درین به چگالی ناخالصی لایه مدفون N در شکل ۴- د نشان داده شده است. با توجه به این شکل می‌توان دریافت که افزایش چگالی ناخالصی لایه مدفون N می‌تواند جهت بهبود جریان درین استفاده شود. با توجه به شکل‌های ۴- ه و ۴- و، کاهش L_{DS} و T_{DS} منجر به ضخیم‌تر شدن پهنای کانال در زیر گیت و در نتیجه افزایش جریان درین می‌شود.

۳-٤ هدایت انتقالی

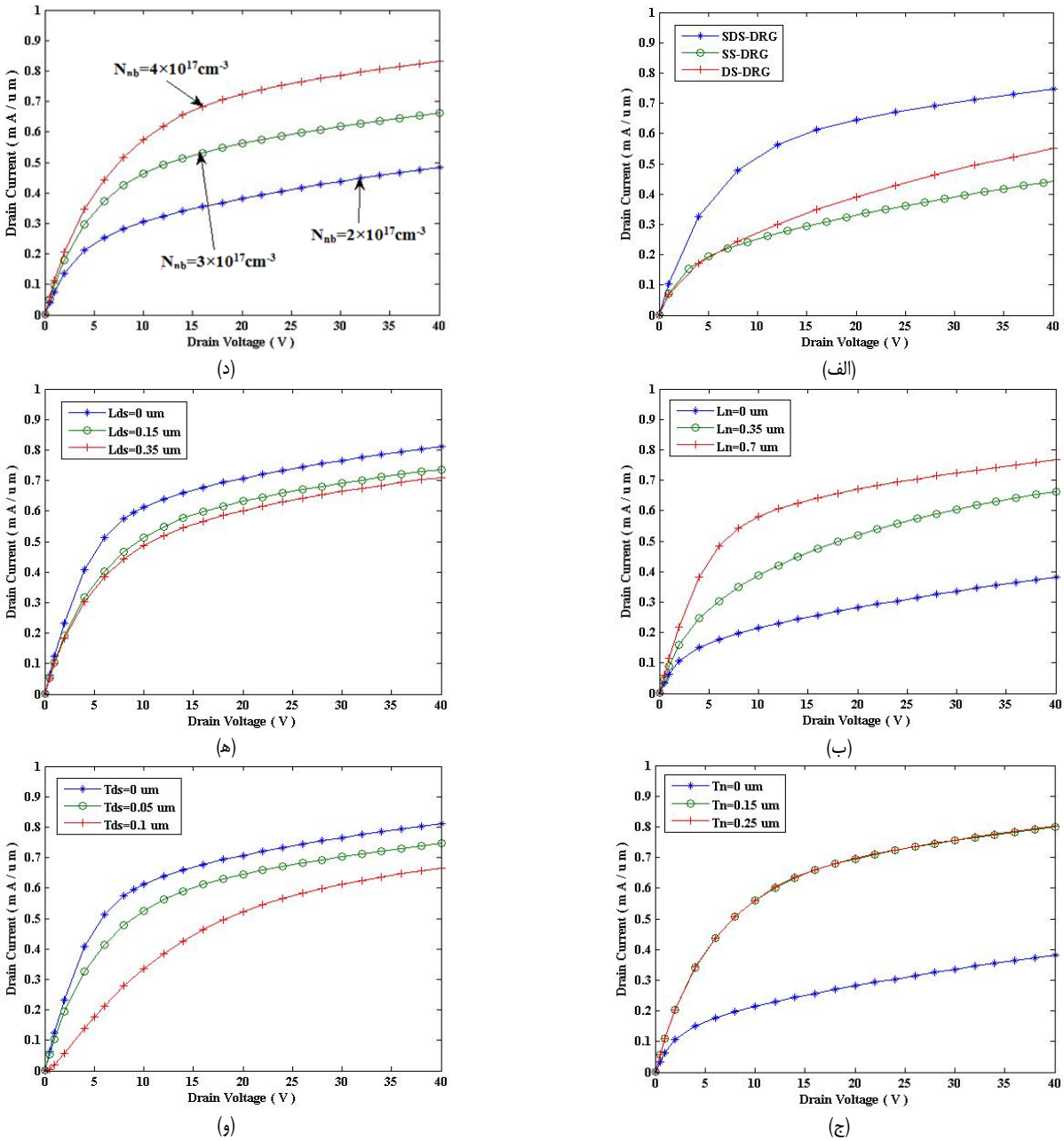
هدایت انتقالی (g_m) ترانزیستورها را می‌توان از مشتق‌گیری جریان درین نسبت به ولتاژ گیت- سورس در یک ولتاژ درین- سورس ثابت مطابق (۱) به دست آورد [۲۱]

$$g_m=\left.\frac{\partial I_D}{\partial V_{GS}}\right|_{V_{DS}=const} \qquad (۱)$$

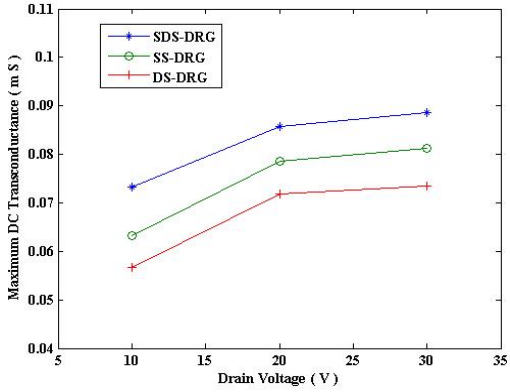
ماکسیمم هدایت انتقالی کلیه ساختارها به ازای مقادیر مختلف ولتاژ درین- سورس در $V_{GS}=۰\text{V}$ در شکل ۵ نشان داده شده است. با توجه به نتایج شبیه‌سازی در این شکل، ماکسیمم هدایت انتقالی در SDS-DRG بزرگ‌تر از SS-DRG و DS-DRG می‌باشد. افزایش هدایت انتقالی در ترانزیستور پیشنهادی به علت کاهش پهنای کانال در زیر گیت است که باعث وابستگی بیشتر جریان درین به ولتاژ گیت- سورس و در نتیجه، افزایش g_m می‌گردد. البته ماکسیمم هدایت انتقالی در SS-DRG بزرگ‌تر از DS-DRG می‌باشد و همچنین با افزایش ولتاژ درین- سورس، ماکسیمم هدایت انتقالی نیز افزایش می‌یابد.

٤- خلاصه و نتیجه‌گیری

در این تحقیق، یک ترانزیستور MESFET با گیت تورفته در هر دو سمت سورس و درین به همراه یک لایه مدفون N در کف کانال (SDS-DRG) گزارش شده است. هدایت انتقالی، اثر کانال کوتاه، ولتاژ شکست و جریان درین در هر سه ساختار SDS-DRG، SS-DRG و DS-DRG مورد مقایسه و بررسی قرار گرفته است. نتایج شبیه‌سازی نشان می‌دهد که کاهش پهنای کانال زیر گیت در ساختار SDS-DRG، باعث بهبود هدایت انتقالی و کاهش اثر کانال کوتاه نسبت به SS-DRG



شکل ۴: ماکسیمم جریان درین بر حسب ولتاژ درین- سورس در (الف) هر سه ساختار و در SDS-DRG در مقادیر مختلف، (ب) L_n، (ج) T_n، (د) N_{nb}، (ه) L_{DS} و (و) T_{DS} در $V_{GS}=0$ V.



شکل ۵: وابستگی ماکسیمم هدایت انتقالی به ولتاژ درین- سورس در هر سه ساختار به ازای $V_{GS}=0$ V.

و DS-DRG می‌گردد. کاهش ضخامت کانال زیر گیت در سمت درین ساختار پیشنهادی باعث بهبود ولتاژ شکست در مقایسه با SS-DRG می‌شود. همچنین لایه مدفون نوع N با چگالی ناخالصی بالا منجر به افزایش جریان درین در SDS-DRG خواهد شد.

مراجع

[1] J. Spann, V. Kushner, T. J. Thornton, J. Yang, A. Balijepalli, H. J. Barnaby, X. J. Chen, D. Alexander, W. T. Kemp, S. J. Sampson, and M. E. Wood, "Total dose radiation response of CMOS compatible SOI MESFETs," *IEEE Trans. Nuclear Science*, vol. 52, no. 6, pp. 2398-2402, Dec. 2005.

[2] C. S. Hou and C. Y. Wu, "A 2-D analytic model for the threshold-voltage of fully depleted short gate-length Si-SOI MESFET," *IEEE Trans. Electron Devices*, vol. 42, no. 12, pp. 2156-2162, Dec. 1995.

[3] H. Hjelmgren, F. Allerstam, K. Andersson, P. A. Nilsson, and N. Rorsman, "Transient simulation of microwave SiC MESFETs with improved trap models," *IEEE Trans. Electron Devices*, vol. 57, no. 3, pp. 729-732, Mar. 2010.

[4] S. Sriram, *et al.*, "High-gain SiC MESFETs using source-connected field plates," *IEEE Trans. Electron Devices*, vol. 30, no. 9, pp. 952-953, Sept. 2009.

[5] C. L. Zhu, Rusli and P. Zhao, "Dual-channel 4H-SiC metal semiconductor field effect transistors," *Solid-State Electronic*, vol. 51, no. 3, pp. 343-346, Mar. 2007.
[6] Rusli, C. L. Zhu, P. Zhao, and J. H. Xia, "Characterization of SiC MESFETs with narrow channel layer," *Microelectronic Engineering*, vol. 83, no. 1, pp. 72-74, Jan. 2006.
[7] J. Zhang, Y. Ye, C. Zhou, X. Luo, B. Zhang, and Z. Li, "High breakdown voltage 4H-SiC MESFETs with floating metal strips," *Microelectronic Engineering*, vol. 85, no. 1, pp. 89-92, Jan. 2008.
[8] X. Deng, B. Zhang, Z. Li, and Z. Chen, "Two-dimensional analysis of the surface state effects in 4H-SiC MESFETs," *Microelectronic Engineering*, vol. 85, no. 2, pp. 295-299, Feb. 2008.
[9] A. A. Orouji, S. M. Razavi, S. E. Hosseini, and H. A. Moghadam, "Investigation of the novel attributes in double recessed gate SiC MESFETs at drain side," *Semicond. Sci. Technol.*, vol. 26, no. 11, pp. 115001-115005, Oct. 2011.
[10] L. Yang, Y. Zhang, and C. Yu, "A compact model describing the effect of p-buffer layer on the I-V characteristics of 4H-SiC power MESFETs," *Solid-State Electronics*, vol. 49, no. 4, pp. 517-523, Feb. 2005.
[11] K. Andersson, M. Sudow, P. A. Nilsson, E. Sveinbjornsson, H. Hjelmgren, J. Nilsson, J. Stahl, H. Zirath, and N. Rorsman, "Fabrication and characterization of field-plated buried-gate SiC MESFETs," *IEEE Electron Device Lett.*, vol. 27, no. 7, pp. 573-575, Jul. 2006.
[12] —, *ATLAS User's Manual, Device Simulation* Software, Silvaco International, Sep. 2005.
[13] M. Ruff, H. Mitlehner, and R. Helbig, "SiC devices: physics and numerical simulation," *IEEE Trans. Electron Devices*, vol. 41, no. 6, pp. 1040-1054, Jun. 1994.
[14] H. Linewih, S. Dimitrijev, and K. Y. Cheong, "Channel-carrier mobility parameters for 4H SiC MOSFETs," *Microelectronics Rel.*, vol. 43, no. 3, pp. 405-411, Mar. 2003.
[15] B. J. Baliga, *Modern Power Devices*, New York: Wiley Interscience, 1987.
[16] S. E. J. Mahabadi, A. A. Orouji, P. Keshavarzi, and H. A. Moghadam, "A new partial SOI-LDMOSFET with a modified buried oxide layer for improving self-heating and breakdown voltage," *Semicond. Sci. Technol.*, vol. 26, no. 9, pp. 95005-950016, Jul. 2011.
[17] C. S. Chang, D. Y. S. Day, and S. Chan, "An analytical two-dimentional simulation for the GaAs MESFET drain-induced barrier lowering: a short channel effect," *IEEE Trans. Electron Devices*, vol. 37, no. 5, pp. 1182-1186, May 1990.
[18] P. Pandey, B. B. Pal, and S. Jit, "A new 2-D model for the potential distribution and threshold voltage of fully depleted short-channel Si-SOI MESFETs," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 246-254, Feb. 2004.
[19] C. L. Zhu, Rusli, C. C. Tin, G. H. Zhang, S. F. Yoon, and J. Ahn, "Improved performance of SiC MESFETs using double-recessed structure," *Microelectronic Engineering*, vol. 83, no. 1, pp. 92-95, Jan. 2006.
[20] J. Zhang, X. Luo, Z. Li, and B. Zhang, "Improved double-recessed 4H-SiC MESFETs structure with recessed source/drain drift region," *Microelectronic Engineering*, vol. 84, no. 12, pp. 2888-2891, Dec. 2007.
[21] M. K. Verma and B. B. Pal, "Analysis of buried gate MESFET under dark and illumination," *IEEE Trans. Electron Devices*, vol. 48, no. 9, pp. 2138-2142, Sep. 2001.

سیدمحمد رضوی تحصیلات خود را در مقاطع کارشناسی نا پیوسته و کارشناسی ارشد مهندسی برق به‌ترتیب در سال‌های ۱۳۸۶ و ۱۳۹۰ از دانشگاه‌های شیراز، حکیم سبزواری و سمنان به پایان رسانده است. ایشان، در سال ۱۳۹۴ نیز مدرک دکترای خود را از دانشگاه بیرجند در رشته مهندسی برق اخذ نموده و هم‌اکنون به عنوان استادیار دانشکده مهندسی دانشگاه نیشابور مشغول به خدمت می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: آنالیز و شبیه سازی مشخصه های الکتریکی قطعات نیمه هادی، بررسی پارامترهای الکتریکی انواع ترانزیستورها از قبیل HEMT و MESFET ، بهبود مشخصه‌های الکتریکی ادوات نیمه‌هادی در توان و فرکانس بالا.

سیدحمید ظهیری در سال ۱۳۷۲ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی شریف و در سال ۱۳۷۴ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه تربیت مدرس دریافت نمود و در سال ۱۳۸۴ موفق به اخذ درجه دکتری در رشته مهندسی برق از دانشگاه فردوسی مشهد گردید. دکتر ظهیری در حال حاضر، به عنوان استاد رشته مهندسی برق در دانشکده مهندسی برق و کامپیوتر دانشگاه بیرجند مشغول به فعالیت می‌باشد. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند بازشناسی الگو، الگوریتم‌های تکاملی، الگوریتم‌های هوش جمعی، محاسبات نرم و ادوات نیمه‌هادی می‌باشد.